

UNIVERSITA' DEGLI STUDI DI ROMA



FACOLTA' DI INGEGNERIA

DIPARTIMENTO DI INGEGNERIA ELETTRONICA

Dottorato di Ricerca in Ingegneria Elettronica
XXII Ciclo 2006-2009

**Stabilità elettrica ed effetti di canale corto dei transistor
a film sottile a silicio policristallino**

Paolo Gaucci

Relatori:

Prof. G. Conte

Prof. G. Fortunato

Coordinatore:

Prof. G. Schirripa Spagnolo

Indice

Introduzione	I
1 I TFT a silicio policristallino	1
1.1 Applicazioni dei TFT nelle AMLCD	2
1.2 Applicazioni dei TFT negli AMOLED	6
1.3 Realizzazione del silicio policristallino	9
1.3.1 Crescita del silicio policristallino tramite LPCVD	9
1.3.2 SPC del silicio amorfo	11
1.3.3 ELC excimer laser crystallization	13
1.4 Tecniche di omogeneizzazione dei grani	19
1.4.1 Irraggiamento a molti corpi	20
1.4.2 Profilatura del fascio	21
1.4.3 Two Steep Annealing	23
1.4.4 Controllo della Crescita Laterale	24
1.5 Realizzazione dei dispositivi	26
Bibliografia	27
2 Caratteristiche elettriche dei TFT a silicio policristallino	29
2.1 Modello di intrappolamento ai bordi di grano	30
2.2 Funzionamento del TFT a silicio policristallino	36
2.3 Regime di sottosoglia	40
2.4 Regime di soprasoglia	42
2.5 Programma di simulazione: DESSIS	45
Bibliografia	47

3	Degrado indotto da hot-carrier	48
3.1	Il Kink Effect	49
3.2	Il degrado da hot-carrier nei p-MOSFET	53
3.3	Il degrado da hot-carrier nei p-TFTs	56
3.4	Modelli di degrado per gli hot-carrier	59
	Bibliografia	69
4	Degrado indotto da NBTI	71
4.1	NBTI in p-channel MOSFET	72
4.2	Meccanismi fisici del degrado indotto da NBTI	74
4.3	Effetto dei vari processi e parametri sul NBTI	79
4.4	Instabilità elettrica indotta dall’NBTI nei TFTs NSA.	82
4.4.1	Risultati sperimentali	82
4.4.2	Simulazioni numeriche	89
4.5	Instabilità elettrica indotta dall’NBTI nei TFTs SA	91
4.5.1	Risultati sperimentali (TFT “trattati” termicamente)	91
4.5.2	Simulazioni numeriche (TFT “trattati” termicamente)	101
4.5.3	Risultati sperimentali (TFT non “trattati” termicamente)	103
4.5.4	Simulazioni numeriche (TFT non “trattati” termicamente)	108
	Bibliografia	113
5	Effetti di canale corto	115
5.1	Effetti di canale corto nei MOSFET	116
5.2	Corrente di off del transistor e meccanismi “field enhanced”	126
5.2.1	Effetto Poole-Frenkel	127
5.2.2	Tunneling assistito da generazione termica	128
5.2.3	Tunneling tra bande	130
5.3	Effetti di canale corto nei TFT:Ruolo dei meccanismi “field enhanced”	131
5.3.1	Risultati sperimentali	131
5.3.2	Simulazioni numeriche	134
5.4	Effetti di canale corto nei TFT:Ruolo dello spessore dell’ossido	139

5.4.1 Risultati sperimentali	139
5.4.2 Simulazioni numeriche	142
Bibliografia	147
Conclusioni	148
Ringraziamenti	150
Elenco Pubblicazioni	151

Introduzione

I transistor a film sottile a silicio policristallino (TFT , Thin Film Transistor) hanno raggiunto negli ultimi anni un ruolo sempre più rilevante nella microelettronica su larga area (LAM). La crescente attenzione rivolta a questi dispositivi è dovuta alla possibilità di coniugare un costo relativamente basso con elevate prestazioni, infatti in termini di mobilità e stabilità questi dispositivi sono nettamente migliori a quelli realizzati in silicio amorfo. L'introduzione della ricristallizzazione mediante laser ad eccimeri (ELC, Excimer Laser Crystallization) ha permesso di migliorare la qualità del silicio policristallino, aumentando sia le dimensioni dei grani e riducendo la densità dei difetti ai bordi e all'interno dei grani stessi. Tutto questo ha permesso la realizzazione di transistor con elevata mobilità ad effetto di campo, μ_{fe} , dell'ordine dei $100 - 200 \text{ cm}^2 / \text{Vs}$ che consente di realizzare display a cristalli liquidi da impiegare nei personal computer portatili e nei telefonini di ultima generazione (UMTS), utilizzando i TFT non solo come interruttori della matrice attiva ma anche per realizzare gli elementi integrati della logica di indirizzamento e di controllo per le righe e le colonne della matrice stessa. Però in seguito alla miniaturizzazione sempre più spinta dell'elettronica moderna, sono iniziati a sorgere alcuni effetti legati alle ridotte dimensioni della lunghezza del canale del TFT, indicati sotto il nome di "effetti di canale corto", che influenzano pesantemente le caratteristiche elettriche dei dispositivi. Inoltre anche la stabilità è uno dei parametri più importanti soprattutto nel caso di applicazioni circuitali dei TFT. Infatti, in questo caso, i dispositivi possono essere polarizzati con tensioni di gate e/o drain elevate con la conseguente formazione di alti campi elettrici ed elevate temperature che possono degradare pesantemente le prestazioni di tali dispositivi. In questo lavoro di tesi sono stati studiati tali effetti attraverso misure sperimentali e con l'aiuto delle simulazioni numeriche per una migliore comprensione delle cause alla loro base. Nel primo capitolo abbiamo descritto alcune applicazioni dei TFT in silicio policristallino, con particolare riguardo all'utilizzo come Matrici Attive nei Display a Cristalli Liquidi (AMLCD) che attualmente rappresenta

uno dei settori di maggior interesse. Nel secondo capitolo vengono analizzate le proprietà elettriche del silicio policristallino e gli effetti legati alle strutture dei bordi di grano e viene presentata l'approssimazione della loro presenza tramite l'introduzione di una densità degli stati spazialmente omogenea, ma distribuita in energia nella gap. Tale approssimazione è ampiamente utilizzata in questo lavoro e vengono anche presentate le equazioni che descrivono il comportamento di tali dispositivi. Nel terzo capitolo vengono analizzati alcuni fenomeni dovuti agli alti campi elettrici al drain e cioè il *Kink Effects* ed anche introdotto un modello per il degrado indotto dagli *hot-carrier*. Tale modello per l'intrappolamento di carica a ridosso delle interfacce con l'ossido ha il vantaggio di essere implementato tramite un algoritmo iterativo, mediante il quale è possibile ricostruire la dinamica del degrado interfacciale. Nel quarto capitolo viene studiata la stabilità elettrica di tali dispositivi in regime di *self-heating*, effettuando un confronto tra differenti architetture. Inoltre l'interazione tra elevate temperature e polarizzazione negative porta ad un effetto indicato con l'acronimo *NBTI* (Negative Bias Temperature Instability) che può modificare pesantemente le caratteristiche elettriche. Nel quinto ed ultimo capitolo viene presentato uno studio sugli effetti di canale corto, con particolare attenzione posta nella comprensione di tali fenomeni al variare dello spessore dell'ossido. La strumentazione utilizzata in queste misure e per tutto il lavoro della tesi è composta da un generatore di tensione programmabile Keithley 236 e da un elettrometro Keithley 216, utilizzati per polarizzare i dispositivi e misurare le correnti. Tali strumenti sono collegati e gestiti da un calcolatore tramite una connessione IEEE 488 con software di acquisizione scritto in HP-Basic

Capitolo 1

I TFT a silicio policristallino

In questi ultimi anni si è avuto un crescente interesse per i transistor a silicio policristallino (TFT, *Thin Film Transistor*) legato soprattutto alle loro applicazioni nella microelettronica di larga area come display a cristalli liquidi a matrice attiva (AMLCD, active matrix liquid crystal display). Questi dispositivi possono essere quindi impiegati in alternativa agli schermi televisivi tradizionali con tubo a raggi catodici (CRT, cathode ray tube) nei personal computer portatili e per gli schermi televisivi ad alta risoluzione. Originariamente, polisilicio con buone caratteristiche si poteva ottenere per deposizione ad alta temperatura ($> 600^{\circ}\text{C}$) con l'utilizzo di costosi substrati di quarzo, che di fatto non lo rendeva economicamente conveniente per i prodotti a basso costo della microelettronica. Successivamente, vennero sviluppati intorno alla metà degli anni 80' alcuni processi di deposizione a bassa temperatura ($< 600^{\circ}\text{C}$) su substrati di vetro molto economici, che permisero l'utilizzo del silicio policristallino nelle applicazioni tipiche della microelettronica. Attualmente, il ruolo del silicio policristallino nella LAM (*Large Area Microelectronics*) sta diventando simile a quello del silicio cristallino nella microelettronica tradizionale. Nella figura 1.1 si può vedere un certo numero di TFT utilizzati a scopo di ricerca.

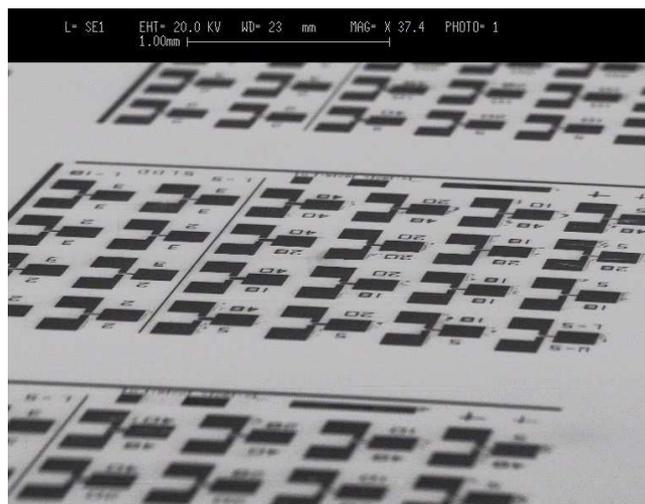


Figura 1.1: Immagine al microscopio ottico di TFT.

1.1 Applicazioni dei TFT nelle AMLCD

Gli schermi a pannelli piatti (FDP) a cristalli liquidi possono essere a matrice attiva (AMLCD) o a matrice passiva. Quelli a matrice passiva non contengono elementi che fanno da interruttore e la cella a cristalli liquidi è attivata direttamente dall'impulso di tensione applicato. In questi display il tempo di attivazione della cella (pixel) è inversamente proporzionale al numero di linee presenti e pertanto l'aumento del numero delle linee ne limita le dimensioni. Vediamo invece ora, il funzionamento di una cella a cristalli liquidi ed il suo utilizzo nella realizzazione di un AMLCD riportati rispettivamente in figura 1.2 e 1.3.

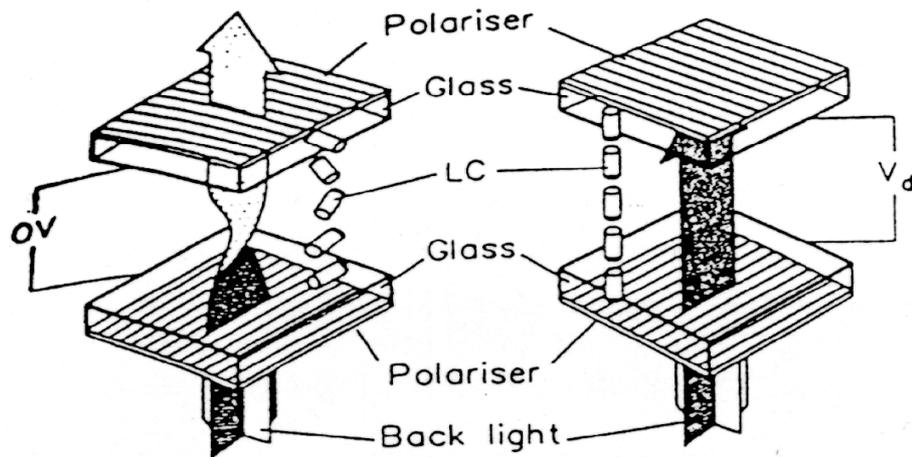


Figura 1.2: Illustrazione schematica di una cella a cristalli liquidi [1].

La cella a cristalli liquidi è racchiusa tra due piastre di vetro ricoperte da elettrodi trasparenti (comunemente ossido di stagno), che a loro volta sono racchiuse tra due polarizzatori con assi di polarizzazione sfasati di 90° . Le due piastre determinano la polarizzazione della luce entrante e uscente mentre attraverso la tensione applicata si determina la trasmittanza della cella.

I due casi limite sono rappresentati in figura 1.2; per tensioni intermedie solo una parte di luce incidente sarà trasmessa dal secondo polarizzatore, ottenendo così i vari livelli di grigio. Per avere i vari colori si possono sovrapporre sulla piastra superiore dei filtri colorati.

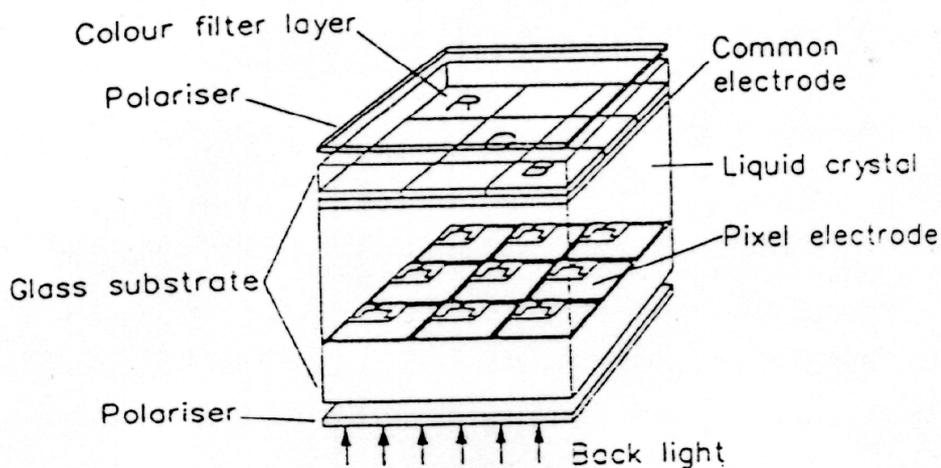


Figura 1.3: Schema di una matrice attiva a cristalli liquidi [1].

Nella figura 1.3 possiamo vedere lo schema in cui i TFT costruiti su un substrato vetroso controllano l'accensione e lo spegnimento dei pixel sulla matrice. La tensione applicata ai vari pixel è fornita tramite un indirizzamento in cui si abilita una riga della matrice alla volta. Una linea di TFT con elettrodo di gate in comune viene accesa per la durata di $32\mu s$ (durata di una linea televisiva), ed in questo periodo di tempo la capacità del pixel si carica al valore del corrispondente segnale televisivo applicato al *source*. Successivamente la tensione di *gate* viene rimossa, quindi, tutti i transistor con il *gate* in comune si spengono e si procede all'accensione dei transistor sulla linea successiva. La carica sulla prima linea deve essere mantenuta per $20ms$ e poi reindirizzata (*refresh*). Sono proprio queste due condizioni di caricamento della capacità del pixel per i $32\mu s$ di accensione della linea e di mantenimento della carica per il periodo di un fotogramma (*frame*), circa $20ms$, a stabilire il rapporto tra le correnti di on e off del TFT che è tipicamente di circa 10^5 . Se volessimo avere uno schermo con risoluzione pari a quella TV dovremmo avere 1295 collegamenti (572 righe + 720 colonne). Attualmente la procedura per realizzare tali connessioni consiste nel montare la logica di controllo realizzata con circuiteria fatta con silicio cristallino attorno alla matrice attiva e questo, fa salire notevolmente il costo del processo di fabbricazione. Sarebbe molto più vantaggioso fabbricare i circuiti di indirizzamento nella stessa fase in cui si realizzano i TFT di controllo dei vari pixel; infatti tale integrazione ridurrebbe in maniera significativa le connessioni dalle 1295 a circa 20. Per vedere se questa integrazione è possibile, dobbiamo trovare una relazione tra velocità dei circuiti e mobilità dei *TFT* usati, che è rappresentata nella figura 1.4 per un transistor con lunghezza di canale $L = 6\mu m$.

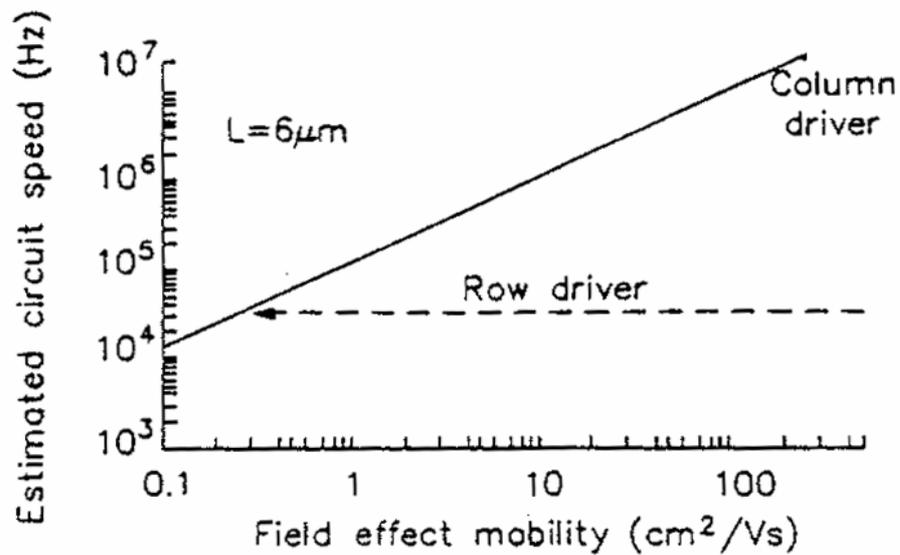


Figura 1.4: Relazione approssimata tra la mobilità ad effetto campo e la velocità del dispositivo per una lunghezza di canale di $6\mu\text{m}$ [1].

Il circuito di indirizzamento delle righe utilizza una frequenza di 15KHz , mentre quello delle colonne utilizza una frequenza maggiore, circa 10MHz . Se esamino quindi il grafico riportato in figura 1.4 posso dedurre una mobilità superiore a $0.2\text{cm}^2/\text{Vs}$ per i TFT dei circuiti di riga e superiore a $100\text{cm}^2/\text{Vs}$ per quelli di indirizzamento delle colonne. Con il silicio amorfo possiamo avere delle mobilità ad effetto campo dell'ordine di $1\text{cm}^2/\text{Vs}$, sufficienti per costruire i TFT dei pixel e del circuito di indirizzamento delle righe, ma non utili per realizzare i circuiti delle colonne. Se invece utilizzassi silicio policristallino, dotato di mobilità ad effetto campo superiore a $100\text{cm}^2/\text{Vs}$, potrei soddisfare le richieste per l'integrazione totale della circuiteria; ciò giustifica il crescente interesse per i TFT a silicio policristallino.

1.2 Applicazioni dei TFT negli AMOLED

L'interesse nella comunità degli FPD (Flat Panel Display) verso display basati sull'uso di diodi emettitori organici, si è sviluppato dal 1987, quando fu riportato il fenomeno dell'elettroluminescenza ad alta efficienza da film molecolari organici [2].

Un OLED (Organic Light Emitting Diode) è costituito da un film di materiali organici che viene posto tra due elettrodi adeguatamente scelti; gli elettroni e le buche, iniettati nel film dai rispettivi elettrodi, si ricombinano nello strato organico generando uno stato eccitato metastabile, l'eccitone, che decade radiativamente emettendo fotoni nel visibile (elettroluminescenza).

Grazie alla semplicità della struttura di un OLED, l'uso di questo tipo di dispositivi nei display è molto promettente; in tali display, ogni pixel è costituito da un diodo emettitore (in uno schermo a colori sono necessari dei sub-pixel corrispondenti ai colori primari rosso, verde e blu), e l'immagine si forma portando ciascun pixel al livello di colore e brillantezza desiderato attraverso il controllo della quantità di carica iniettata.

Nella figura 1.5 sono riportati schematicamente la struttura della matrice di un display e il diagramma a bande di un OLED polarizzato in diretta.

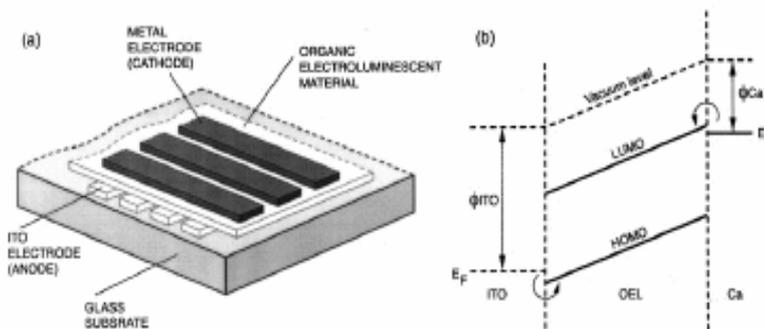


Figura 1.5: (a) Schematizzazione di un AMOLED, (b) Diagramma a bande di un diodo organico; l'elettrodo per l'iniezione di lacune è ITO.

All'equilibrio i livelli di Fermi dei materiali degli elettrodi devono essere allineati con i livelli energetici HOMO (highest occupied molecular orbital) e LUMO (lowest unoccupied molecular orbital) del materiale organico, inoltre uno dei due elettrodi deve essere

trasparente per consentire il passaggio della luce. Generalmente per l'iniezione delle buche si utilizza un elettrodo trasparente, realizzato con un strato di Ossido di Indio e Stagno (ITO, Indium Tin Oxide), mentre per gli elettroni si usa un metallo con una bassa funzione-lavoro (tipicamente Calcio) [3].

Negli AMOLED l'indirizzamento dei pixel della matrice avviene mediante l'impiego di TFT in polisilicio; il principio di funzionamento di un pixel con circuito di indirizzamento a transistor p-channel è riportato in figura 1.6. Le righe della matrice sono abilitate in sequenza durante il singolo periodo di frame. Quando una riga è selezionata, tutti i transistor di indirizzamento T1 sono nello stato di ON e i dati sono trasferiti sul gate dei transistor T2; successivamente la riga viene disabilitata e i T1 vengono portati allo stato di OFF, mentre viene selezionata la riga successiva. Il capacitore di storage C_s è incluso per compensare la corrente di leakage di T1. In questo modo all'OLED è fornita la corrente di drain I_{DS} di T2 per tutta la durata del fotogramma, dato che indirizzamento ed emissione di luce sono disaccoppiati.

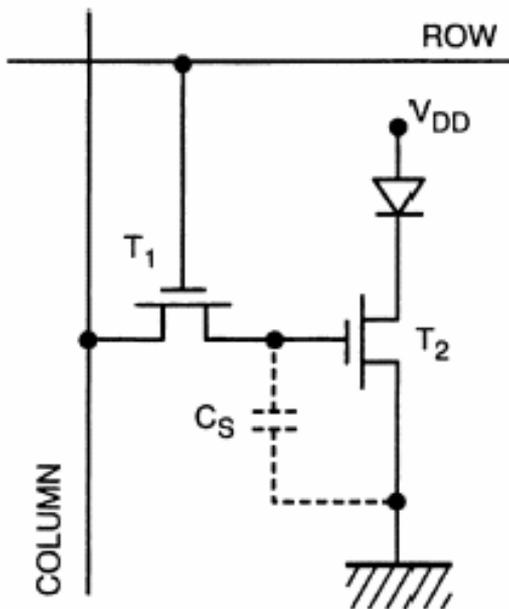


Figura 1.6: Circuito di indirizzamento di un pixel di un AMOLED.

Per ottenere un'immagine stabile e di buona qualità, la corrente iniettata nell'OLED deve essere costante; gli effetti delle variazioni nella tensione di soglia dei diodi organici possono essere compensati connettendo elettricamente l'elettrodo in ITO con il drain di T2

e portando il dispositivo in saturazione; regime in cui la corrente di drain I_d resta costante rispetto a variazioni di tensione di drain [4]. Da questo punto di vista, l'impiego dei Poly-Si TFT nel controllo degli OLED risulta molto diverso da quello delle AMLCD, infatti a differenza di quanto avviene nei display a cristalli liquidi, il transistor T2 deve rimanere acceso per tutta la durata del periodo del frame, per fornire corrente al diodo organico. In queste condizioni la stabilità dei dispositivi assume un ruolo cruciale e sebbene sia possibile l'impiego di TFT in silicio amorfo, vengono scelti TFT in polisilicio realizzati a bassa temperatura. Questi sono compatibili con i substrati in vetro e presentano una ottima stabilità intrinseca [3]. Da un punto di vista fabbricativo, esistono due possibili strutture per un AMOLED, le cui sezioni e il cui circuito di indirizzamento sono riportati in figura 1.7.

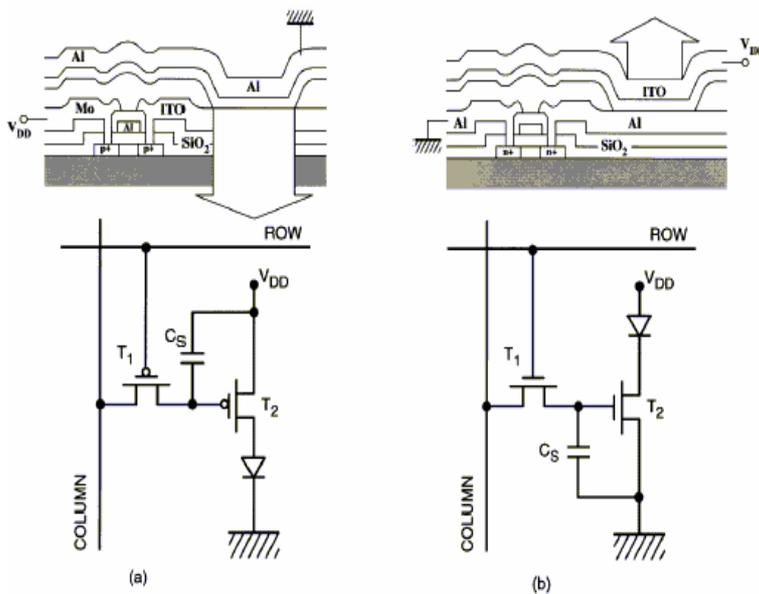


Figura 1.7: Schematizzazione della struttura di un pixel di un AMOLED (a) bottom-emitting e (b) top-emitting, con il relativo circuito di indirizzamento.

Nella prima, Bottom Emitting, i TFT impegnati sono p-channel, e la luce è emessa attraverso la superficie inferiore della struttura. Nella seconda struttura, Top Emitting, è necessario l'impiego di TFT di tipo "n". L'elettrodo di ITO viene realizzato nella fase finale del processo, sopra lo strato emettitore organico, e l'OLED è connesso con il source del transistor T₂. In questo caso un cambiamento della tensione di soglia del diodo equivale a una variazione di tensione gate-source del transistor, quindi a un'elevata

variazione di corrente. E' quindi necessario integrare il circuito di indirizzamento con dei sistemi di compensazione delle variazioni di tensione sull'OLED, in modo che la differenza di potenziale tra gate e source non abbia alcuna influenza sul lavoro del TFT. Quanto detto costituisce la ragione principale per cui vengono preferiti i TFT p-channel, e attualmente rappresenta il motivo di maggior interesse verso i poly-Si TFT a canale "p". Per quanto riguarda il transistor T1, valgono le considerazioni fatte per le AMLCD sulla velocità del circuito, vengono quindi impiegati poly-Si TFT di tipo "n", che rappresentano attualmente il miglior compromesso prestazioni-costi di fabbricazione

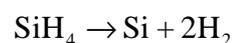
1.3 Realizzazione del silicio policristallino

Silicio policristallino di buona qualità può essere realizzato utilizzando diverse tecniche, che influiscono sulle proprietà del materiale. Quelle utilizzate attualmente sono:

- low pressure chemical vapor deposition (LPCVD)
- solid phase crystallization (SPC)
- excimer laser crystallization (ELC)

1.3.1 Crescita del silicio policristallino tramite LPCVD

Questa tecnica LPCVD consiste nella dissociazione tramite pirolisi, di un gas contenente silicio, tipicamente silano (SiH_4), e nella sua deposizione su un substrato ad alta temperatura ($> 600\text{C}^\circ$). La reazione chimica che otteniamo è:



La struttura del materiale ottenuto con questa tecnica dipende fortemente dalle condizioni di deposizione, temperatura e pressione. Nella figura 1.8 viene riportata la struttura del materiale in funzione della temperatura di crescita e della pressione parziale del silano.

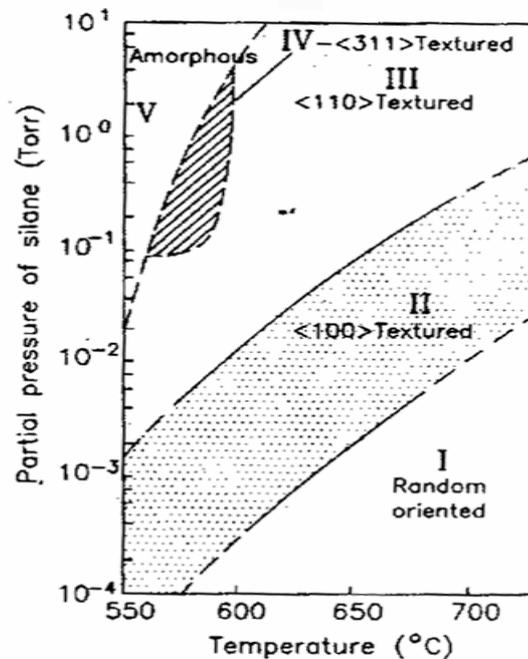


Figura 1.8: Relazione tra la struttura del film di silicio e le condizioni di deposizione [5].

Con pressioni parziali del silano di $100/200\text{mTorr}$ e con una temperatura di deposizione $T_d = 580 - 630\text{C}^\circ$ abbiamo delle velocità di crescita di $5 - 10\text{nm}/\text{min}$.

Con queste condizioni otteniamo del silicio policristallino con grani di dimensione media del 100nm , orientazione preferenziale $\langle 110 \rangle$ e forma a V a partire dall'interfaccia con il substrato. Inoltre, i grani internamente sono ricchi di difetti detti *microtwins* e ciò sommato alle piccole dimensioni dei grani impedisce di ottenere TFT con valori elevati di mobilità ad effetto campo tipicamente dell'ordine di $5 - 10\text{cm}^2/\text{Vs}$. A seguito di questa struttura a V la dimensione dei grani in superficie (dove verrà a trovarsi il canale del dispositivo) aumenterà al crescere dello spessore del film con conseguente aumento della mobilità dei portatori e miglioramento delle caratteristiche elettriche del dispositivo.

Questo miglioramento è però seguito da un incremento della corrente di spegnimento (*off current*) come riportato in figura 1.9.

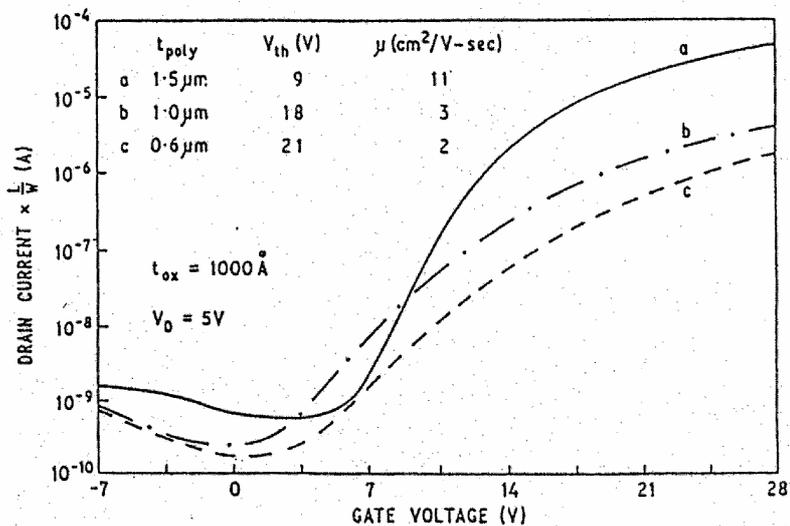


Figura 1.9: Caratteristiche di trasferimento di un TFT di tipo n per differenti spessori dello strato di polisilicio [6].

1.3.2 Spc del silicio amorfo

Con questa tecnica si deposita un film di silicio amorfo tramite LPCVD a temperature inferiori a $600C^\circ$ e successivamente si effettua una ricristallizzazione tramite un *annealing* termico prolungato (10–100ore) con temperature intorno ai $600C^\circ$.

Questa ricristallizzazione in fase solida può avvenire dal momento che il silicio amorfo è una struttura priva di periodicità che si trova in uno stato metastabile e quindi l'energia della fase policristallina è più bassa rispetto allo stato amorfo; fornendo energia sufficiente al sistema possiamo avere l'inizio della trasformazione.

La grandezza dei grani prodotti dipende sia dalla temperatura di deposizione sia dalla temperatura di *annealing* e, da quello che possiamo vedere nella figura 1.10, si ha una dipendenza opposta delle dimensioni dei grani rispetto alle due temperature.

Con questa tecnica otteniamo dei grani di forma ellittica con dimensioni tipiche di $1\mu m$, ma molto ricchi di difetti (*microtwin*) simili a quelli ottenuti con la tecnica LPCVD.

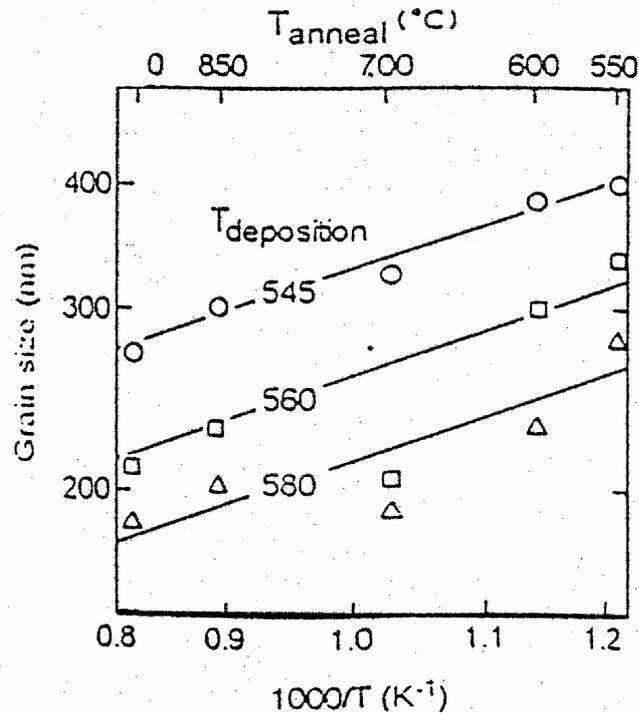


Figura 1.10: Dimensioni dei grani in funzione della temperatura di *annealing* per un film di spessore $200nm$ depositato a tre differenti temperature [7].

Per ridurre quindi, la temperatura di deposizione ed aumentare la dimensione dei grani possiamo utilizzare del disilano (Si_2H_6) al posto del silano, dal momento che presenta una temperatura di dissociazione più bassa. Con questa tecnica possiamo realizzare dispositivi con mobilità dell'ordine di $30-70cm^2/Vs$, maggiore di quella ottenuta con la tecnica LPCVD, ma comunque non elevata a causa della grande densità di difetti all'interno dei grani[8]. Questa tecnica presenta però alcuni svantaggi tra cui i lunghi tempi di ricristallizzazione necessari se si vuole avere una bassa temperatura di deposizione in modo da usare substrati economici.

1.3.3 ELC excimer laser crystallization

Questo metodo si basa sull'irraggiamento tramite laser ad eccimeri di un film di silicio amorfo precedentemente depositato su un opportuno substrato mediante due tecniche: la LPCVD vista precedentemente e la PECVD cioè la deposizione chimica da fase vapore assistito da plasma, in cui la deposizione avviene ad una temperatura inferiore rispetto a quella utilizzata nell'LPCVD, circa $250-300C^{\circ}$. Il laser ad eccimeri emette nella regione UV dello spettro impulsi di durata molto breve ($\approx 10-30ns$) ed è particolarmente adatto alla cristallizzazione del silicio, per la combinazione di un forte assorbimento della radiazione UV ($\alpha \approx 10^6 cm^{-1}$) da parte del silicio e una bassa diffusione del calore (lunghezza di diffusione $100nm$). Questa combinazione di fattori permette una fusione solo superficiale del film, lasciando la zona sottostante a temperature inferiori ai $400C^{\circ}$ e rendendo, così, il processo compatibile con l'utilizzo di economici substrati di vetro[9]. L'energia della radiazione laser, viene assorbita dal silicio amorfo e si trasforma in calore che si propaga secondo la seguente relazione [1]:

$$\frac{\partial T}{\partial t} = \frac{1}{\rho c_p} \frac{\partial}{\partial z} \left(k \frac{\partial T}{\partial z} \right) + \frac{\alpha}{\rho c_p} I(z, t)$$

dove:

ρ = densità del film,

c_p = calore specifico del film,

$I(z,t)$ = intensità della radiazione laser.

Ipotizzando un fascio laser omogeneo, con propagazione perpendicolare alla superficie del film irraggiata, si ottiene:

$$I(z, t) = I_0 (1 - R) e^{-\alpha z}$$

con

I_0 =intensità della radiazione incidente,

R= riflettività del materiale.

Il silicio ottenuto con ELC ha una buona cristallinità all'interno del grano grazie al processo di ricrescita dal liquido. Questa è una caratteristica fondamentale per la realizzazione di TFT ad alta mobilità, superiore ai $100\text{cm}^2/\text{Vs}$. Il processo di ricristallizzazione del silicio amorfo è fortemente legato al meccanismo della “cristallizzazione esplosiva” (XC, explosive crystallization). Questo fenomeno è dovuto alla differenza tra i calori latenti di fusione del silicio amorfo e policristallino (vedi tab. 1), che determina la seguente distribuzione dei livelli energetici (vedi fig.1.11).

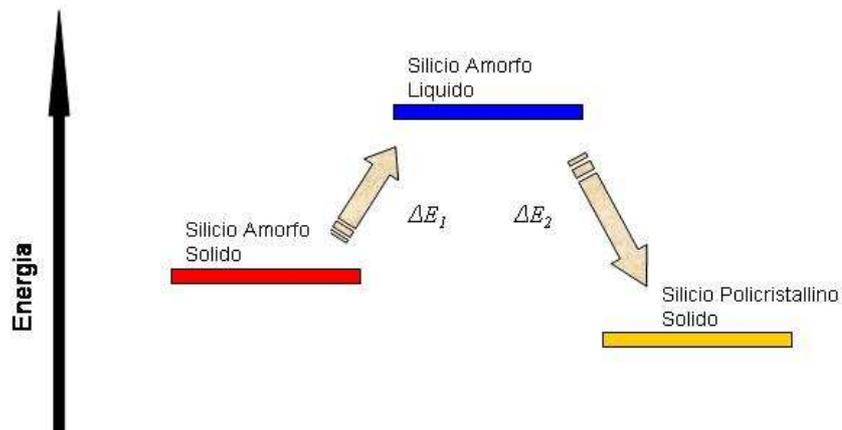


Figura 1.11: Schematizzazione dei livelli energetici per il silicio amorfo e policristallino.

	R	α^l (nm)	$T_{melting}$ (°K)	ρ (g/cm ³)	c_p (J/g°K)	k (W/cm°K)	$Q_{melting}$ (J/g)
a-Si	0.62	5.7	1418 ± 40	2.26	1.1	0.013	1282 ± 70
c-Si	0.67	5.5	1687	2.31	1.0	0.23	1800

Tabella 1 Confronto tra le costanti ottiche e termiche del silicio amorfo e cristallino. Le costanti ottiche sono riferite a $\lambda=248nm$; le costanti termiche, dove possibile, sono riferite a temperatura vicino alla fusione [1].

La dinamica della cristallizzazione esplosiva può essere riassunta in questo modo: quando il silicio amorfo viene irraggiato dal fascio laser, uno strato superficiale fonde e passa allo stato liquido. Quest'ultimo risolidifica in silicio policristallino a piccoli grani (microcristallino) e rilascia un'energia maggiore di quella utilizzata per la fusione del silicio amorfo ($\Delta E_2 > \Delta E_1$); questa energia fonde un altro strato di silicio amorfo sottostante che a sua volta risolidifica in silicio policristallino. Si innesca quindi un processo a catena che trasforma silicio amorfo in silicio microcristallino. Questo processo è molto veloce, infatti il fronte di fusione si muove ad una velocità di circa 10m/s, e si sviluppa in un tempo inferiore alla durata del singolo colpo laser 10-30ns. In questo modo se il fascio laser ha l'energia sufficiente per fondere lo strato microcristallino dato dalla cristallizzazione esplosiva, si avrà una seconda fusione con successiva risolidificazione che parte però da un seme microcristallino e non amorfo. Questo assicura una migliore ricrescita del silicio intorno al seme. A seconda dell'energia d'irraggiamento si possono quindi distinguere quattro casi in cui i grani raggiungono dimensioni diverse (vedi fig.1.12)

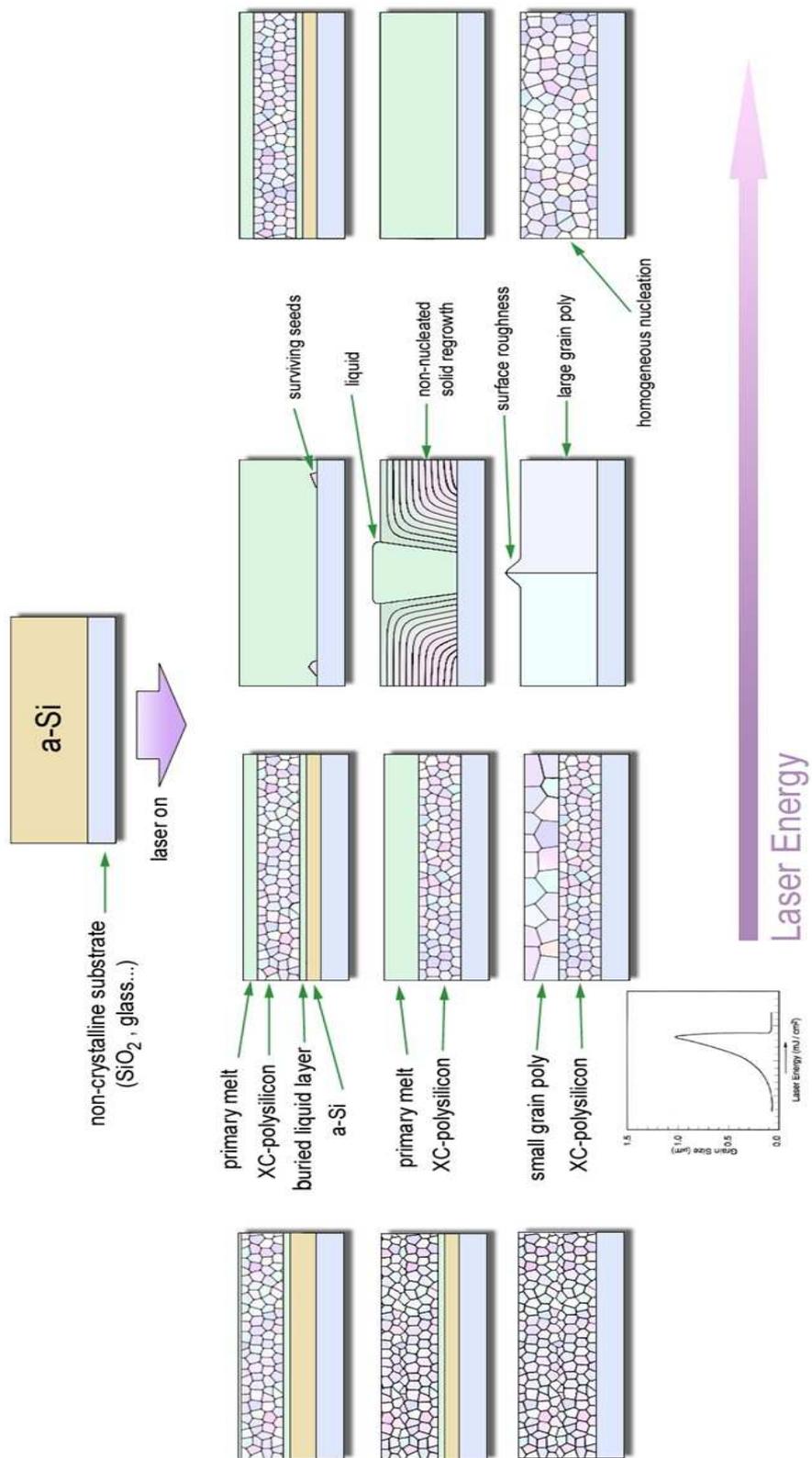


Figura 1.12: Schematizzazione della ricristallizzazione del silicio amorfo con differenti densità di energia.

▪ **1 caso:**

Per densità di energie minori della soglia di fusione del silicio microcristallino, non si innesca la seconda fusione. In questo modo si avrà una ricristallizzazione in polisilicio a piccolo grani dati dalla sola cristallizzazione esplosiva [10].

▪ **2 caso:**

Ad energie maggiori della soglia di fusione del silicio microcristallino, si innesca la fusione parziale dello strato microcristallino indotto dalla cristallizzazione esplosiva. In questo caso la risolidificazione avviene da un seme microcristallino che dà luogo ad una struttura a due strati: uno strato superiore, caratterizzato da grani con dimensioni di circa 100-200nm, relativi alla risolidificazione da seme microcristallino indotto dalla cristallizzazione esplosiva; uno strato inferiore, costituito da grani più piccoli dati dalla sola cristallizzazione esplosiva.

▪ **3 caso:**

La condizione di irraggiamento più interessante è quella in cui il laser ha l'energia sufficiente per fondere quasi completamente l'intero strato microcristallino che si viene a creare dopo la cristallizzazione esplosiva e solo pochi agglomerati, microcristallini, rimangono solidi ed agiscono da semi per la ricrescita dei grani. Inizia così un processo di crescita laterale intorno al seme che dà luogo a grani di dimensione abbastanza grandi, circa 1 μ m. Questa condizione, detta di "super lateral grown" (SLG) [11] si raggiunge in un intervallo di energia ΔE intorno al valore E_{SLG} tale che $\Delta E/E_{SLG}=2.5\%$.

▪ **4 Caso**

Ad elevate densità di energia ($E > E_{SLG}$), lo strato microcristallino fonde completamente e non rimane nessun seme per la successiva ricrescita. In questo caso la ricristallizzazione avviene tramite nucleazione omogenea in una struttura policristallina a piccoli grani, circa 50nm. Si parla di nucleazione quando nella materia avvengono delle transizioni dalla fase amorfa a policristallina a causa della generazione di nuclei stabili con struttura cristallina che tendono ad espandersi.

Nella seguente figura (vedi fig. 1.13) vengono mostrate delle immagini realizzate al TEM di silicio policristallino ottenuto nel caso 1 (cristallizzazione esplosiva) e nel caso 3 (“super lateral growth”, SLG).

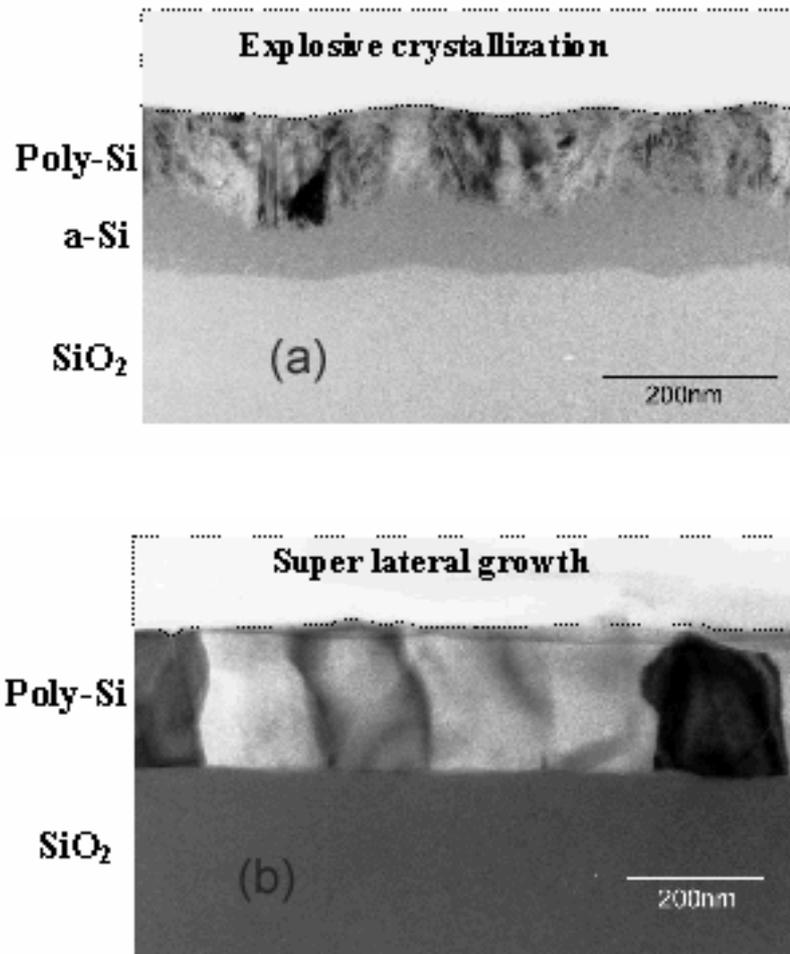


Figura 1.13: Immagine TEM di uno strato di silicio amorfo spesso 200nm ricristallizzato a due differenti energie di irraggiamento: (a) 185mJ/cm² (cristallizzazione esplosiva), (b) 590mJ/cm² (“super lateral growth”) [12].

Inoltre viene riportato un grafico della mobilità rispetto all’energia del fascio laser a diversi spessori di silicio amorfo depositato, in cui sono ben visibili dei picchi della mobilità in corrispondenza di $E \approx E_{SLG}$ (vedi fig.1.14) [13].

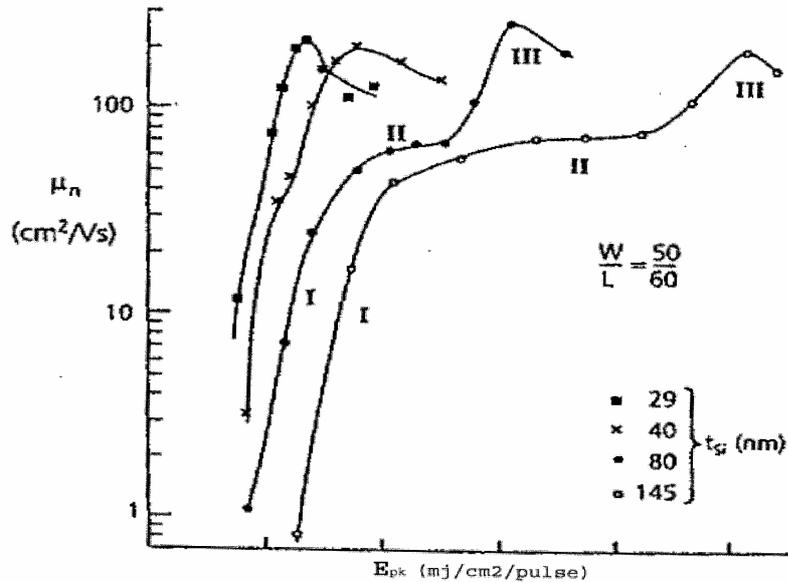


Figura 1.14: Variazione della mobilità ad effetto campo con lo spessore del film e l'intensità del picco laser, per un dispositivo di tipo n [13].

1.4 Tecniche di omogeneizzazione dei grani

Tra le tecniche sopra descritte la ELC, in regime di SLG, sembra essere quella più adatta per ottenere silicio policristallino con pochi difetti e con grani di buone dimensioni. Vi sono però dei problemi che rendono il film non uniforme, come:

- 1) le fluttuazioni dello spessore del film e dell'energia di irraggiamento laser.
- 2) semi microcristallini disposti a grande distanza uno dall'altro.

Recentemente sono state sviluppate delle tecniche per ovviare al problema delle fluttuazioni di spessore del film e dell'energia del laser, come l'irraggiamento a molti colpi e la profilatura del fascio laser, che permettono di rendere abbastanza omogenea la dimensione dei grani su tutto il campione, mentre il problema della distribuzione dei semi microcristallini è un problema ancora non risolto che impedisce una migliore ricrescita dei grani.

1.4.1 Irraggiamento a molti colpi

Una delle tecniche usate per rendere più uniforme il materiale policristallino consiste nell'aumentare il numero di impulsi laser ricevuti da ciascun punto del campione. In figura 1.15 [13] è mostrato l'andamento della mobilità in funzione del numero di colpi ricevuti da ciascun punto.

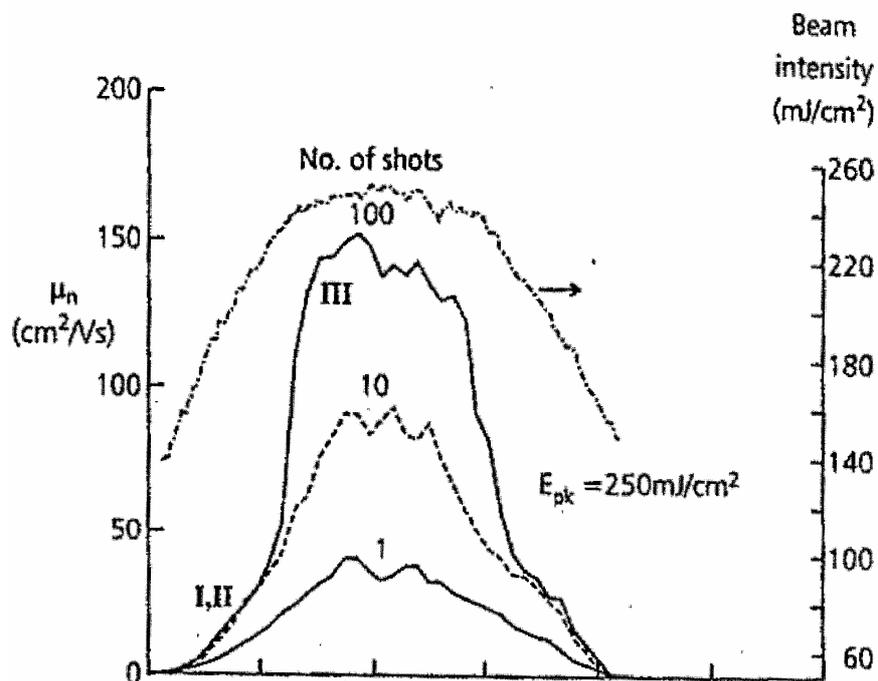


Figura 1.15: Variazione spaziale della mobilità degli elettroni, nel silicio policristallino, in funzione del numero di colpi, per irraggiamenti statici mediante un fascio laser con profilo gaussiano. Nei casi I e II si ha una fusione parziale del film, mentre nel caso III si ha una fusione quasi completa del film (regime di SLG) [13].

Come si evince dalla figura, nei regimi I e II, corrispondenti ad una fusione parziale del film, la mobilità dipende poco dal numero di colpi. Viceversa nel regime III, condizione di SLG, la mobilità aumenta sensibilmente all'aumentare del numero di colpi. Studi SEM e TEM hanno dimostrato che l'incremento della mobilità non dipende soltanto da un

aumento della dimensione dei grani, ma anche da un effettivo miglioramento della omogeneità delle loro dimensioni. Infatti i campioni che hanno ricevuto 10 colpi sono costituiti da grani con estensione compresa tra (50-300)*nm* di diametro. Simile è la situazione di quelli che hanno ricevuto un solo colpo, ma con una percentuale più alta di grani a bassa dimensione. Invece i campioni che hanno ricevuto 100 colpi sono molto più omogenei dei precedenti e presentano grani che hanno dimensione pari a 300*nm* [14].

1.4.2 Profilatura del fascio

Per migliorare ulteriormente l'omogeneità dello strato attivo si può utilizzare un fascio laser con profilo gaussiano. Attraverso piccoli spostamenti del fascio è possibile irraggiare ogni singolo punto del campione alle diverse energie del profilo gaussiano.

Nel caso in cui l'energia massima della distribuzione gaussiana, E_{max} , è maggiore dell'energia, E_T , necessaria per fondere completamente lo strato di silicio policristallino a piccoli grani (*microcristallino*), $E_{max} > E_T$, lo strato di silicio amorfo viene convertito dalla parte avanzante della distribuzione del fascio laser in silicio microcristallino. Con un ulteriore avanzamento del fascio, la coda posteriore della gaussiana (*trailing edge mode*) induce, in un opportuno intervallo spaziale e quindi di energia, la condizione di "super lateral growth" $E = E_{SLG}$ e i grani arrivano a dimensioni di circa 1 μm . Il materiale trasformato in grani più grandi sarà poi esposto ad altri impulsi di energia sempre inferiore $E < E_{SLG}$ che non né cambieranno la struttura (vedi fig. 1.16a).

Per energia $E_{max} < E_T$ il silicio amorfo viene fuso dalla coda avanzante della distribuzione gaussiana (*leading edge mode*) e ricristallizza in polisilicio a piccoli grani di dimensioni comprese tra 100-200*nm*. Successivamente il silicio microcristallino viene irraggiato dal picco della distribuzione che ricristallizza le residue parti amorphe presenti ai bordi di grano ma non migliora le dimensioni dei grani. Per ulteriori avanzamenti del fascio il materiale viene esposto ad altri impulsi laser relativi alla coda posteriore della gaussiana che non sono in grado di modificare la struttura già indotta dalla "leading edge" (vedi fig. 1.16b).

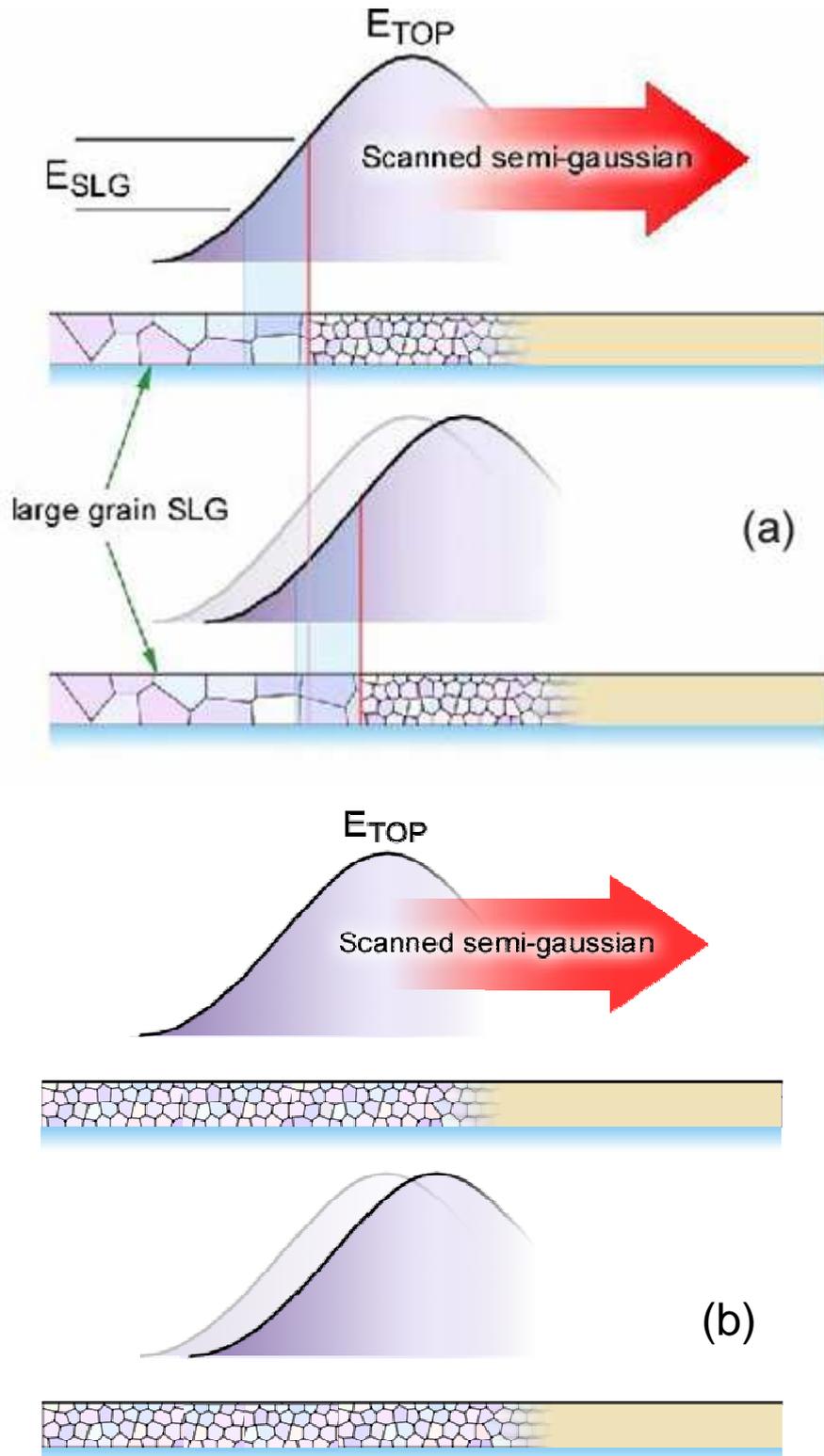


Figura 1.16: Scansione del profilo gaussiano a due differenti valori di energia massima della distribuzione del fascio laser E_{max} ; (a) “trailing edge mode”, (b) “leading edge mode”.

1.4.3 Two Step Annealing

Questa tecnica è la combinazione della SPC, che dà la possibilità di produrre materiali con grandi grani, e dell'ELC che fornisce materiali con bassa densità di difetti. Essa consiste nella crescita di silicio amorfo attraverso LPCVD da disilano, con successivo annealing in un forno convenzionale in atmosfera inerte ad una temperatura $T = 600^{\circ}\text{C}$ per 12 ore, seguito da laser annealing. Quando i grani grandi ma ricchi di difetti, ottenuti da SPC, vengono fusi parzialmente dal laser, lo strato di silicio policristallino sottostante, rimasto solido, funziona da seme per la ricrescita [15]. Si ottengono così dei grani grandi, tipici della SPC, con buona cristallinità tipica della ELC (vedi fig. 1.17).

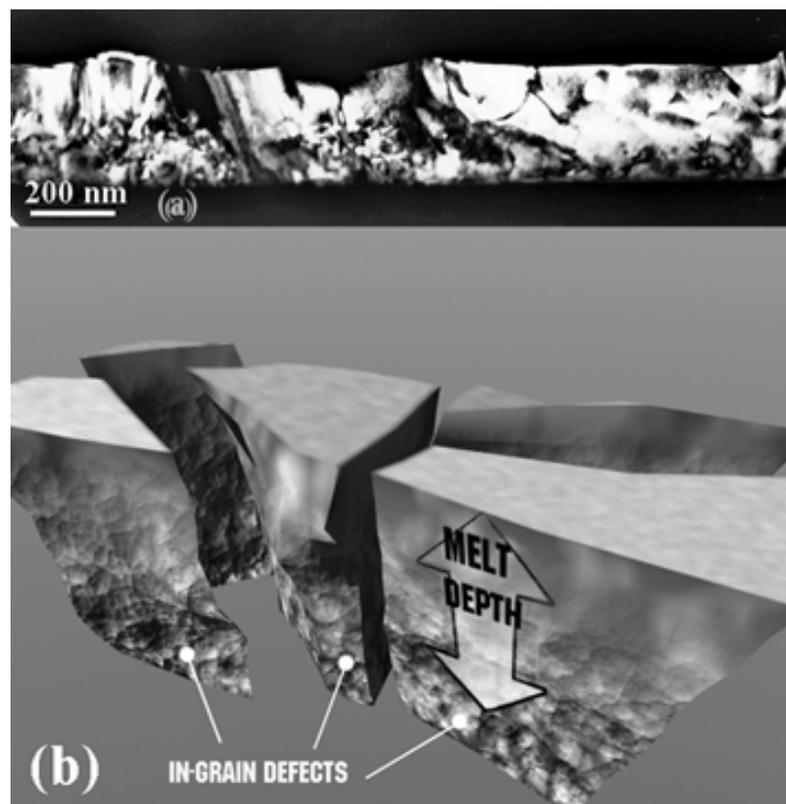


Figura 1.17: (a) Immagine TEM di uno strato di polisilicio ricristallizzato mediante SPC seguita da ELC, (b) Schematizzazione del film di polisilicio dopo il trattamento SPC e l'irraggiamento laser ELC [15].

La figura 1.17a mostra una sezione al TEM del polisilicio risultante da SPC più ELC. Nello strato superiore, fuso e risolidificato, i grani hanno mantenuto inalterate le loro dimensioni ma sono stati eliminati la maggior parte dei difetti al loro interno. La figura 1.18b schematizza i due strati ottenuti con questa tecnica. I dispositivi realizzati mediante “two step annealing” presentano una mobilità compresa tra $(100-150)cm^2/Vs$ [16].

1.4.4 Controllo della crescita laterale

Attualmente si stanno sviluppando nuove tecniche per aumentare le dimensioni dei grani. In particolare, si cercano di ottenere dei grani che si estendano lungo l'intero canale, in modo da rendere il film più uniforme e diminuire la densità dei difetti. Queste nuove tecniche prevedono il controllo artificiale della crescita laterale (ACSLG, artificially controlled super lateral growth) e si basano sulla fusione di determinate zone del film lasciando quelle adiacenti solide o parzialmente fuse che agiscono da seme nella risolidificazione. Questo viene realizzato mascherando il campione in alcune zone con strati metallici riflettenti che impediscono alla radiazione laser di fondere la parte sottostante in modo da creare due zone vicine, una completamente fusa e l'altra solida che agisce da seme [9] (vedi fig. 1.18).

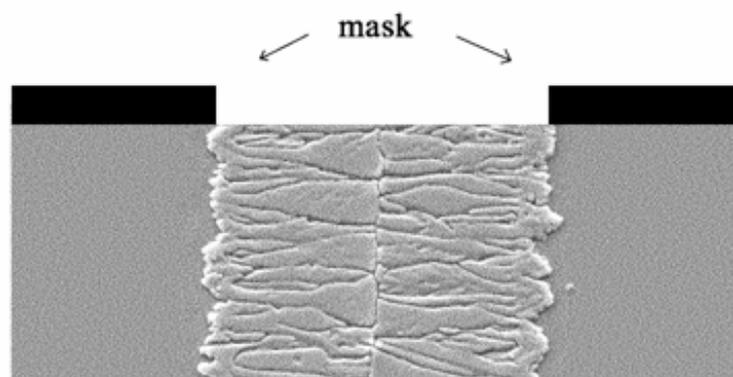


Figura 1.18: Immagine SEM dei grani in un film di polisilicio cresciuti lateralmente mediante irraggiamento con maschera [17].

Nella figura precedente è evidente la ricrescita longitudinale che parte dal bordo delle zone mascherate e converge al centro dando vita ad un singolo bordo di grano perpendicolare al cammino dei portatori [17].

Un'altra tecnica di controllo della crescita laterale, attualmente in rapido sviluppo, è la Solidificazione Laterale Sequenziale (SLS, Sequential Lateral Solidification) [18]. Nel processo SLS, il film di a:Si è irraggiato attraverso una maschera per il controllo della crescita laterale, ad una densità di energia tale da indurre la fusione completa dell'area esposta. La ricrescita laterale quindi procede dalla regione non esposta alla regione fusa durante il raffreddamento del film. Contemporaneamente il campione viene traslato nella direzione perpendicolare all'asse della fenditura della maschera, su una distanza minore della lunghezza di ricrescita laterale relativa al singolo impulso, ed è irraggiato di nuovo. In questo modo, la ricrescita laterale riparte dalla regione fusa all'impulso precedente. La ricrescita laterale dei grani può essere quindi continuata ad ogni microtraslazione, ed è possibile ottenere una struttura a grani di dimensioni molto maggiori della lunghezza di crescita laterale indotta da un singolo impulso. Studi SEM su film realizzati attraverso la tecnica SLS [18] hanno rivelato che la struttura del materiale è costituita da grani estremamente allungati superiori a $10\mu m$, separati da bordi di grano quasi paralleli (fig. 1.19). Tale tecnica permette di realizzare TFT con mobilità superiori ai $450cm^2/Vs$.

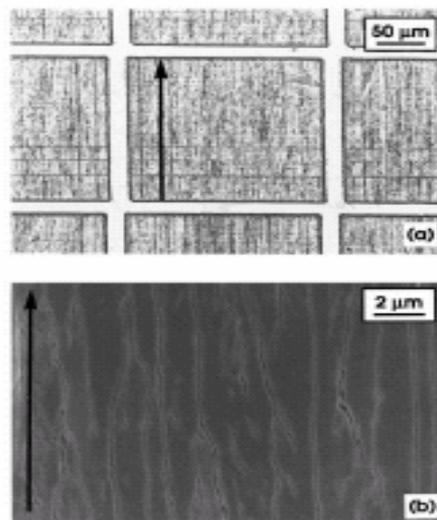


Figura 1.19: Film in silicio policristallino realizzato tramite SLS, (a) Immagine ottenuta al microscopio ottico, (b) Immagine SEM.

1.5 Realizzazione dei dispositivi

Il processo per la creazione dei TFT realizzati con tecnologia ELC può essere riassunto nei seguenti passi:

1. deposizione dello strato di silicio amorfo, precursore dello strato attivo.
2. irraggiamento mediante laser ad eccimeri per indurre la cristallizzazione del film di silicio amorfo
3. deposizione dell'ossido di gate
4. metallizzazione e definizione del gate
5. formazione delle regioni di source e drain tramite impiantazione di varie specie chimiche ad alta dose
6. attivazione delle regioni drogate tramite laser eccimeri
7. creazione di aperture nell'ossido per la realizzazione dei contatti metallici di source e drain (*via-hole*)
8. metallizzazione del source e del drain
9. *annealing* termico in *forming gas* (miscela di azoto e idrogeno) per saturare i *dangling bonds*

Tale processo è detto di tipo auto allineato (*S.A., Self Aligned*) in quanto il processo di impiantazione ionica utilizza l'elettrodo di gate come maschera per il canale del dispositivo. Questo riduce la sovrapposizione tra elettrodo di gate e zone drogate determinando basse capacità parassite. Tuttavia, come verrà specificato nei capitoli seguenti, questo processo comporta la presenza di zone non ben rinvenute dal laser ai margini del canale, che possono agire come delle resistenze parassite [19]. Utilizzando invece altri tipi di processo detti non autoallineati (*N.S.A, Non Self Aligned*) in cui l'impiantazione e la sua attivazione vengono fatte prima della definizione dell'elettrodo di gate è possibile ridurre tali problemi. Tuttavia la necessità di una certa tolleranza nell'allineamento delle maschere, che è di circa 3 μ m nelle applicazioni di elettronica su larga area, fa sì che la sovrapposizione tra gate e zone drogate diventi elevata, riproponendo il problema delle capacità parassite.

Bibliografia

- [1] S.D. Brotherton, *Semicond. Sci. Technol.* 10 (1995), 721.
- [2] C. W. Tang, S. A. Van Slyke, *Appl. Phys. Lett.* 51 (1987) 913.
- [3] D. Pribat, F. Plais, *Thin Solid Films* 383 (2001) 25.
- [4] R. M. A. Dawson, Z. Shen, D. A. Furst, S. Connor, J. Hs, M. G. Kane, R.G. Stewart, A. Ipri, C. N. King, P. J. Green, R. T. Flegal, S. Pearson, W. A. Barrow, E. Dickey, K. Ping, C. W. Tang, S. Van Slyke, F. Chen, J. Shi, J. C. Sturm, M. H. Lu, *Proceedings SID* 1998.
- [5] D.B. Meakin, P.A. Coxon. P. Migliorato, J. Stoemenos and N.A. Economon. *Appl. Phys. Lett.* 50 (1987) 1984.
- [6] G. Fortunato and L. Mariucci, *Thin Film Transistor*, Capitolo su *The Enciclopedia of Electrical and Electronic Engineering*, Editor John Webster (John Wiley & Sons, 1999).
- [7] M.K. Hatalis and D.W. Greve, *J. Appl. Phys.* 63 (1988) 2260.
- [8] K. Nakazawa, *J. Appl. Phys.* 69 (1991) 1703.
- [9] L. Mariucci, R. Carluccio, A. Pecora, V. Foglietti, G. Fortunato, P. Legagneux, D. Pribat, D. Della Sala, and J. Stoemenos, *Thin Solid Films* 337 (1999) 137.
- [10] M. O. Thompson, G. J. Galvin, J. W. Mayer, P. S. J. M. Poate, D. C. Jacobson, A. G. Cullis, and N. G. Chew, *Physical Review Letters* 52, (1984) 2360.
- [11] J. S. Imm and R. S. Sposili, *MRS Bulletin* (March 96).

- [12] F. C. Voogt, R. Ishihara, *Thin Solid Film* (2001) 45.
- [13] S.D. Brotherton, *Electrochemical Society Proceedings* 98 n 22 (1998) 25.
- [14] S.D. Brotherton, DJ Mc Culloc, J.P. Gowers, J.R. Ayres, and M.J. Trainor *J. Appl. Phys.* 82 (1997) 4086.
- [15] A. Pecora, L. Mariucci, R. Carluccio, G. Fortunato, P. Legagneux, F. Plais, C. Reita, D. Pribat, and J. Stoemenos, *Phys. Stat. Sol.* 166 (1998) 707.
- [16] R. Carluccio, J. Stoemenos, G. Fortunato, D.B. Meakin, and M. Bianconi, *Appl. Phys. Lett.* 66 (1995) 11.
- [17] L. Mariucci, R. Carluccio, A. Pecora, V. Foglietti, G. Fortunato, and D. Della Sala, *Jpn. J. Appl. Phys. Part 2*, No. 8B (1999).
- [18] R. S. Sposili and J. S. Im, *Appl. Phys. Lett.* 69 (1996) 2864.
- [19] P. Gaucci, A. Valletta, L. Mariucci, G. Fortunato, and S. D. Brotherton, *IEEE Trans. Electron Devices* **53**, 573 (2006) .

Capitolo 2

Caratteristiche elettriche dei TFT a silicio policristallino

Il transistor a film sottile a silicio policristallino (TFT) è un dispositivo a tre terminali costituito da un substrato isolante, tipicamente vetro o ossido di silicio (SiO_2), sul quale vengono realizzate:

- due regioni di tipo n^+ o p^+ , il source e il drain,
- una regione di polisilicio intrinseco, che funziona come canale, e uno strato di ossido di silicio sul quale è definito un contatto metallico detto gate.

Un TFT può quindi essere schematizzato da un diodo *MOS* (metal oxide semiconductor) con semiconduttore a struttura policristallina, più due giunzioni n^+ -*intrinseco* o p^+ -*intrinseco* posizionate sotto l'ossido di gate, quindi molto simile da una struttura di tipo MOSFET – SOI (Silicon On Insulator) con canale di silicio cristallino. A differenza di quanto accade in quest'ultimo materiale, l'analisi e lo studio delle proprietà di trasporto elettrico di silicio policristallino sono complicate dalla sua particolare struttura. In prima approssimazione, possiamo infatti considerare gli atomi all'interno dei grani organizzati in maniera periodica e quindi trattabili come tanti piccoli monocristalli; la struttura a bordo di grano è molto più complicata e può essere considerata costituita da pochi strati atomici disordinati che rappresentano la regione di transizione tra vari grani diversamente orientati. La elevata densità di difetti in tali regioni dà luogo alla formazione di barriere di potenziale tra i vari grani che riducono la mobilità dei portatori. Per quello detto ora è evidente che a parità di condizione, sia la conducibilità che la mobilità saranno inferiori rispetto a quelle del silicio cristallino.

2.1 Modello di intrappolamento ai bordi di grano

Nel silicio policristallino, la struttura a bordo di grano è sede di stati elettronici localizzati, dovuti alla presenza di legami non saturati (*dangling bond*), deboli o distorti. Questi stati agiscono come “trappole” per i portatori che, occupandoli, vengono sottratti al processo di conduzione e determinano barriere di potenziale dovute all’accumulo di carica localizzata[1]. La situazione è illustrata in figura 2.1, in cui gli stati localizzati occupati ai bordi dei monocristalli creano le barriere mostrate nel diagramma a bande.

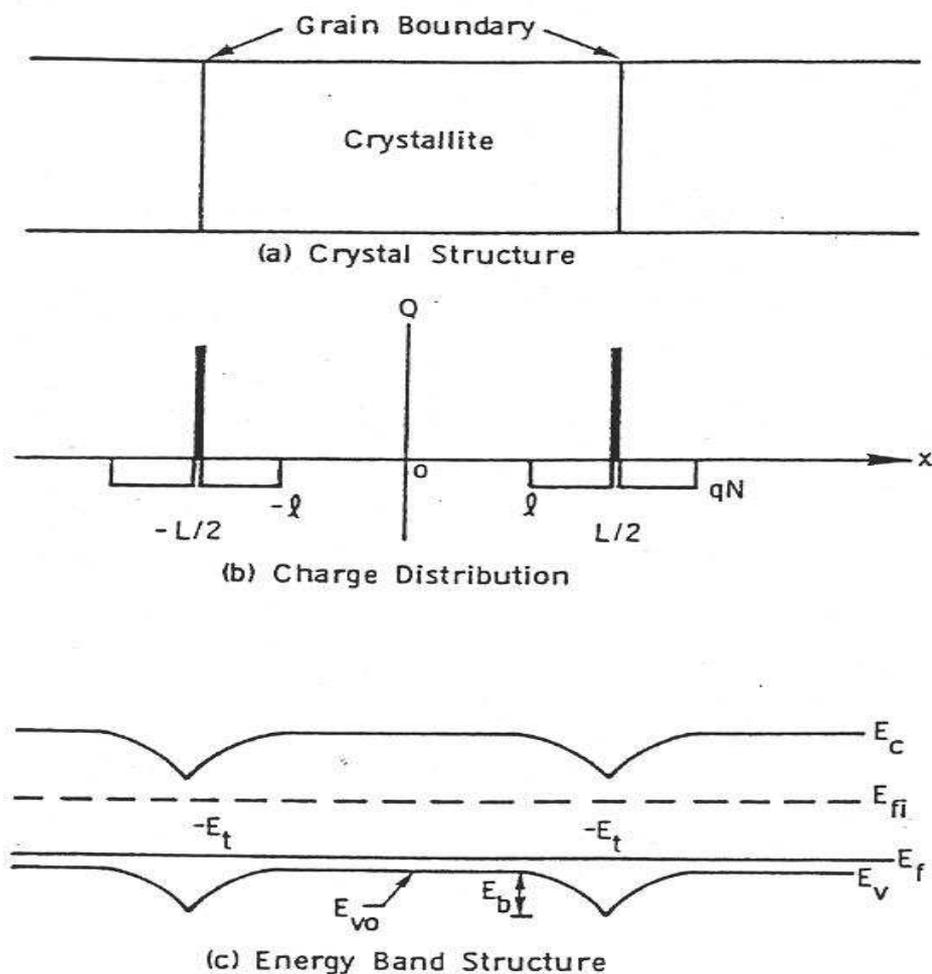


Figura 2.1:(a) Modello per la struttura del film di silicio policristallino. (b) Distribuzione di carica all’interno ed ai bordi di grano. (c) Struttura delle bande di energia.

Perciò, oltre che della riduzione del numero di portatori utili, il processo di trasporto risente della presenza delle barriere. Il meccanismo, secondo il quale la conduzione ha luogo, è l'emissione termica ed il tunneling attraverso la barriera. Dato che nel silicio policristallino la larghezza della barriera è grande quando la sua altezza è massima [1], la componente di tunneling si può trascurare rispetto a quella di emissione termica j_{th} :

$$j_{th} = qp_a \sqrt{\frac{kT}{2m\pi}} \exp\left(-\frac{qV_b}{kT}\right) \left[\exp\left(\frac{qV_a}{kT}\right) - 1\right] \quad (2.1)$$

in cui m è la massa efficace dei portatori, p_a è la concentrazione media dei portatori, k la costante di Boltzmann, V_b è l'altezza delle barriere di potenziale e V_a è la d.d.p. applicata al grano. L'equazione 2.1 nel limite di $qV_a \ll kT$ si espande in serie al primo ordine ottenendo:

$$j_{th} = q^2 p_a \sqrt{\frac{1}{2m\pi kT}} \exp\left(-\frac{qV_b}{kT}\right) V_a \quad (2.2)$$

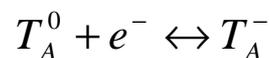
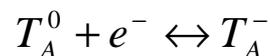
La formula 2.2 corrisponde ad adottare, per i portatori una mobilità efficace pari a:

$$\mu_{eff} = L_q \sqrt{\frac{1}{2m\pi kT}} \exp\left(-\frac{qV_b}{kT}\right) \quad (2.3)$$

Quindi la presenza dei bordi di grano può essere tenuta in considerazione, per quanto riguarda il trasporto riscaldando la mobilità dei portatori. Per quanto riguarda l'influenza degli stati nei bordi di grano sulle caratteristiche elettriche dei dispositivi, si può assumere che la distribuzione spaziale degli stati di trappola sia uniforme lungo tutto il canale [2]. Tale assunzione è lecita in quanto i difetti si collocano ai bordi dei grani di cristalli molto più piccoli rispetto alle dimensioni del canale, per cui la densità degli stati localizzati spazialmente è pressoché costante su distanze macroscopiche. Inoltre, l'effetto sul potenziale elettrostatico dei bordi di grano si estende su una distanza dell'ordine della lunghezza di Debye che nel canale, dato che il materiale è intrinseco, può raggiungere valori relativamente elevati; tale approssimazione di distribuzione uniforme dei difetti è tanto più valida quanto più la lunghezza di Debye è grande rispetto alle dimensioni

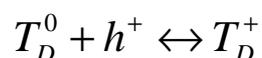
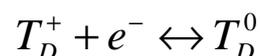
dei grani. I difetti ai bordi di grano, ed eventualmente anche quelli all'interno dei grani stessi, si possono schematizzare come livelli energetici nella gap del semiconduttore, corrispondenti a stati localizzati (o di "trappola"), che influenzano le caratteristiche del transistor (*densità degli stati* localizzati, DOS). La DOS nella gap determina l'efficacia del drogaggio, le proprietà di trasporto e la cinetica di ricombinazione. Inoltre influenza il profilo del potenziale (lunghezza di Debye) e la densità spaziale di carica del semiconduttore. Gli stati di trappola, indotti dai legami non saturati, sono localizzati in energia circa a metà della banda proibita, per cui vengono denominati stati "profondi" (*deep state*); quelli dovuti a legami deboli o distorti indotti dal disordine strutturale, si collocano vicino alle bande di valenza o di conduzione e sono chiamati "stati di coda" di banda (*tail state*). Ci sono due tipologie di stati di trappola, entrambi presenti nel materiale:

stati di tipo accettore (T_A): che si caricano negativamente quando catturano un elettrone e danno luogo a questi processi:



Hanno una sezione d'urto per le lacune maggiore di quella per gli elettroni, in quanto il processo di intrappolamento delle lacune coinvolge un centro carico, che interagisce con i portatori di carica opposta a distanze maggiori di un centro neutro.

stati di tipo donore (T_D): che si caricano positivamente quando catturano una lacuna e danno luogo a questi processi:



Hanno una sezione d'urto per gli elettroni maggiore di quella per le lacune, in quanto

questa volta è il processo di intrappolamento degli elettroni che coinvolge un centro carico. La densità totale di carica presente nel semiconduttore può essere scritta come

$$\rho_{tot} = -n^- + p^+ + N_D^+ - N_A^- - N_{TA}^- + N_{TD}^+$$

in cui N_{TA}^- e N_{TD}^+ sono le densità di cariche intrappolate in stati accettori e donori. La carica intrappolata (per esempio per gli accettori) all'equilibrio si calcola tramite questo integrale

$$N_{TA}^- = \int_{\infty}^{E_C} f(E, E_F - \psi(x)) N_{TA}(E) dE$$

con $f(E, E_F - \psi(x)) = 1/(1 + \exp[-(E - E_F + \psi(x))/kT])$ funzione di Fermi. Gli stati di tipo accettore sono localizzati in energia maggiormente vicino alla banda di conduzione, mentre i donori si trovano nella metà inferiore della gap. Le densità degli stati di trappola, N_{TA} e N_{TD} , per differenti film di silicio policristallino (fig.2.2) sono state ottenute da Fortunato e Migliorato misurando la conduttanza ad effetto campo e la dipendenza dalla temperatura della derivata prima della conduttanza ad effetto campo rispetto alla tensione di gate [3]. I risultati ottenuti con queste due tecniche sono molto simili tra loro e determinano una DOS che può essere approssimata dalla somma di quattro cose esponenziali come mostrato in figura:

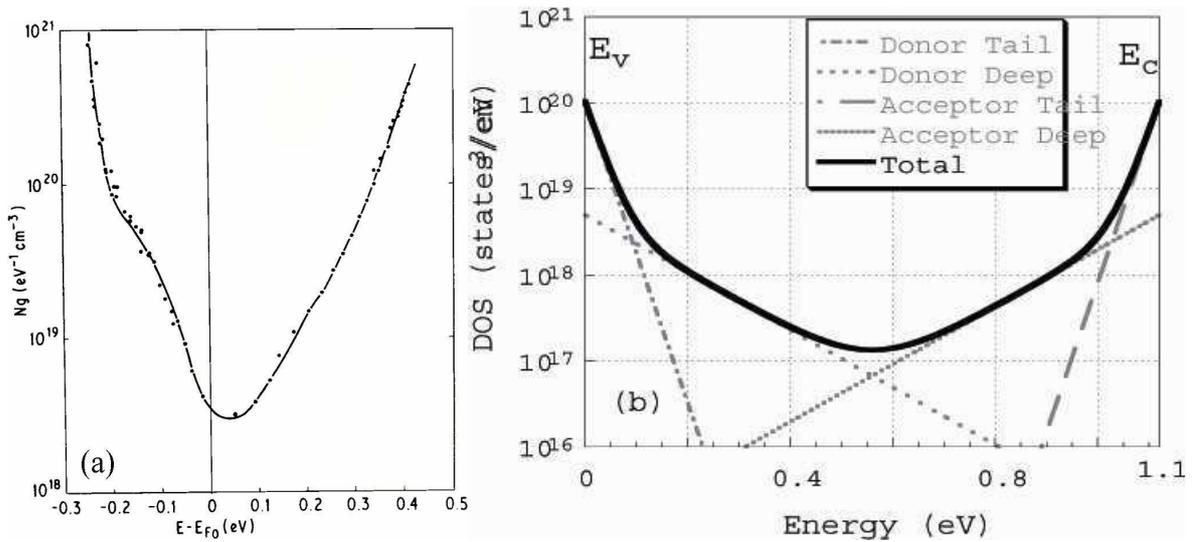


Figura.2.2 (a) Densità di stati nella gap per un campione di silicio policristallino. L'energia è riferita alla posizione del livello di Fermi in condizione di bande piatte. I dati per $E-E_{F0} > 0$ sono ottenuti con dispositivi a canale n, quelli $E-E_{F0} < 0$ sono stati ottenuti da dispositivi a canale p. (b) Densità degli stati localizzati utilizzata nelle simulazioni: sono messe in evidenza le distribuzioni di stati di "coda" (*tail*) e "profondi" (*deep*) per i donori e gli accettori.

$$N_T(E) = N_{T_1} \exp\left(-\frac{E}{KT_1}\right) + N_{T_2} \exp\left(-\frac{E}{KT_2}\right) + N_{T_3} \exp\left(-\frac{E}{KT_3}\right) + N_{T_4} \exp\left(-\frac{E}{KT_4}\right) \quad (2.4)$$

dove :

E = energia misurata dall'estremo della banda più vicino

KT_1, KT_2, KT_3, KT_4 = energie caratteristiche delle distribuzioni

NT_1, NT_2 = concentrazione delle trappole per unità di volume per eV , misurate all'estremo della banda di conduzione

NT_3, NT_4 = concentrazione delle trappole per unità di volume per eV , misurate all'estremo della banda di valenza

Per diminuire la densità di questi stati di trappola e migliorare le caratteristiche dei dispositivi è possibile effettuare una passivazione di tali stati tramite una idrogenazione del film di polisilicio. Tale processo di passivazione riduce apprezzabilmente la densità di stati di trappola come è possibile vedere dalla figura 2.3:

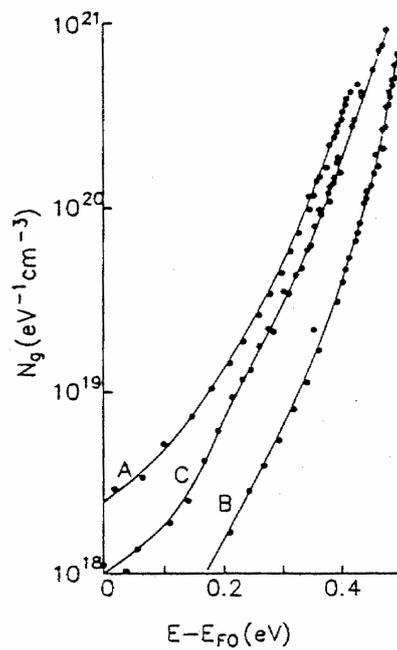


Figura 2.3 : Densità di stati per tre campioni: (A) spessore del polisilicio $0.6\mu\text{m}$; (B) spessore del polisilicio $1.5\mu\text{m}$; (C) campione A dopo idrogenazione [2].

2.2 Funzionamento del TFT a silicio policristallino

Il funzionamento dei TFT in silicio policristallino è per molti aspetti simile al funzionamento dei MOSFET a silicio cristallino. Dobbiamo però tener conto della presenza di una densità di stati di trappola nella gap (DOS) che intrappola i portatori, sottraendoli al processo di conduzione e provocando una sostanziale differenza nel comportamento dei due dispositivi. Questa densità di stati di trappola è dovuta al fatto che i vari grani di cui è costituito il silicio policristallino sono separati da interfacce, dette “bordi di grano”, che danno luogo a tali livelli energetici nella “gap” del semiconduttore.

La densità di carica totale, quindi, sarà data dalla somma dei due contributi:

$$\rho_{tot} = \rho_f + \rho_t \quad (2.5)$$

dove

ρ_f = densità di carica libera dovuta ai portatori in banda di conduzione o di valenza

ρ_t = densità di carica localizzata legata ai portatori catturati dagli stati di trappola

Sarà proprio il peso di questi due contributi a determinare il regime di funzionamento del TFT, infatti se $\rho_f \ll \rho_t$ siamo nel regime di funzionamento detto di *sottosoglia*, mentre se $\rho_f \gg \rho_t$ siamo nel regime di funzionamento detto di *soprasoglia*. La zona di funzionamento in cui abbiamo $\rho_f \approx \rho_t$ è detta zona di transizione ed in questo caso il valore della LDOS è molto importante perché determina il passaggio dalla condizione in cui il dispositivo è spento alla condizione in cui il dispositivo è acceso. Tale regione di funzionamento si può estendere anche su un grosso intervallo di valori di tensione causando conseguentemente dei problemi nella definizione e nella determinazione della tensione di soglia e della mobilità. Quindi, in questo caso i TFT si comportano molto diversamente dai MOSFET a silicio cristallino. Un’ altra differenza del funzionamento dei TFT rispetto ai MOSFET è data nella definizione di mobilità ad effetto campo in cui:

$$\mu_{fe} = \mu_0 \left(\frac{\rho_f}{\rho_f + \rho_t} \right) \quad (2.6)$$

dove

μ_0 = mobilità di banda

mentre nel caso dei MOSFET la mobilità ad effetto campo è data dalla sola mobilità di banda $\mu_{fe} = \mu_0^*$ dove $\mu_0^* > \mu_0$. Quindi la mobilità ad effetto campo dei TFT è minore rispetto a quella dei MOSFET sia per la presenza di carica localizzata negli stati di trappola e sia per i processi di diffusione delle cariche libere nei difetti ai bordi di grano, che riducono il valore della mobilità di banda. I valori tipici delle mobilità che otteniamo per i TFT sono dell'ordine di $100 - 300 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ (dipende molto dal tipo di processo usato nella realizzazione del polisilicio) e sono molto più bassi dei valori ottenuti per il silicio cristallino; infine, la zona di canale dei TFT è normalmente costituita da polisilicio intrinseco. Se schematizzo, quindi, il TFT come una struttura unidimensionale (figura 2.4), in cui gli stati di trappola sono distribuiti uniformemente sull'intero volume dei grani e le variabili dipendono da una sola coordinata, posso partire con l'equazione di Poisson unidimensionale [4]:

$$\frac{d^2\psi(x)}{dx^2} = -\frac{\rho_{tot}(x)}{\epsilon_s} \quad (2.7)$$

con

$\psi(x)$ = potenziale elettrostatico

ϵ_s = costante dielettrica del semiconduttore

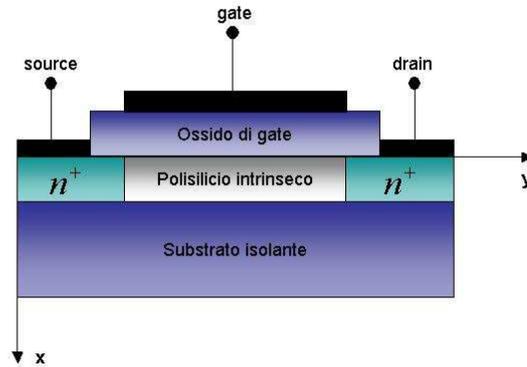


Figura 2.4: Schematizzazione del transistor a canale n in cui viene evidenziata la coordinata x, dalla quale dipendono le variabili considerate nei calcoli.

Come avevamo già detto $\rho_{tot} = \rho_f + \rho_t$, è la somma dei due contributi rappresentanti rispettivamente la carica libera e quella localizzata negli stati di trappola che posso scrivere in un dispositivo a canale n come [5]:

$$\rho_f(\psi) = -q \int_{E_v}^{\infty} D_f(E)(f - f_0) dE \quad (2.8)$$

$$\rho_t(\psi) = -q \int_{E_v}^{E_c} N_t(E)(f - f_0) dE \quad (2.9)$$

dove :

E_c = minimo della banda di conduzione

E_v = massimo della banda di valenza

q = carica dell'elettrone

$N_t(E) = N_G \exp\left(\frac{E - E_c}{KT_G}\right)$ = densità degli stati di trappola in prossimità

della banda di conduzione

KT_G = energia caratteristica della LDOS

N_G = concentrazione di trappole per unità di volume per $E = E_c$

$$D_f(E) = \frac{2N_c}{\sqrt{\pi}(KT)^{3/2}} (E - E_c)^{1/2} = \text{densità degli stati in banda di conduzione}$$

N_c = densità efficace degli stati in banda di conduzione

$$f = f(E, E_F + q\psi) = \frac{1}{1 + \exp\left(\frac{E - E_F - q\psi}{KT}\right)} = \text{distribuzione di Fermi-Dirac}$$

$$f_0 = f(\psi = 0)$$

Moltiplicando ambo i membri della formula della 2.7 per $2\left(\frac{d\psi}{dx}\right)$ ed integrando in x da $x=0$ (interfaccia ossido/semiconduttore) ad $x=x_0$ (interfaccia semiconduttore/substrato), ed utilizzando le espressioni di ρ_f e ρ_t ottengo l'espressione del campo elettrico alla superficie :

$$F_S^2 = \frac{2q}{\epsilon_S} \int_{E_v}^{E_c} N_t(E) H(\psi, E, E_F) dE + \frac{4qN_c}{(KT)^{3/2} \sqrt{\pi} \epsilon_S} \int_{E_v}^{\infty} (E - E_c)^{1/2} H(\psi, E, E_F) dE \quad (2.10)$$

con

$$H(\psi, E, E_F) = \frac{KT}{q} \left\{ f_0 \left[\exp\left(\frac{q\psi_S}{KT_G}\right) + \exp\left(\frac{E - E_c}{KT_G}\right) \right] \right\} - \psi_S f_0$$

L'espressione 2.10 rappresenta l'espressione più generale del campo elettrico e può essere risolta tramite metodi numerici. Definisco in approssimazione di canale uniforme, cioè quando $V_{DS} \ll V_{GS}$, la conduttanza di canale come:

$$G = G_0 + \frac{G_0}{x_0} \int_0^{x_0} \left(e^{\frac{q\psi(x)}{KT}} - 1 \right) dx \quad (2.11)$$

dove

$$G_0 = \frac{Wq\mu_n n_0 x_0}{L} = \text{conduttanza del canale in condizioni di bande piatte per un dispositivo a canale n}$$

$$n_0 = N_c e^{-\frac{E_F - E_C}{KT}} = \text{numero di elettroni in banda di conduzione}$$

μ_n = mobilità ad effetto campo degli elettroni

x_0 = spessore dello strato attivo di silicio policristallino

W = larghezza del canale

L = lunghezza del canale

Partendo dall'espressione della conduttanza di canale, posso analizzare il funzionamento del TFT nei due regimi di funzionamento cioè *regime sottosoglia* e il *regime soprasoglia*.

2.3 Regime di sottosoglia

In questo regime di funzionamento la densità di carica intrappolata è notevolmente maggiore della densità di carica libera ($\rho_t \gg \rho_f$) e, quindi, posso trascurare nei calcoli quest'ultima. Se riprendo l'espressione del campo elettrico ottengo in questo caso:

$$F_S^2 = \left(\frac{d\psi}{dx} \Big|_{x=0} \right)^2 = \frac{2q}{\epsilon_S} \int_{E_V}^{E_C} N_t(E) H(\psi, E, E_F) dE \quad (2.12)$$

Differenziando poi l'espressione della conduttanza di canale (2.11), abbiamo:

$$\frac{dG}{d\psi_S} = - \frac{G_0 \left(e^{\frac{q\psi_S}{KT}} - 1 \right)}{x_0 \left(\frac{d\psi}{dx} \Big|_{x=0} \right)} = - \frac{G_0 \left(e^{\frac{q\psi_S}{KT}} - 1 \right)}{x_0 F_S} \quad (2.13)$$

ed usando la relazione

$$V_G - V_{FB} = V_{OX} + \psi_s$$

con

$$V_{OX} = d \frac{\epsilon_s}{\epsilon_{OX}} \left(\frac{d\psi}{dx} \Big|_{x=0} \right)$$

posso ricavare con l'integrazione numerica per ogni ψ_s la relazione che lega la conduttanza G a V_G . Se siamo nel caso di alti valori del potenziale elettrostatico alla superficie ψ_s , posso ottenere l'espressione analitica per la derivata della G rispetto alla V_G :

$$\frac{dG}{dV_G} = \frac{G_0 \epsilon_{OX} e^{\frac{E_C - E_F}{HT_G}}}{q(KT_G N_G) x_0 d} \left(\frac{V_G - V_{FB}}{V_{OX}} \right)^{\frac{2T_G}{T-2}} \quad (2.14)$$

Integrando l'espressione precedente ottengo la relazione tra G e V_G in condizione di sottosoglia cioè :

$$G = G_0 + K_0 (V_G - V_{FB})^{\frac{2T_G}{T-1}} \quad (2.15)$$

con

$$K_0 = q\mu_n N_C \left[\frac{T}{(2T_G - T)} \right] \left[\frac{2\epsilon_s}{N_G q^2} \right]^{\frac{1}{2}} \left[\frac{\epsilon_{OX}^2}{2\epsilon_s d N_G (KT_G)^2} \right]^{\frac{T_0}{T-1/2}}$$

Dalla relazione precedente possiamo vedere che i parametri della densità degli stati di trappola KT_G e N_G hanno un ruolo fondamentale nell'espressione della conduttanza a testimonianza della forte influenza della DOS in questa regione di funzionamento.

Nella figura 2.5 riportiamo l'andamento del $\log\left(\frac{dG}{dV_{GS}}\right)$ in funzione del $\log(V_{GS} - V_{FB})$ per varie temperature:

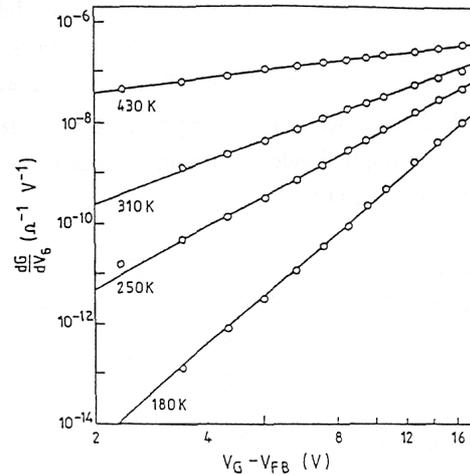


Figura 2.5: Grafico di $\log(dG/dV)$ in funzione del $\log(V_G - V_{FB})$ per varie temperature

Dal grafico possiamo vedere che l'accordo tra dati sperimentali e teorici è molto buono e ciò è una conferma del nostro modello proposto in cui consideravamo una distribuzione di trappole uniforme sull'intero volume dei grani e una distribuzione in energia di questi stati continua attraverso la gap e crescente avvicinandosi agli estremi di banda.

2.4 Regime di soprasoglia

Se utilizziamo l'approssimazione di canale uniforme (cioè per $V_{DS} \ll V_G$) possiamo ricavare la conduttanza G nel regime di soprasoglia cioè quando $\rho_i \ll \rho_f$. In questo caso procedo nello stesso modo del caso sottosoglia, dovendo considerare anche la carica libera nelle varie espressioni. I risultati che ottengo sono i seguenti:

$$G = \mu_n \left(\frac{\epsilon_{OX}}{d} \right) (V_G - V_{FB} - V_T) \quad (2.16)$$

$$V_T = \frac{d}{\epsilon_{OX}} \left(\frac{N_c q}{KT_G N_G} \right)^{\frac{T}{2(T-T_G)}} \left[\frac{2\epsilon_s N_G}{q} (KT_G)^2 \left(1 + \frac{T}{T_G} \right) \right]^{\frac{1}{2}} \quad (2.17)$$

dove V_T è la tensione di soglia che si ricava dalle espressioni 2.8 e 2.9 imponendo la condizione di uguale densità di carica all'interfaccia ossido di gate-semiconduttore, $\rho_i(\psi_s) = \rho_f(\psi_s)$ [5]; dall'espressione si può evidenziare la dipendenza della V_T dalla densità di stati di trappola.

Nella Figura 2.6 sono riportati i dati sperimentali e teorici della conduttanza G in funzione di $(V_G - V_{FB})$ in regime di soprasoglia, su scala semilogaritmica e lineare.

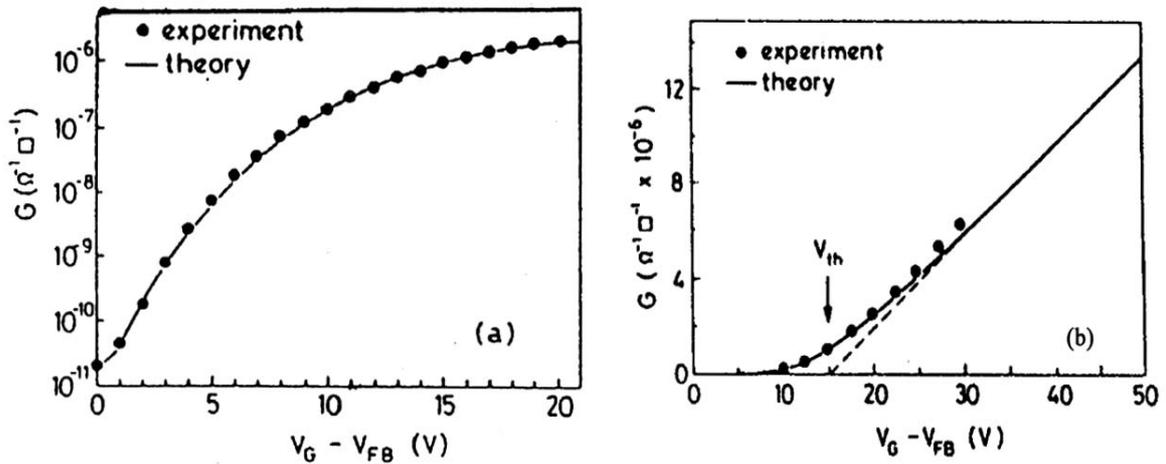


Figura 2.6: Andamento sperimentale (punti) e teorico (linea) della caratteristica G rispetto a $(V_G - V_{FB})$; (a) scala semilogaritmica, (b) scala lineare dalla quale si estrapola il valore della tensione di soglia[5].

Dalle figure posso vedere un ottimo accordo tra dati sperimentali e il nostro modello teorico. Inoltre, dal grafico in scala lineare posso determinare la tensione di soglia V_T estrapolando il valore di tensione a $G=0$. Una volta calcolata la conduttanza G , integrandola tra 0 e V_{DS} , posso determinare le caratteristiche elettriche :

$$I_{DS} = \frac{W}{L} \int_0^{V_{DS}} G(V_G) dV \quad (2.18)$$

Per $V_{DS} < V_G - V_T$ si ha:

$$I_{DS} = \frac{W \mu_n \epsilon_{OX}}{2Ld} [2(V_{GS} - V_T)V_{DS}] \quad (2.19)$$

dove

W = larghezza del canale

L = lunghezza del canale

d = spessore dell'ossido

Posso notare che la relazione 2.19 e' simile a quella ottenuta nei MOSFET con alcune differenze. Infatti nell'espressione sono presenti i parametri V_T e μ_n e questi sono fortemente influenzati dalla DOS a differenza di quello che avviene nei dispositivi MOSFET a silicio cristallino. Infine, in figura 2.7 vediamo l'andamento della V_T in funzione della temperatura caratteristica T_G per diverse densità degli stati di trappola N_G .

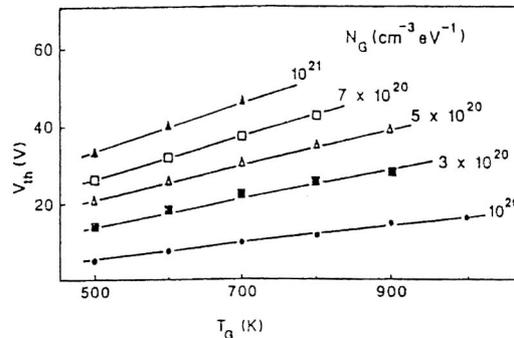


Figura 2.7: Tensione di soglia in funzione di T_G per diversi valori della densità di stati di trappola N_G [5].

2.5 Programma di simulazione: DESSIS

DESSIS[6] è un programma di simulazione commerciale indicato per tutti i dispositivi a semiconduttore, caratterizzato da buona flessibilità ed efficienza, utile, quindi, per simulare dispositivi di qualunque forma e architettura. Questo programma risolve numericamente le equazioni fondamentali per i semiconduttori dopo un'appropriata discretizzazione delle stesse, utilizzando una griglia costituita da tanti elementi ai quali vengono associate determinate caratteristiche come la quantità di drogaggio, il tipo di materiale, la posizione ecc. Le equazioni fondamentali che il programma risolve sono:

- l'equazione di Poisson;
- l'equazione di continuità per gli elettroni;
- l'equazione di continuità per le lacune;

Il metodo numerico utilizzato per ottenere la soluzione è basato sulla tecnica degli elementi finiti. La soluzione del sistema di equazioni viene determinata imponendo le condizioni al contorno, cioè i potenziali ai quali si trovano gli elettrodi del dispositivo. Le equazioni che descrivono il trasporto sono quelle del modello drift-diffusion in cui la corrente degli elettroni è data da:

$$J_n = q\mu_n n F + qD_n \nabla n$$

ed analoga per le lacune (F è il campo elettrico). Le bande sono assunte paraboliche e la loro occupazione è calcolata tramite la statistica di Boltzman. La densità di stati localizzata nella gap, DOS, è costituita da quattro code esponenziali, due con stati di tipo accettore nella metà superiore della gap e due di tipo donore nella metà inferiore. Questa DOS rispecchia quella vista nel precedentemente, nell'approssimazione di stati distribuiti uniformemente nel semiconduttore. La carica presente negli stati di trappola viene

considerata nell'algorithmo di soluzione e inserita nelle equazioni fondamentali. Gli stati nella gap contribuiscono ai processi di generazione e ricombinazione, la cui velocità viene calcolata con una espressione generalizzata della SRH[7, 8]:

$$U = \int_{E_V}^{E_C} N_{TA}(E) \frac{c_{nA} c_{pA} n p - e_{nA} e_{pA}}{c_{nA} n + e_{nA} + c_{pA} p + e_{pA}} dE +$$

$$\int_{E_V}^{E_C} N_{TD}(E) \frac{c_{nD} c_{pD} n p - e_{nD} e_{pD}}{c_{nD} n + e_{nD} + c_{pD} p + e_{pD}} dE$$

in cui c_{nA} , c_{pA} , c_{nD} , c_{pD} sono i coefficienti di cattura ed e_{nA} , e_{pA} , e_{nD} , e_{pD} le velocità di emissione. I coefficienti di cattura sono legati a loro volta alle sezioni d'urto σ degli stati di trappola:

$$c_{nA} = v_{th} \sigma_{nA}$$

$$c_{pA} = v_{th} \sigma_{pA}$$

$$e_{nA} = v_{th} \sigma_{nA} N_C \exp\left(\frac{E - E_C}{kT}\right)$$

$$e_{pA} = v_{th} \sigma_{pA} N_V \exp\left(\frac{E_V - E}{kT}\right)$$

ed analoghe per i donori, in cui v_{th} è la velocità termica dei portatori. DESSIS inoltre permette di tener conto dei fenomeni di ionizzazione da impatto tramite le espressioni di Chynoweth [9] con parametri $\beta_{n,p} = 1$.

Bibliografia

- [1] J.Y.Seto “The electrical properties of polycrystalline silicon films” , J.Appl.Phys., vol 46, p.5247, 1975.
- [2] G. Fortunato and P. Migliorato, Appl. Phys. Lett., vol.49, p.1025,1986.
- [3] G. Fortunato, D.B. Meakin, P. Migliorato, P.G. le Comber “Field-effect analysis for the determination of gap-state density and Fermi level temperature dependence in polycrystalline silicon”, Philosophical Magazine B, vol.57, no.5 , pp.573-586, 1988.
- [4] G. Fortunato and L. Mariucci, Thin Film Transistor, Capitolo su The Enciclopedia of Electrical and Electronic Engineering, Editor John Webster (John Wiley & Sons, 1999).
- [5] G. Fortunato and P. Migliorato, J. Appl. Phys. Vol.68, p.2463, 1990.
- [6] ISE Integrated Systems Engineering, Zurich, Switzerland, DESSIS Users Manual, Release 6, 1999. <http://www.ise.ch/products/dessis/>.
- [7] L. Colalongo et al. Jpn. J. Appl. Phys., vol.35, pp.1544-1547.
- [8] M.Valdinoci et al. Solid State Electronics, vol.41, no.9, pp.1363-1369, 1987.
- [9] A.G.Chynoweth, “Ionization rates for electron and holes in silicon”, Phys.Rev., vol.109, pp.1537-1543, 1958.

Capitolo 3

Degrado indotto da hot-carrier

I transistor a film sottile di silicio policristallino sono dispositivi elettronici utilizzati principalmente nel campo della microelettronica di larga area come nei display a cristalli liquidi a matrice attiva (AMLCD, active matrix liquid crystal display). Questo è stato il settore che principalmente ha seguito lo sviluppo di tale tecnologia; tuttavia oggi nuovi tipi di display basati su tecnologie innovative come quelli di tipo AMOLED (active matrix organic light emitting diode) si stanno affacciando sul mercato, ponendosi come punto di riferimento nel settore dei display in un prossimo futuro. Infatti con tale tecnologia è possibile realizzare display con spessori minimi, di tipo flessibile, che presentano immagini più luminose e definite coniugando in se alcune caratteristiche, quali il basso consumo, non facilmente ottenibili con altri tipi di display. Anche in questo campo i transistor a film sottile di silicio policristallino possono assumere un ruolo importante per esempio come “driving transistor” degli OLED. In particolar, nell’ambito del progetto europeo FlexiDis, volto alla realizzazione di display AMOLED su substrati flessibili, si è inquadrato il lavoro svolto in questo paragrafo teso alla studio della stabilità elettrica dei transistor a film sottile a canale-p di silicio policristallino in regime di hot-carrier. Infatti nei display di tipo AMOLED è necessario che il transistor utilizzato per pilotare il singolo OLED sia molto stabile dal punto di vista elettrico facendo si che la corrente di drain e di conseguenza l’intensità della luce emessa dal diodo emettitore sia fissa e stabile nel tempo. Per questi motivi vengono utilizzati TFT p-channel, meno sensibili agli effetti di hot-carrier degli n-channel, polarizzati in regime di saturazione, regione in cui la corrente di

drain resta costante rispetto a determinate variazioni della tensioni di drain. Tuttavia per elevate tensioni della polarizzazione V_{DS} possono instaurarsi campi elettrici elevati nella zona di drain facendo sì che alcuni portatori acquisiscano un'energia più elevata di quella determinata dall'agitazione termica (*hot-carrier*). Comunque nei dispositivi di tipo MOS, in seguito da eventi di scattering, può accadere che dei portatori con energia cinetica sufficiente a superare la barriera di potenziale tra ossido e semiconduttore, vengano diretti verso l'ossido e vi vengano iniettati dando luogo così a stati interfacciali e carica fissa intrappolata, degradando quindi le caratteristiche elettriche. In alcuni tipi di dispositivo, come le memorie dette a *floating gate*, tale effetto è utilizzato per *modificare* lo stato logico delle memorie mentre nei TFT il risultato di tale effetto è dannoso, in grado di degradare notevolmente le caratteristiche elettriche. Il degrado da hot-carrier diventa quindi una delle principali ragioni che limitano la vita media di questi dispositivi ed uno studio volto a chiarire i meccanismi tramite i quali il degrado ha luogo è di grande aiuto nella progettazione di transistor più affidabili. In questo capitolo viene descritto inizialmente il *kink effect*, che è uno degli effetti dovuti alla presenza di campi elettrici elevati al drain, mentre successivamente verranno illustrati alcuni risultati sperimentali e teorici relativi alla modifica indotta da hot-carrier nei TFT p-channel a silicio policristallino ed il modello utilizzato per descrivere la dinamica delle variazioni delle caratteristiche elettriche in tali dispositivi.

3.1 Il “Kink Effect”

Nei TFT in silicio policristallino si osserva un aumento della corrente di drain quando vengono polarizzati con elevate tensioni V_{DS} . Tale fenomeno viene detto *kink effect*, ed è analogo a quello osservato nei dispositivi SOI (*Silicon On Insulator*). In fig.3.1 vengono mostrate le caratteristiche di uscita di un TFT convenzionale: è ben visibile nella zona di alti V_{DS} il *kink effect*. La spiegazione di tale fenomeno può essere compresa considerando che per elevati valori di V_{DS} diventano importanti i fenomeni di generazione da impatto di

coppie elettrone lacuna. I portatori acquistano energia dai campi elettrici applicati e la dissipano tramite vari meccanismi di scattering tra cui la ionizzazione da impatto è uno di essi.

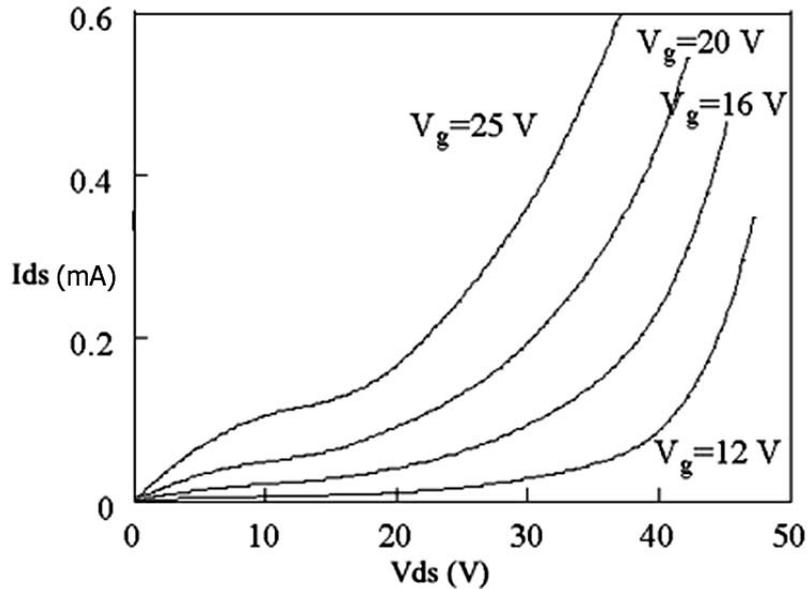


Figura 3.1: Caratteristiche di uscita di un TFT con lunghezza di canale $L = 10\mu\text{m}$ per varie tensioni V_{GS} .

Un portatore molto energetico, per esempio, un elettrone in banda di conduzione accelerato da un campo elettrico elevato può interagire con un altro elettrone in banda di valenza, fornendogli energia necessaria affinché passi in banda di conduzione. Tale elettrone ha prodotto così una nuova coppia elettrone-lacuna ma questo processo può anche avvenire in maniera del tutto analoga con lacune molto energetiche. Per tener conto di questi fenomeni nelle equazioni che descrivono il semiconduttore si introducono i tassi di generazione da ionizzazione da impatto G_n'' per gli elettroni e G_p'' per le lacune, che nelle equazioni di continuità possono essere scritte come:

$$G_n'' = \alpha_n \frac{|J_n|}{q}$$

$$G_p^{II} = \alpha_p \frac{|J_p|}{q}$$

La quantità α che compare nelle due relazioni è il tasso di ionizzazione da impatto, cioè come il numero di coppie elettrone lacuna generate per unità di percorso da un portatore. Alcuni risultati teorici [1] e sperimentali [2] suggeriscono che α ha una espressione del tipo esponenziale:

$$\alpha_{n,p} = \alpha_{n,p}^{\infty} \exp \left[- \left(\frac{F_{n,p}^0}{F //} \right)^{\beta_{n,p}} \right]$$

in cui F^0 è il cosiddetto campo critico ed $F //$ la proiezione del campo elettrico parallelamente alla corrente. Alcuni studi teorici [1] assegnano all'esponente $\beta_{n,p}$ il valore 1 mentre altri [3] predicono il valore 2. Secondo Baraff[4] tutti e due i risultati sono corretti nel limite di bassi ed alti campi. Il programma di simulazione DESSIS calcola i tassi di ionizzazione assumendo per $\beta_{n,p}$ il valore 1, ma permettendo di assegnare al prefattore $\alpha_{n,p}^{\infty}$ e al campo critico $F_{n,p}^0$ due valori distinti a seconda che il campo locale sia maggiore o minore di un campo di riferimento. Dalle relazioni precedenti si evince che la generazione da impatto è tanto maggiore quanto più sono intense le correnti ed i campi elettrici e utilizzando quindi le simulazioni numeriche è possibile riprodurre le caratteristiche elettriche dei TFT. La corrente dovuta alla produzione di coppie elettrone lacuna per ionizzazione da impatto può valere al massimo, cioè non tenendo conto dei fenomeni di ricombinazione

$$I_{g,\max} = \int_{\Omega} (\alpha_n J_n + \alpha_p J_p) d\Omega$$

in cui l'integrale è esteso a tutto il volume (Ω) del dispositivo. Tuttavia tale corrente di generazione non è sufficiente a spiegare tutto l'incremento di corrente rispetto al valore di saturazione che si osserva sia sperimentalmente che nelle simulazioni e quindi deve esistere qualche altro fenomeno responsabile di tale incremento.

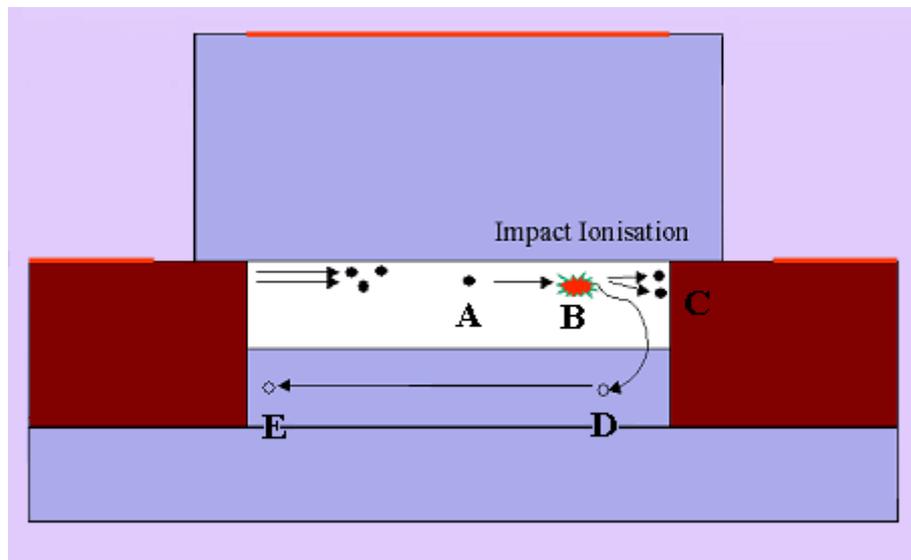


Figura 3.2: Modello del meccanismo PBT.

Tale meccanismo è detto effetto transistor bipolare parassita (PBT, Parasitic Bipolar Transistor), già osservato sperimentalmente nei dispositivi SOI [5,6]. La spiegazione di tale fenomeno è rappresentata in figura 3.2 dove un elettrone (A) produce in (B) un evento di ionizzazione da impatto. Mentre gli elettroni raggiungono subito il drain (C), le lacune fluiscono nel retro del dispositivo e procedono verso il source. Una volta giunte in prossimità della giunzione di source, le lacune iniziano ad accumularsi nella buca di potenziale all'inizio del canale (E). La barriera di potenziale tra source e canale tende ad essere ridotta da questo accumulo di lacune e l'iniezioni di elettroni (F) risulta incrementata. Il source si comporta quindi come l'emettitore di una transistor bipolare che inietta nel canale (la base) un numero maggiore di elettroni che vengono raccolti dal drain (collettore). L'efficacia dei meccanismi di ricombinazione, e quindi delle sezioni d'urto negli stati di trappola è molto importante nel determinare l'andamento della corrente nel regime di KINK: infatti al crescere della velocità di ricombinazione elettrone-lacuna, il numero di lacune che arrivano fino al source diminuisce, comportando una riduzione della

corrente di KINK. Quindi l'aumento della conduttanza di uscita dovuto all'effetto KINK nei TFT convenzionali pone grossi problemi nella realizzazione di circuiti complessi con dispositivi in silicio policristallino: infatti in regime di KINK la potenza dissipata cresce visibilmente. Inoltre il guadagno massimo ottenibile diminuisce, così come il rapporto di reiezione di modo comune (CMRR). Infine poiché gli alti campi elettrici al drain sono la causa degli hot-carrier, responsabili principale del degrado dei TFT, risulta chiaro perché vengano studiati in dettaglio e proposte delle strutture che ne limitano l'effetto.

3.2 Il degrado da hot-carrier nei p-MOSFET

Il problema del degrado dei dispositivi p-MOSFET di silicio cristallino è già stato affrontato da alcuni autori e differenti modelli sono stati proposti. In alcuni di questi lavori il degrado delle caratteristiche elettriche è dovuto interamente all'iniezione di elettroni caldi [7] in siti di trappola preesistenti nell'ossido di gate mentre in altri lavori [8] viene tenuto in considerazione anche la possibilità di detrappolamento di tali portatori in grado di spiegare più in dettaglio la dipendenza del degrado delle caratteristiche elettriche di trasferimento da differenti e consecutive condizioni di stress. I dispositivi utilizzati in [7] avevano le seguenti caratteristiche: $L = 0,5\mu m$, $W = 10\mu m$ e $t_{ox} = 16nm$ mentre i risultati di differenti condizioni di stress sono riportati in fig. 3.3.

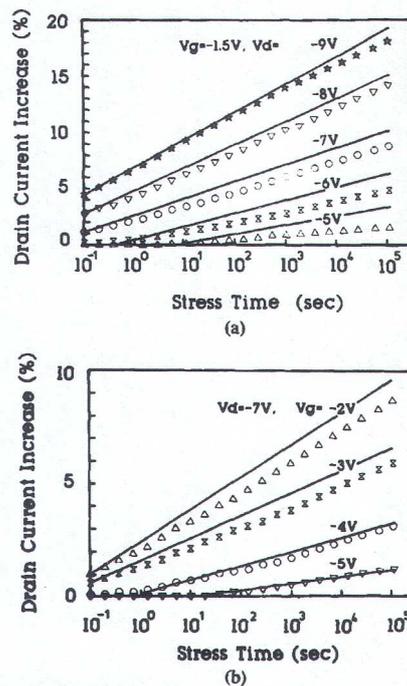


Figura 3.3: Incremento della corrente di I_{DS} teorico (linee continue) e sperimentale (simboli) in regime di hot-carrier per transistor p-channel MOSFET per due condizioni: (a) per tensione di V_{GS} fissate e differenti valori di V_{DS} , (b) per tensione di V_{DS} fissate e differenti valori di V_{GS} [7].

Come può essere osservato da tale figura si osserva una dipendenza logaritmica dal tempo di stress dell'incremento della corrente di drain per differenti condizioni di stress; tale incremento può essere spiegato dall'intrappolamento di elettroni nell'ossido di gate vicino la giunzione di drain che può dar luogo ad un accorciamento di canale [9]. Per descrivere il processo di intrappolamento viene utilizzata una semplice equazione al primo ordine in cui la densità di corrente di iniezione viene valutata basandosi su un approccio di tipo lucky-electron model [10]. Utilizzando quindi tali espressioni è stato possibile riprodurre il degrado delle caratteristiche elettriche per differenti condizioni di stress (linee continue in fig. 3.3) ed anche ricavare il profilo del campo elettrico longitudinale e della carica intrappolata per una condizione di stress mostrato in figura 3.4.

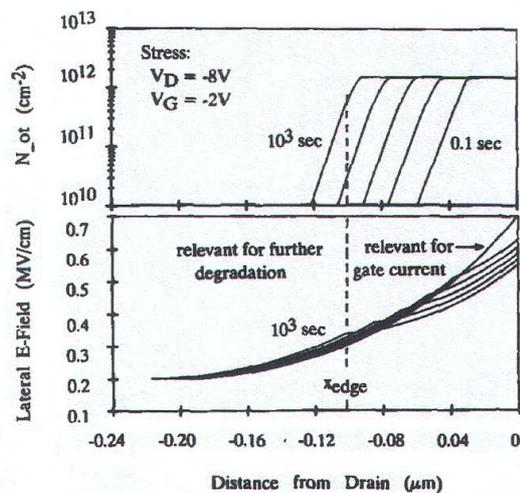


Figura 3.4 :Evoluzione temporale della distribuzione di carica intrappolata per una fissata condizione di stress e conseguente variazione del campo elettrico[7].

Da tali risultati segue quindi un buon accordo tra risultati sperimentali e teorici segno che il modello teorico utilizzato descrive sufficientemente bene il degrado indotto da hot-carrier. Tuttavia in tali modelli vengono fatte alcune approssimazioni [7] come quella di considerare il campo elettrico alla giunzione di drain costante, e non dipendente dall'evoluzione, durante lo stress, delle dimensioni della zona intrappolata a ridosso del drain; tale approssimazione potrebbe nel caso dei TFT non essere lecita dal momento che è proprio il valore della componente del campo elettrico longitudinale a determinare la ionizzazione da impatto e quindi la possibilità di intrappolamento per alcuni portatori. Inoltre in questi modelli non viene fatto alcun cenno riguardo l'effetto che tale accumulo di carica intrappolata vicino al drain ha sulle caratteristiche di uscita. Concludendo quindi, utilizzeremo le descrizioni fatte da altri autori[7,8,10] come punto di partenza per studiare il degrado indotto dagli hot-carrier nei TFT p-channel di silicio policristallino, facendo cadere alcune approssimazioni e concentrando la nostra attenzione sulle caratteristiche di uscita, regione di funzionamento dove i TFT presentano alcuni fenomeni particolari come il Kink effect, che verranno effettuate nel prossimo paragrafo.

3.3 Il degrado da hot-carrier nei p-TFT

Allo scopo di chiarire i meccanismi fisici del degrado indotto da hot-carrier in dispositivi di silicio policristallino, in questo paragrafo vengono esaminati i risultati di esperimenti di stress elettrico condotti su TFT a canale p auto-allineati prodotti presso il CEA-Leti. In particolar modo concentreremo la nostra attenzione sull'effetto degli stress in regime di hot-carrier nelle caratteristiche di uscita, argomento ancora non ben compreso. Tali dispositivi sono stati realizzati partendo da substrato di tipo metallico ricoperto da uno strato di SiO_2 con spessore 500nm depositato mediante PECVD (plasma enhanced chemical vapor deposition) a $330^\circ C$. Lo strato attivo di silicio amorfo (a-Si) è stato depositato mediante PECVD con uno spessore di 80nm e successivamente ricristallizzato mediante laser ad eccimeri XeCl ottenendo uno strato di silicio policristallino con dimensioni tipiche dei grani tra $0,4-0,8\mu m$. Biossido di silicio con spessore 100nm è stato depositato mediante PECVD ed utilizzato come ossido di gate. Infine l'elettrodo di gate, un film di Al con spessore 300nm è stato usato come maschera per l'impiantazione di boro dei contatti di source e drain ottenendo una struttura autoallineata. Dalle caratteristiche elettriche del dispositivo prima dello stress possiamo dedurre una mobilità ad effetto campo pari a $\mu_{FE} = 65cm^2/Vs$, una tensione di soglia $V_T \approx -10V$ e una pendenza di sottosoglia $S \approx 0.5decade/V$. I dispositivi in esame avevano dimensioni pari a $L = 6\mu m$ e $W = 50\mu m$ e le misure sperimentali in regime di hot-carrier sono state effettuate applicando una tensione V_{GS} pari alla tensione di soglia V_T dove il degrado è massimo [9]. In particolare, la stabilità elettrica dei TFT a canale p è stata testata mediante stress sequenziali di durata 4000s con $V_{GS, stress} = -10.6V$ ed incrementando la tensione di stress al drain $V_{DS, stress} = -15, -20$ e $-25V$. Sia le caratteristiche di trasferimento (misurate a $V_{DS} = -0.1V$) che quelle di uscita (misurate a $V_{GS} = V_{GS, stress}$) sono state acquisite a determinati intervalli di tempo durante i vari stress.

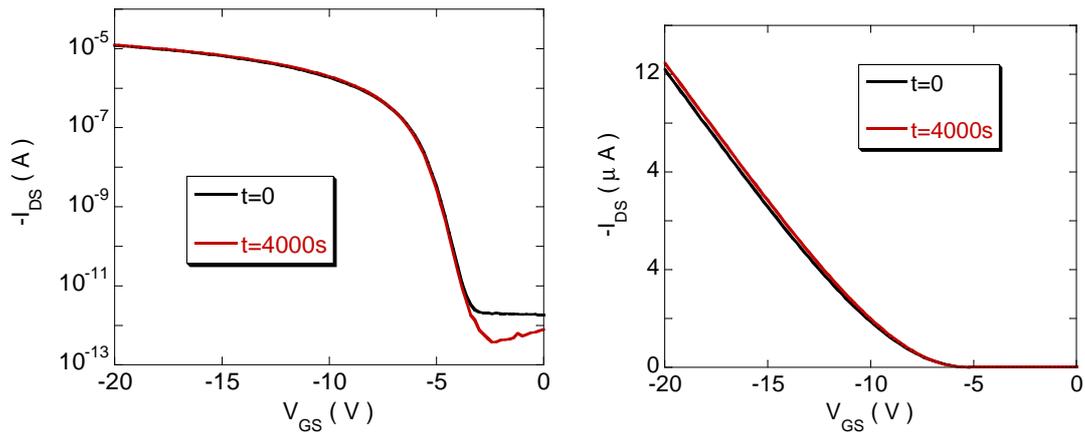


Figura 3.4. Caratteristiche di trasferimento misurate prima e dopo il primo ciclo di stress in regime di hot-carrier. Condizioni di stress $V_{GS, stress} = -10.6V$, $V_{DS, stress} = -15V$ per $t=4000s$.

Come può essere osservato dalla figura 3.4, dopo il primo ciclo di stress sequenziali si osserva un piccola variazione delle caratteristiche di trasferimento con un leggero incremento della corrente; tali risultati sono in accordo con quello che già è stato osservato per TFT a canale p fabbricati su substrati di vetro [9]. In contrasto alla relativa stabilità delle caratteristiche di trasferimento, si osserva una grossa variazione nelle caratteristiche di uscita riportate in figura 3.5.

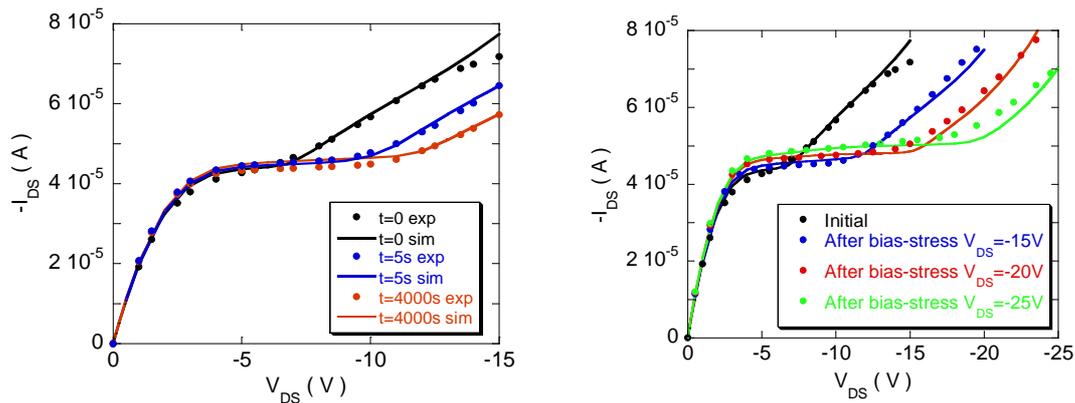


Figura 3.5: Andamento delle caratteristiche di uscita durante il primo ciclo di stress (a) e per vari stress successivi (b). Nelle due figure sono anche indicate le simulazioni (linee continue)

Come può essere osservato dalla figura 3.5a il Kink effect è progressivamente ridotto durante il primo ciclo di stress e il punto dove la corrente tende a crescere (kink effect) appare traslato verso V_{DS} più negative. Tale effetto è riportato inoltre per successivi cicli di stress in figura 3.5 b in cui oltre alla riduzione del kink effect si osserva chiaramente un leggero incremento della corrente di saturazione in accordo con quello osservato nelle caratteristiche di trasferimento (fig.3.4). Infatti utilizzando il modello [11] è stato possibile ricostruire le caratteristiche di uscita partendo da quelle di trasferimento dopo i relativi stress e possiamo confermare che l'incremento della corrente di saturazione è dovuto semplicemente ad una riduzione della lunghezza di canale. Infine in fig.3.6 è mostrato l'andamento della corrente durante ciascun ciclo di stress con una diminuzione di tipo logaritmico.

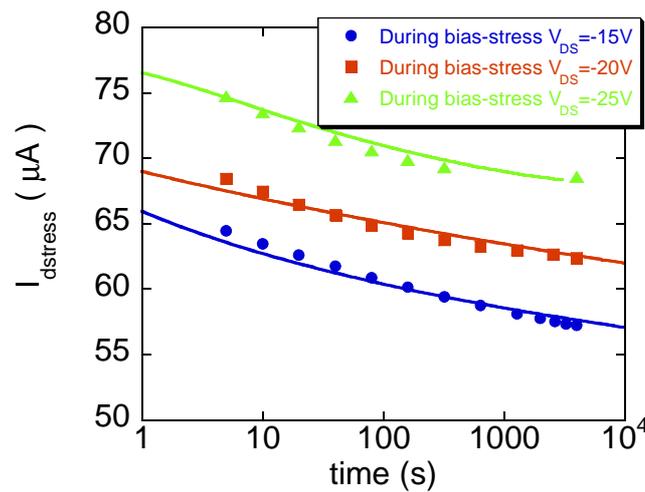


Figura 3.6: Variazione della corrente I_{DS} durante ciascun ciclo di stress. Nella stessa figura sono indicate anche le simulazioni (linee continue).

3.4 Modelli di degrado per gli hot-carrier

In questo paragrafo verranno presentati i modelli utilizzati per determinare, sia l'iniezione che l'intrappolamento di portatori caldi nell'ossido, che sono stati utilizzati in questo lavoro. Dagli esperimenti effettuati nelle figure 3.4-3.5-3.6 si evince quindi che l'effetto principale dello stress in regime di hot-carrier in questo tipo di dispositivi è legato soprattutto ad una variazione delle caratteristiche di uscita, con una forte influenza per quanto riguarda il Kink effect, ed un piccolo effetto in quelle di trasferimento. E' ben noto dalla letteratura che il degrado indotto da hot-carrier nei MOSFET p-channel di silicio policristallino è legato principalmente all'intrappolamento di elettroni iniettati in siti preesistenti o nuovamente generati nell'ossido di gate [7,8,12]. Tale iniezione di portatori è innescata dalla moltiplicazione a valanga che può accadere nel canale a ridosso della zona di drain, dove la ionizzazione da impatto è più forte[13]. Per modellizzare l'effetto degli hot-carrier, noi assumiamo la presenza di trappole nell'ossido con densità pari a N_{T0} [7,8] ed utilizziamo una espressione al primo ordine per la cattura di elettroni nelle trappole dell'ossido[12] pari a

$$\frac{dN}{dt} = \sigma_e J_e (N_{T0} - N) / q \quad (3.1)$$

dove N è la densità di elettroni intrappolati, σ_e è la sezione d'urto di cattura per le trappole nell'ossido e J_e è la corrente di iniezioni di elettroni alle due interfacce da valutare nel dielettrico di gate e nel substrato rispettivamente. La grandezza J_e è stata determinata basandosi su un approccio di tipo lucky-electron che è stato già usato da diversi autori [14,15] e che verrà qui analizzato in dettaglio. Concettualmente il modello lucky-electron

si può descrivere in questo modo: affinché i portatori caldi superino la barriera di potenziale che impedisce loro la diffusione nell'isolante e siano quindi iniettati, è necessario che abbiano acquisito sufficiente energia dal campo elettrico e che abbiano il loro momento diretto verso l'interfaccia. Quindi per calcolare la probabilità di iniezione, vanno prese in considerazione le probabilità dei processi a cui deve andare in contro un portatore affinché sia iniettato. La sequenza di tali processi è analizzata in figura 3.7:

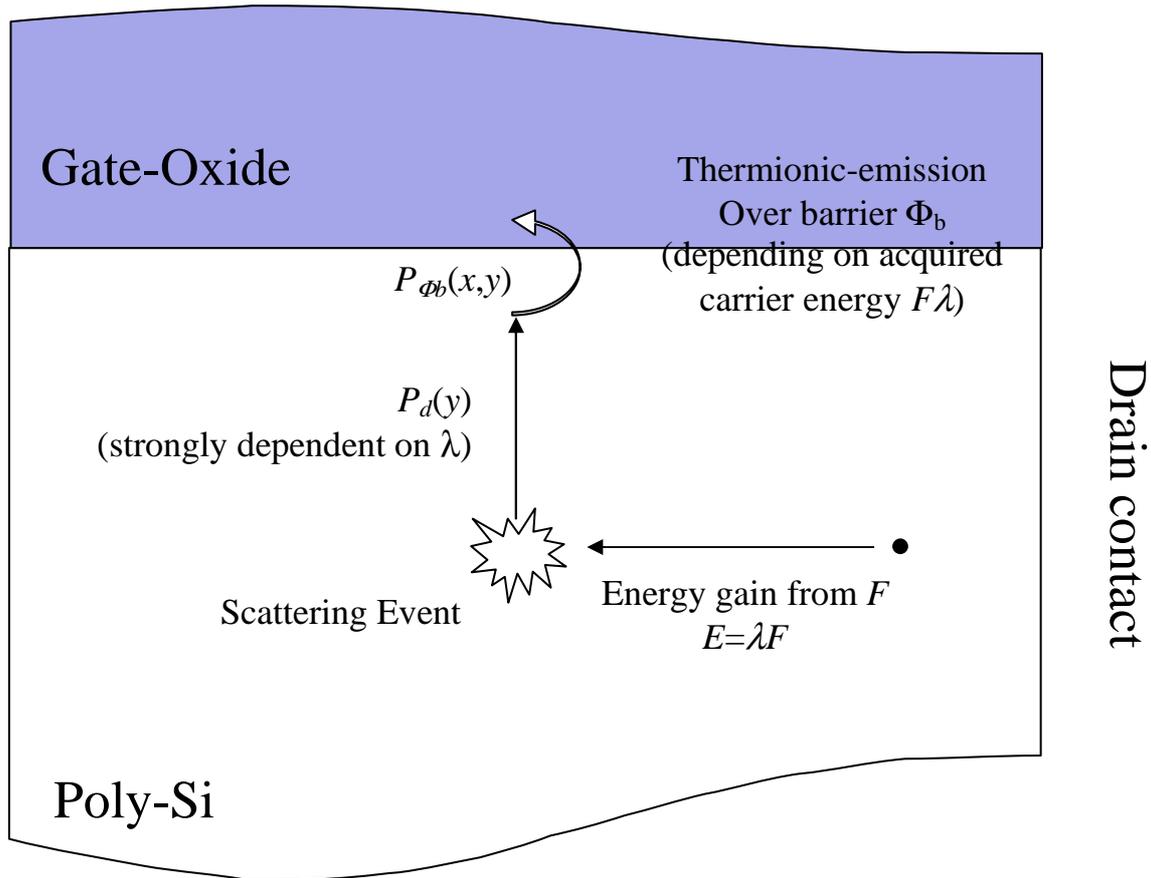


Figura 3.7: Iniezione dei portatori nell'ossido schematizzata mediante un modello di tipo lucky-electron.

I portatori che giungono nel canale acquistano energia dal campo elettrico e una volta arrivati nel punto A, accade un evento di scattering che dirige il momento dell'elettrone verso l'interfaccia, preservandone però l'energia. Dal punto A al punto B, situato sull'interfaccia l'elettrone non deve incorrere in altri eventi scattering. Nell'approccio lucky-electron vengono calcolate le probabilità di questi eventi e dato che essi sono indipendenti tra loro, la probabilità di iniezione viene calcolata come prodotto delle probabilità dei singoli eventi. La quantità di eventi di scattering elastici nel punto A è assunta proporzionale alla densità di elettroni nel punto. Consideriamo un elettrone che si

muove verso l'interfaccia $Si-SiO_2$: perché questo superi la barriera di potenziale Φ_b è necessario che la proiezione del suo momento lungo l'asse perpendicolare all'interfaccia corrisponda ad una energia cinetica superiore a Φ_b . Quindi, se l'energia degli elettroni che emergono da B è $\Phi_b + \Delta\Phi$, l'angolo (piano) θ che il momento dell'elettrone può formare al massimo con la normale all'interfaccia, affinché venga iniettato, deve valere:

$$\cos \theta = \sqrt{\frac{\Phi_b}{\Phi_b + \Delta\Phi}}$$

Perciò verranno iniettati nell'ossido solo gli elettroni di energia $\Phi_b + \Delta\Phi$ che viaggiano all'interno dell'angolo solido:

$$\Omega = \int_{\cos \theta}^1 d(\cos \theta) = 2\pi(1 - \cos \theta)$$

Assumendo che gli elettroni emergono dall'evento di scattering nel punto A con il momento diretto in una direzione casuale, la frazione di elettroni che arriva all'interfaccia con momento sufficiente è data da:

$$\frac{1}{2} \left(1 - \sqrt{\frac{\Phi_b}{\Phi_b + \Delta\Phi}} \right) \approx \frac{\Delta\Phi}{4\Phi_b} \quad (3.2)$$

dove l'approssimazione è valida nel limite di $\Delta\Phi \ll \Phi_b$. Gli elettroni guadagnano energia dal campo elettrico parallelo all'interfaccia con l'ossido F_x . Dato che gli eventi di scattering elastico possono essere descritti come un processo governato da una distribuzione di Poisson con cammino libero medio λ , si ha che la distribuzione di energia è sua volta una poissoniana con valore atteso $F_x \lambda$. La probabilità che un elettrone abbia un'energia compresa tra $\Phi_b + \Delta\Phi$ e $\Phi_b + \Delta\Phi + d(\Delta\Phi)$ è data da:

$$\frac{d(1 - e^{-[(\Phi_b + \Delta\Phi)/F_x \lambda]})}{d(\Delta\Phi)} d(\Delta\Phi) = \frac{e^{-[(\Phi_b + \Delta\Phi)/F_x \lambda]}}{F_x \lambda} d(\Delta\Phi) \quad (3.3)$$

La probabilità che un elettrone ha di avere sufficiente energia e momento opportuno per superare la barriera di potenziale Φ_b è data dall'integrale su tutti i $\Delta\Phi$ del prodotto delle probabilità (3.2) e (3.3):

$$P_{\Phi_b} = \int_{\Delta\Phi=0}^{\Delta\Phi=\infty} \frac{\Delta\Phi}{4\Phi_b} \frac{e^{-[(\Phi_b + \Delta\Phi)/F_x \lambda]}}{F_x \lambda} d(\Delta\Phi) = 0.25 \frac{F_x \lambda}{\Phi_b} e^{-(\Phi_b/F_x \lambda)}$$

La probabilità che un elettrone viaggi dal punto A, situato a una distanza y dall'interfaccia, fino al punto B è data da:

$$P_{ed} = e^{-\frac{y}{\lambda}}$$

Infine l'effetto Shottky ed il tunneling attraverso la barriera vengono presi in considerazione utilizzando una barriera efficace dipendente dal valore all'interfaccia del campo elettrico nell'ossido F_s :

$$\Phi_b = \begin{cases} \Phi_b^0 - 2.6 \times 10^{-4} \text{ cm}^{1/2} V^{1/2} (F_s)^{1/2} & F_s > 0 \\ -10^{-5} \text{ cm}^{2/3} V^{1/3} (F_s)^{2/3} & \\ \Phi_b^0 & F_s \leq 0 \end{cases}$$

in cui $\Phi_b^0 = 3.1eV$ per gli elettroni. Per le lacune il valore intrinseco della barriera vale $\Phi_b^0 = 4.8eV$ e nella formula precedente la casistica in base al segno di F_s va invertita, perché ora le lacune vengono iniettate più facilmente per valori di F_s negativi. La corrente di iniezione di elettroni in punto x del canale si valuta integrando il prodotto di tutte le probabilità ora calcolate, lungo la profondità del canale:

$$J_e = A \int n(x, y) P_{inj,e}(y) dy \quad (3.4)$$

dove $n(x, y)$ è la concentrazione di elettroni, A una costante di proporzionalità, x la distanza laterale dalla fine del terminale di drain nel canale, y è la coordinata perpendicolare all'interfaccia ossido/semiconduttore e $P_{inj,e} = P_{\Phi_b} P_{ed}$. La costante A è un parametro da stimare in seguito a misure di corrente di perdita dal gate ma nella realtà, negli esperimenti effettuati le correnti di perdita non sono state misurate e perciò il valore assoluto dell'iniezione non è noto ma solo la variazione relativa delle correnti di iniezione, cioè di quanto le correnti aumentano o diminuiscono al variare delle posizione del canale. La densità dei portatori e le distribuzioni dei campi elettrici necessari per calcolare la J_e sono derivati utilizzando i dati ottenuti dalle simulazioni dei dispositivi prima degli esperimenti di stress. Per determinare in modo consistente l'evoluzione spaziale e temporale della carica intrappolata nell'ossido abbiamo utilizzato il seguente algoritmo iterativo: si parte con le simulazione numeriche in cui non è presente nessuna carica intrappolata e vengono riprodotte le caratteristiche di trasferimento e di uscita[16-17] e si determinano gli andamenti dei campi elettrici e dei portatori lungo le due interfacce del canale. Successivamente l'equazione (3.1) è risolta in un intervallo di tempo δt assumendo che la distribuzione di J_e non cambi apprezzabilmente. La risultante distribuzione di carica intrappolata è poi introdotta nelle simulazioni e le caratteristiche sono valutate di nuovo ottenendo quindi una nuova distribuzione per la corrente di iniezione che sarà valutata nel ciclo successivo. Quindi la serie di esperimenti fatti incrementando la tensione V_{DS} sono stati riprodotti utilizzando tale modello. In particolare dalla prima serie di simulazioni fatte per riprodurre i dati relativi agli stress $V_{GS, stress} = -10.6V$ e $V_{DS, stress} = -15V$ per 4000s

abbiamo ottenuto la distribuzione degli elettroni intrappolati alle due interfacce (fig.3.8a). Utilizzando tale distribuzioni abbiamo riprodotto sia le caratteristiche di uscita (fig.3.5) che quelle di trasferimento (fig.3.6)

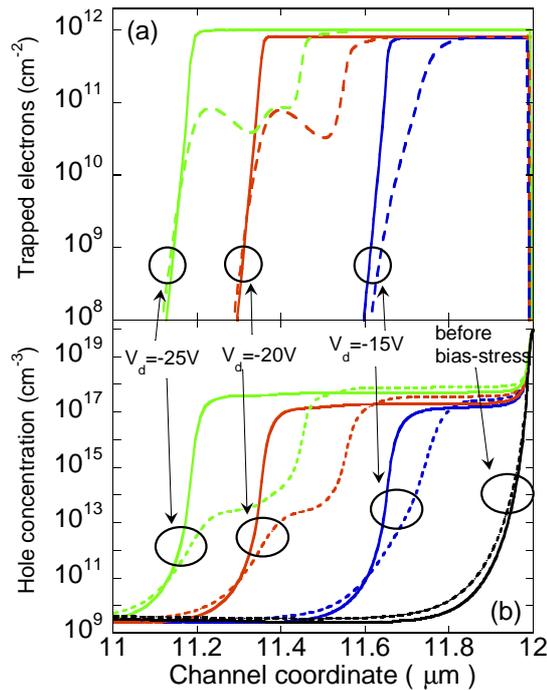


Figura3.8: Distribuzione degli elettroni intrappolati (a) e concentrazione della carica positiva (b) all' interfaccia ossido di gate/canale (linee continue) e substrato/canale (linee tratteggiate) per i vari stress.

In seguito partendo quindi con i risultati di questo prima gruppo di simulazioni, abbiamo avviato delle nuove simulazioni per riprodurre gli esperimenti di stress fatti questa volta $V_{DS, stress} = -20V$ per 4000s ed ottenendo una nuova distribuzione per gli elettroni intrappolati (fig.3.8a) . La stessa procedura è stata utilizzata per l'ultimo ciclo di stress fatto a $V_{DS, stress} = -25V$. Dalla figura 3.8a si può osservare che la regione dove l'intrappolamento avviene si espande progressivamente (fino a $0.8\mu m$) come la tensione di stress $V_{DS, stress}$ aumenta. Per ottenere un buon accordo tra dati sperimentali e simulazioni

teoriche è stato necessario incrementare il valore di N_{T0} da $7.8 \times 10^{11} \text{ cm}^{-2}$ del primo ciclo di simulazioni a $8.3 \times 10^{11} \text{ cm}^{-2}$ del secondo ciclo fino a $10.3 \times 10^{11} \text{ cm}^{-2}$ dell'ultimo ciclo. Questo implica che aumentando la tensione di stress $V_{DS, stress}$ si osserva un incremento del numero di stati di trappola preesistenti in grado di dar luogo ad eventi di intrappolamento. Possiamo inoltre osservare che con l'incremento della tensione di stress $V_{DS, stress}$ gli elettroni possono guadagnare più energia ed essere iniettati più in profondità nell'ossido. Come risultato gli elettroni possono essere intrappolati in stati con incrementata distanza dall'interfaccia aumentando quindi N_{T0} . In fig.3.6 sono riportate la variazione temporale della corrente sia sperimentale che simulata ed un buon accordo può essere osservato. Utilizzando quindi tali distribuzioni degli elettroni intrappolati è stato possibile riprodurre le caratteristiche di uscita con un buon accordo con i dati simulati includendo anche l'incremento della corrente di saturazione (fig.3.5). Il piccolo incremento di corrente (2.2% , 3.45% e il 4% durante ciascuno dei tre cicli) è anche ben riprodotto (1%, 2% e 3%). Dobbiamo comunque osservare che assumendo che l'incremento della corrente sia dovuta ad un semplice effetto di accorciamento di canale[9] con la lunghezza effettiva di canale uguale a $L_{eff} = L - \Delta L$ e considerando ΔL come la regione vicina alla zona di drain dove gli elettroni sono intrappolati, ci saremmo aspettati un maggiore incremento della corrente (8% nell'ultimo ciclo) rispetto a quello effettivamente osservato (4%). Questo è dovuto al moderato valore della densità di carica intrappolata ($< 10^{12} \text{ cm}^{-2}$) la quale induce una regione p^- vicino al drain, che può essere modulata dalla tensione di gate, rendendo la stima dell'effettiva lunghezza di canale non semplice. La formazione quindi della regione p^- vicino al drain spiega la riduzione dell'effetto kink osservato durante le varie misure sperimentali con la diminuzione dei campi elettrici alle due interfacce e riducendo quindi la ionizzazione da impatto come osservato nelle figure 3.8 e 3.9.

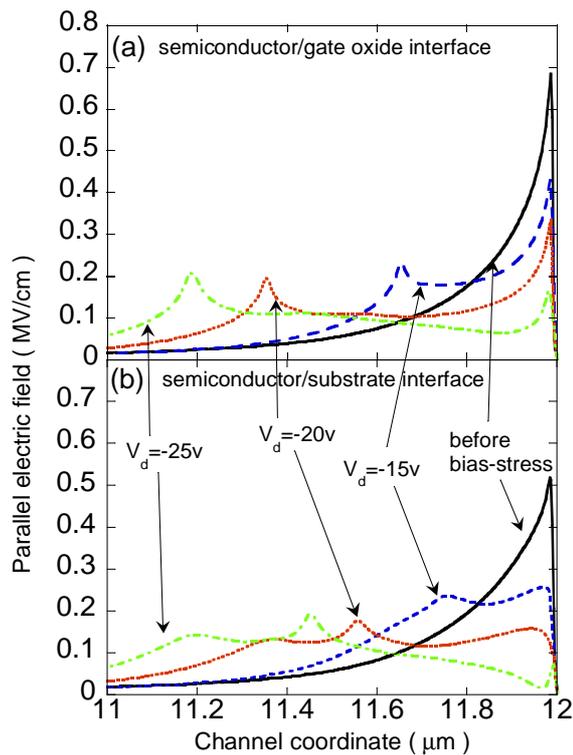


Figura 3.8: Componente del campo elettrico parallelo alla corrente di lacune, per le due interfacce e varie condizioni di stress.

La figura 3.8 mostra come la presenza della carica intrappolata modifichi la distribuzione dei campi elettrici. All'interfaccia di "front" (canale-ossido di gate) dopo il primo ciclo di stress si possono osservare due picchi localizzati alla giunzione di drain e la bordo della regione iniettata. Il primo picco è progressivamente ridotto con l'incremento di V_{DS} mentre l'intensità del secondo rimane quasi costante corrispondente ad una quasi costante carica iniettata. All'interfaccia di "back" (canale-ossido del substrato) l'andamento è più complicato con la presenza di un terzo picco che può essere osservato per $V_{DS, stress} = -20V$ e $-25V$ corrispondenti ai due picchi di carica iniettata localizzati a $x = 11.4$ e $11.2 \mu m$ nella figura 3.8. Infine in figura 3.9 è possibile esaminare in dettaglio la ionizzazione da impatto nel primo ciclo di stress: inizialmente la ionizzazione da impatto è localizzata principalmente a ridosso della zona di drain vicino l'interfaccia di back. Come il tempo di stress aumenta però l'intensità della ionizzazione diminuisce come

conseguenza dell'intrappolamento di elettroni alle due interfacce che rendono quindi il profilo della giunzione canale/drain meno "abrupt".

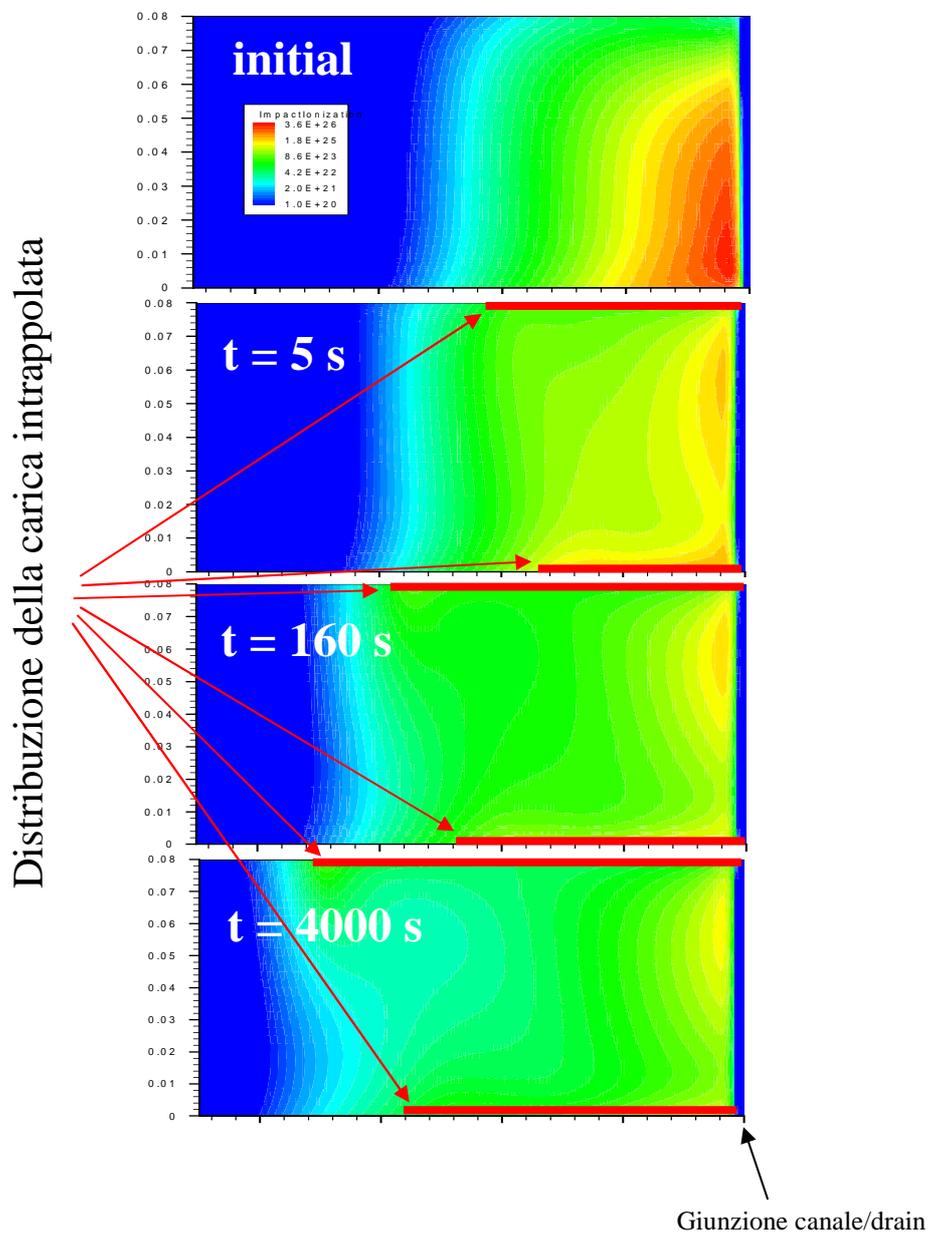


Figura 3.9: Andamento della rate della ionizzazione da impatto al terminale di drain durante il primo ciclo di stress.

Da risultati fin qui ottenuti possiamo quindi affermare che l'effetto complessivo sulle caratteristiche elettriche del regime di "hot-carrier" è abbastanza limitato in questi dispositivi TFT p-channel; infatti le caratteristiche elettriche di trasferimento vengono poco influenzate (leggero incremento della corrente di on), mentre si osserva una graduale traslazione dell'effetto KINK verso valori più negativi della tensione V_{DS} . Tali buoni risultati nell'ambito della stabilità elettrica fanno sì che questi dispositivi siano degli ottimi candidati come "driving transistor" nell'utilizzo dei nuovi display di tipo AMOLED.

Tabella I: Lista dei parametri utilizzati nelle simulazioni.

Energia caratteristica stati tipo accettore profondi (deep)	$E_{ad} = 75meV$
Energia caratteristica stati tipo donore profondi (deep)	$E_{dd} = 75eV$
Energia caratteristica stati tipo accettore di coda (tail)	$E_{at} = 11meV$
Energia caratteristica stati tipo donore di coda (tail)	$E_{dt} = 11meV$
Densità di stati profondi di tipo accettore al limite della banda di conduzione	$N_{ad} = 1 * 10^{17} cm^{-3} / eV$
Densità di stati profondi di tipo donore al limite della banda di valenza	$N_{dd} = 1 * 10^{17} cm^{-3} / eV$
Densità di stati di coda di tipo accettore al limite della banda di conduzione	$N_{at} = 4.3 * 10^{18} cm^{-3} / eV$
Densità di stati di coda di tipo donore al limite della banda di valenza	$N_{dt} = 4.3 * 10^{18} cm^{-3} / eV$
Mobilità elettroni in banda di conduzione	$\mu_n = 180 cm^2 / Vs$
Mobilità lacune in banda di valenza	$\mu_p = 120 cm^2 / Vs$
Sezioni d'urto per gli stati neutri nella gap	$\sigma_n = 4 * 10^{-16} cm^{-2}$
Sezioni d'urto per gli stati carichi nella gap	$\sigma_c = 4 * 10^{-14} cm^{-2}$
Coefficiente della ionizzazione da impatto	$\alpha_{n,p} = 7.5 * 10^6 cm^{-1}$
Campo critico nella ionizzazione da impatto	$F_{n,p} = 1.8 * 10^6 V / cm$
Drogaggio attivato zona P*	$1 * 10^{20} cm^{-3}$

Bibliografia

- [1] W. Shockley, "Problems related to p-n junctions in silicon", *Solid State Electronic*, vol.2, pp35-67, 1961.
- [2] A.G. Chynoweth, "Ionization rates for electron and holes in silicon", *Phys.Rev.*, vol.109, pp.1537-1543, 1958.
- [3] P.A. Wolff, "Theory of multiplication in silicon and germanium", *Phys. Rev.*, vol.95, pp.1415-1420, 1954.
- [4] G.A. Baraff, "Distribution functions and ionization rates for hot electrons in semiconductors", *Phys. Rev.*, vol.128, pp.2507-2517, 1962.
- [5] J.-Y. Choi and J.G.Fossum, "Analysis and control of floating-body bipolar effects in fully depleted submicrometer SOI MOSFET", *IEEE TED*, vol.38, pp.1384-1391, 1991.
- [6] J.-P. Colinge, "Reduction of kink effect in thin-film SOI MOSFET's", *IEEE EDL*, vol.9, pp.97-99, 1988.
- [7] Q.Wang, M. Brox, W.H. Krautschneider and W. Weber, "Explanation and model for the logarithmic time dependence of p-MOSFET degradation", *IEEE EDL*, vol.12, pp.218-220, 1991.
- [8] M. Brox, A. Schwerin, Q.Wang and W. Weber, "A model for the time and bias dependence of p-MOSFET degradation", *IEEE TED*, vol.41, pp.1184-1196, 1994.
- [9] Y.Uraoka, Y. Morita, H. Yano, T.Hatayama and T.Fuyuki, "Gate length dependence of hot carrier reliability in low-temperature polycrystalline silicon p-channel thin film transistor", *Jpn. J. Appl. Phys.*, vol.41, pp.5894-5899, 2002.
- [10] T.C. Ong, P.K. Ko, and C.Hu, "Hot carrier current modeling and device degradation in surface-channel p-MOSFET's", *IEEE TED*, vol.37, pp.1658-1665, 1990.
- [11] A. Valletta, P.Gaucci, L.Mariucci, and G. Fortunato, *Jpn. J. Appl. Phys.*, vol.45, p.4374, 2006.
- [12] A. Schwerin, W.Hansch, and W. Weber, *IEEE TED*, vol.34, p.2493, 1987.
- [13] M.Valdinoci, L.Colalongo, G. Baccarani, G. Fortunato, A. Pecora, and I. Policicchio, *IEEE TED*, vol.44, p.2234, 1997.

- [14] S.Tam, P.-Ko, and C. Hu, “Lucky-electron model of channel hot-electron injection in MOSFET”, IEEE TED, vol.31, pp.1116-1125, 1984.
- [15] K. R. Hofmann, C. Werner, W. Weber, and G. Dorda, “Hot-electron and hole-emission effects in short n-channel MOSFET”, IEEE TED, vol.32, pp.691-699, 1985.
- [16] P.Gaucci, A. Valletta , L.Mariucci, and G. Fortunato, and S. D. Brotherton, IEEE TED, vol.53, p.573, 2006.
- [17] A. Valletta, P.Gaucci, L.Mariucci, G. Fortunato, and S. D. Brotherton, Appl. Phys. Lett, vol.85, p.3113, 2004.

Capitolo 4

Degrado indotto da NBTI

Con l'introduzione delle tecniche di ricristallizzazione mediante laser ad eccimeri (ELA) le caratteristiche elettriche dei TFT in silicio policristallino sono molto migliorate soprattutto in termini di mobilità rendendo possibile l'utilizzo di tali dispositivi come "driving transistor" sia nei display a cristallo liquido a matrice attiva (AMLCD), sia nei nuovi display di tipo OLEDs. Queste applicazioni richiedono dispositivi molto stabili ed i p-channel TFT sono preferiti dal momento che sono meno influenzati dagli effetti di hot-carrier rispetto ai n-channel TFT. Tuttavia questi dispositivi, quando operano ad elevate temperature ed/o elevate tensioni di polarizzazione così che la potenza dissipata sia sufficiente ad indurre un apprezzabile riscaldamento del dispositivo ("self heating"), esibiscono degrado delle caratteristiche elettriche. Tale instabilità elettrica è legata a quella già osservata nei p-channel MOSFET di silicio cristallino ed indicata con NBTI (Negative Bias Temperature Instability). Questo fenomeno è stato ampiamente studiato da vari autori[1,2] ed attribuito alla generazione di stati interfacciali e carica fissa intrappolata dovuta alla dissociazione di legami Si-H presenti all'interfaccia e nell'ossido di gate e mediata dalla diffusione di alcune specie chimiche come idrogeno atomico interstiziale, molecolare e specie legata all'acqua (OH, H₂O). Nei p-channel TFT, in seguito alla bassa conducibilità termica dei substrati di vetro e alla presenza di idrogeno, questo meccanismo può diventare uno dei più importanti per quello che riguarda la stabilità elettrica. Nella prima parte del capitolo verrà introdotto il meccanismo della instabilità elettrica dovuta al NBTI, osservata principalmente nei p-channel MOSFET di silicio cristallino osservando

come i vari parametri di stress (tensione e temperatura) ed i vari parametri costruttivi influenzano tale effetto, ed introducendo alcuni modelli microscopici in grado di spiegare qualitativamente tale instabilità. Successivamente verranno mostrati i risultati sperimentali relativi all'instabilità elettrica osservata nei p-channel TFTs, osservando in dettaglio come tale instabilità possa agire in maniera diversa in due differenti architetture ed dipendere da alcuni processi cui sono stati sottoposti i dispositivi. Infine, con l'utilizzo delle simulazioni numeriche, cercheremo di riprodurre le caratteristiche elettriche prima e dopo l'instabilità elettrica, per capire cosa è accaduto durante tale fenomeno.

4.1 NBTI in p-channel MOSFET

L'instabilità, detta NBTI, accade principalmente in dispositivi di tipo p-channel quando sono sottoposti ad tensioni di *gate* negative ed elevate temperature e si manifesta con una variazione della corrente di saturazione I_{Dsat} , della transconduttanza g_m , della corrente di "off" I_{off} e della tensione di soglia V_T . Tipici valori di temperatura sono nel range 100–250°C con valori di campi elettrici nell'ossido minori di $6MV/cm$, cioè con valori di campo minori di quelli normalmente associati agli hot-carrier; tali valori sono comuni ormai nei circuiti attuali come può essere dalla fig.4.1 dove è mostrato l'andamento dei campi elettrici applicati nei circuiti CMOS al giorno d'oggi.

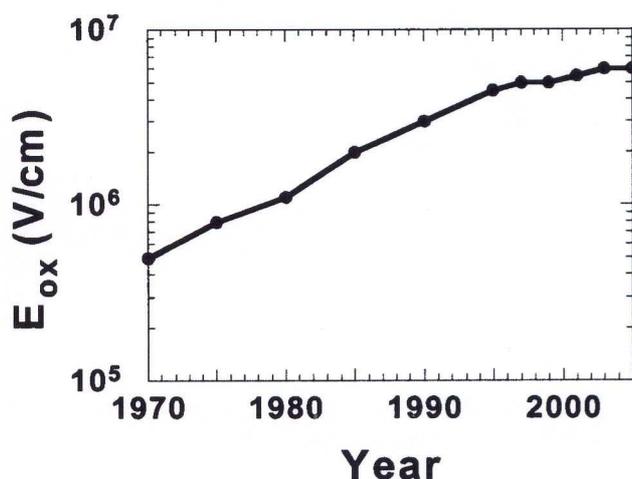


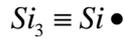
Figura 4.1: Evoluzione temporale del campo elettrico nell'ossido nei circuiti CMOS[1].

Tale effetto è principalmente osservato nei p-channel MOSFET polarizzati con tensioni negative mentre appare trascurabile per tensioni positive ed in generale per gli n-channel[2], con una parte del degrado che può essere recuperata mediante “annealing” ad elevata temperatura senza tensione applicata o con una tensione positiva applicata al terminale di gate [3]. Poiché i circuiti digitali, e quindi i loro componenti ultimi i transistor, tendono oggi ad essere integrati massicciamente nei circuiti integrati con il loro numero che ormai supera il milione di unità, l'instabilità dovuta all'NBTI sta diventando uno dei maggiori problemi per l'industria dei semiconduttori. Infatti se per esempio a seguito dell'instabilità varia la corrente di saturazione I_{Dsat} o la tensione di soglia V_T in un transistor questo si può ripercuotere in cambiamenti nei vari “timing” in un circuito digitale producendo così vari “errori” (failure) e degradando così i vari passi in cui il segnale è processato. Effettuando delle modifiche al circuito in esame è possibile diminuire o alleviare tale effetto a spese però di un aumento di complessità del circuito o diminuzione delle prestazioni. L'NBTI è stato osservato sin dall'inizio dello sviluppo dei dispositivi di tipo MOS, già nel 1967[4,5] chiamato allora Instabilità Numero VI. Goetzberger ed i suoi collaboratori presso i laboratori Bell furono uno dei primi gruppi che descrissero in dettaglio le caratteristiche di tale instabilità[6]. Usando dispositivi con gate metallico e spessore di ossido 100nm stressati a 300°C con campi

$-10^6 V/cm$ osservarono un picco nella densità di trappole interfacciali D_{it} nella metà inferiore della gap mentre per tensioni positive osservarono solo un piccolo incremento della D_{it} ; tale incremento della densità di trappole D_{it} dipendeva della tensione di gate, dal tempo di stress (con dipendenza $t^{0.25}$) e della temperatura di stress $D_{it}(T = 300^\circ C) > D_{it}(T = 250^\circ C)$. La densità D_{it} indotta da NBTI aumenta con la diminuzione dell'ossido di gate mentre la carica fissa intrappolata sembra non dipendere da tale spessore; questa dipendenza quindi da t_{ox}^{-1} implica che l'NBTI diventerà determinante negli ossidi molto sottili ($t_{ox} \approx 1-2nm$). Infine tale instabilità è stata osservata anche per alcuni nuovi ossidi con elevata costante dielettrica detti "high-k insulator" tipo HfO_2 facendo sì che lo studio di tale fenomeno diventa determinante per continuare lo sviluppo dell'industria dei semiconduttori[7].

4.2 Meccanismi fisici del degrado indotto da NBTI

Il silicio cristallino, materiale comunemente utilizzato nell'industria elettronica moderna in vari modi, ha la possibilità data dalla sua struttura elettronica esterna di creare 4 legami per esempio nel silicio "bulk" con altrettanti atomi di silicio. Quando tale materiale viene ossidato attraverso varie tecniche, per esempio per creare l'ossido di gate, molti atomi alla superficie si legheranno ad atomi di ossigeno, altri ad atomi di idrogeno mentre alcuni non sfrutteranno tutti i propri orbitali per legarsi a qualche specie chimica. Quelli che vengono detti stati di trappola interfacciale sono quindi atomi di silicio posti all'interfaccia tra SiO_2/Si e con un elettrone di valenza non impegnato nel legare qualche specie chimica. Normalmente tali atomi sono indicati con lo schema



dove \equiv rappresenta il triplo legame dell'atomo di silicio con altrettanti atomi di silicio (Si_3) mentre \bullet rappresenta il quarto elettrone non accoppiato spesso indicato con il termine di "dangling bond" che può dar quindi luogo ad una densità di stati di trappole interfacciali. Spesso la densità di tali stati di trappola, conosciuti come centri P_b [8], sono indicati con D_{it} ($cm^{-2}eV^{-1}$), Q_{it} (C/cm^{-2}) o anche come N_{it} (cm^{-2}). In fig. 4.2 a,b sono mostrati alcuni modelli riguardanti la configurazione di legame alla superficie per due differenti orientazioni del silicio in cui sono visibili i centri P_b nel silicio (111) ed i centri P_{b0} e P_{b1} nel silicio (100). Tali centri P_{b0} e P_{b1} rilevati mediante misure di "electron spin resonance" (ESR) e con caratteristiche elettriche diverse rispetto a P_b , sono dovuti a differenze nella dimensione del reticolo ("mismatch") indotte dalla crescita dell'ossido all'interfaccia SiO_2/Si . Comunque i centri P_{b1} sono tipicamente generati con densità minori rispetto ai centri P_{b0} , facendo sì che essi diano un piccolo contributo alla densità di trappole interfacciali totali. In generale, quindi gli stati di trappola interfacciali sono centri attivi elettricamente con una determinata distribuzione energetica lungo la gap del materiale, che possono agire come centri di generazione e ricombinazione, contribuire alle correnti di perdita ("leakage current"), e ridurre mobilità, corrente di drain e transconduttanza. Dal momento che elettroni e lacune possono occupare tali stati di trappola, contribuiranno anche alla variazione della tensione di soglia mediante la relazione

$$\Delta V_T = - \frac{\Delta Q_{it}(\phi_s)}{C_{ox}}$$

dove ϕ_s è il potenziale superficiale. Per quello che riguarda la creazione degli stati di trappola sono stati sviluppati due approcci differenti di cui il primo descrive la generazione mediante idrogeno mentre il secondo attraverso specie chimiche differenti

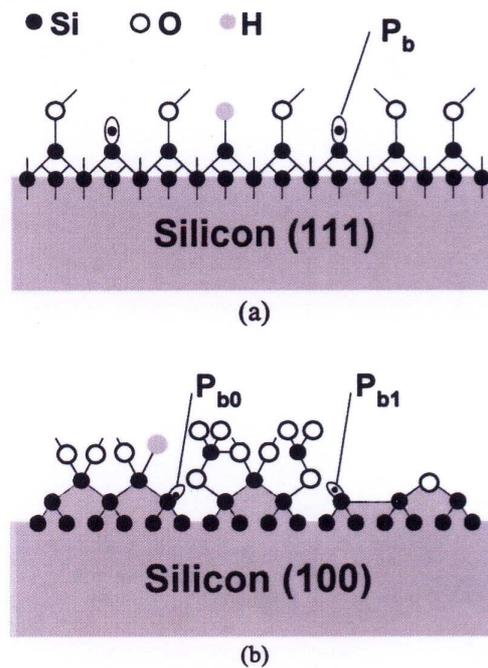
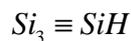
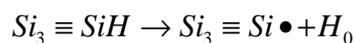


Figura 4.2a,b: Modello schematico dell'interfaccia Si/SiO_2 per due differenti orientazioni del Silicio[1].

L'esatto modello descrivente la fisica del NBTI non è ancora del tutto compreso esattamente ma questi modelli sono consistenti con alcune delle osservazioni relative all'instabilità elettrica indotta dall'NBTI e possono essere utilizzati come punto di partenza per una descrizione più completa di tale fenomeno. Come osservato in fig.4.2 a,b all'interfaccia SiO_2/Si sono presenti alcuni atomi di silicio legati ad atomi di idrogeno secondo lo schema

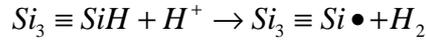


dove \equiv rappresenta il triplo legame dell'atomo di silicio con altrettanti atomi di silicio (Si_3) e il quarto elettrone di valenza è legato all'atomo di idrogeno. A seguito degli elevati campi elettrici il legame silicio-idrogeno può rompersi in accordo allo schema

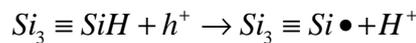


dove H_0 è un atomo di idrogeno neutro interstiziale o idrogeno atomico. Recenti calcoli mostrano che l'idrogeno positivamente carico H^+ è la sola forma stabile all'interfaccia e

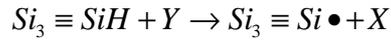
che quindi H^+ reagisca direttamente con SiH a formare uno stato di trappola interfacciale secondo la reazione [9]



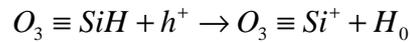
Tale modello sfrutta il fatto che il complesso SiH (cioè il legame passivato) è polarizzato così che parte della carica positiva risiede vicino al Si e più carica negativa invece si trova vicino l'atomo di idrogeno. Quindi l' H^+ migra verso la parte più negativa della regione della molecola di SiH , reagendo con H^- a formare H_2 e lasciando dietro di sé l'atomo di silicio positivamente carico a formare un centro di trappola (dangling bond). In questo modello quindi la molecola di H_2 può dissociare di nuovo altre molecole agendo come un catalizzatore per la distruzione di nuovi legami SiH . Questo processo in teoria può andare avanti fintantoché l'idrogeno è disponibile e sono presenti legami SiH in grado di reagire. Quindi dal momento che è il protone che distrugge il complesso SiH e forma lo stato di trappola interfacciale, tale formazione dipende dal campo elettrico presente nell'ossido che aiuta il trasporto del protone verso l'interfaccia SiO_2/Si . Tuttavia tale modello è inconsistente con H^+ generato nell'ossido di gate dal momento che una polarizzazione negativa allontanerebbe l' H^+ dall'interfaccia SiO_2/Si mentre risulta compatibile se uno assume che l' H^+ possa esistere nel silicio al di sotto dell'interfaccia SiO_2/Si [10]. Un differente modello che alcune volte è utilizzato per spiegare la formazione di stati di trappola considera l'interazione del complesso SiH con "lacune calde" (hot holes) o altre lacune poste vicino l'interfaccia SiO_2/Si secondo la reazione



Anche se c'è ancora qualche punto controverso su quale sia la reazione in grado di spiegare il meccanismo, l'ultima è consistente con recenti risultati che indicano che una polarizzazione inversa del substrato V_{BS} accelera il degrado da NBTI [11]. L'altro modello riguardante l'azione di varie specie chimiche nel degrado è legato dalla reazione



dove Y possono essere varie specie chimiche. Jeppson e Svensson furono uno dei primi gruppi a proporre questa ed altre reazioni [12] per studiare questo fenomeno, stressando un dispositivo MOS con gate di alluminio, con spessore di ossido 95nm con vari campi applicati da -4 a $-7 \times 10^6 V/cm$ trovando una uguale quantità di stati di trappola Q_{it} e carica fissa Q_f . L'idrogeno del complesso SiH reagirebbe con SiO_2 a formare un gruppo OH , lasciando quindi un atomo di silicio Si trivalente (Si_0^+) nell'ossido ed uno trivalente Si_s alla superficie del Si . Il silicio Si_0^+ formerebbe quindi la carica positiva mentre il Si_s creerebbe gli stati di trappola interfacciali; tale modello ed altri sono riportati in fig.4.3. Anche per la generazione di carica intrappolata sono state proposte alcune reazioni simili a quelle ottenute in precedenza dove $Q_f (C/cm^2)$



con la conclusione che sia stati di trappola interfacciali che carica fissa intrappolata possono essere generati dalla rottura dei legami SiH .

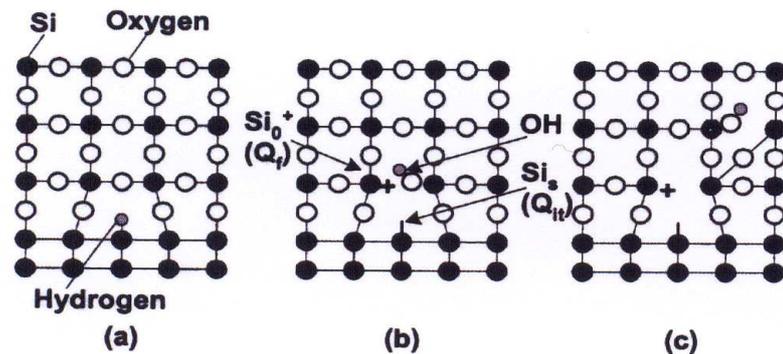


Figura 4.3: Rappresentazione schematica bidimensionale dell'interfaccia Si/SiO_2 che mostra (a) il difetto $\equiv SiH$, (b) come il difetto può essere attivato elettricamente durante l'NBTI a formare un stato di trappola, carica fissa e un gruppo OH e (c) come il gruppo OH diffonde nell'ossido[1,12].

Per quanto riguarda la dipendenza degli stati interfacciali e carica fissa intrappolata dalle caratteristiche dello stress, Ogawa [13] attraverso misure su capacitori MOS ha determinato queste due espressioni

$$\Delta N_{it}(E_{ox}, T, t, t_{ox}) = 9 \times 10^{-4} E_{ox}^{1.5} t^{0.25} \exp(-0.2/kT) / t_{ox} \quad (4.1)$$

$$\Delta N_f(E_{ox}, T, t) = 490 E_{ox}^{1.5} t^{0.14} \exp(-0.15/kT) \quad (4.2)$$

dove t è il tempo. Dalla prima relazione si osserva che ΔN_{it} è inversamente proporzionale allo spessore dell'ossido suggerendo quindi il peggioramento di questa instabilità con l'utilizzo di ossidi molto sottili. Tali relazioni rappresentano uno dei fondamenti per la descrizione e modellizzazione di tale fenomeno anche se in alcuni casi si osservano discordanze da tale relazioni dipendenti dalle condizioni del processo con cui sono realizzati i dispositivi. Nei paragrafi successivi utilizzeremo tali relazioni per analizzare l'instabilità dovuta all'NBTI nei nostri dispositivi.

4.3 Effetto dei vari processi e parametri sul NBTI

In questo paragrafo verranno descritti sommariamente alcuni dei parametri di processo che influiscono sul degrado indotto dall'NBTI. Come osservato precedentemente l'idrogeno è una delle impurità che compare maggiormente durante numerose fasi della fabbricazione di circuiti integrati, per esempio nelle deposizioni e passivazioni dei legami mediante "forming gas" con valori di concentrazione variabili tra $10^{19} - 10^{20} \text{ cm}^{-3}$ trovate nell'ossido di gate a seconda della metodica utilizzata per depositarlo. Dai modelli precedenti quindi risulta che l'idrogeno, oltre ad essere utilizzato come una delle specie chimiche prevalenti per la saturazione dei dangling bond, giochi un ruolo molto importante nell'NBTI andando attraverso vari meccanismi a depassivare i legami, producendo quindi un degrado delle

caratteristiche elettriche. Utilizzando per esempio alcune “differenti” tipi di idrogeno (tipo Deuterio) si viene a formare un composto SiD con energia di legame maggiore rispetto a SiH , ed in grado di resistere meglio all’NBTI[14]. L’altro composto in grado di influenzare l’instabilità dovuta all’NBTI è l’acqua, uno dei composti anche molto utilizzati nell’industria elettronica il cui ruolo verrà analizzato più in dettaglio nei prossimi paragrafi. Molti autori tra cui Sasada [15], Bla [16], Helms e Poindexter [17] ed altri concludono in base ai loro esperimenti che l’acqua sia uno dei principali depassivanti in grado di incrementare l’instabilità dovuta all’NBTI. Un modello in grado di spiegare come avviene la depassivazione dei legami a causa dell’acqua è mostrato in figura 4.4[17].

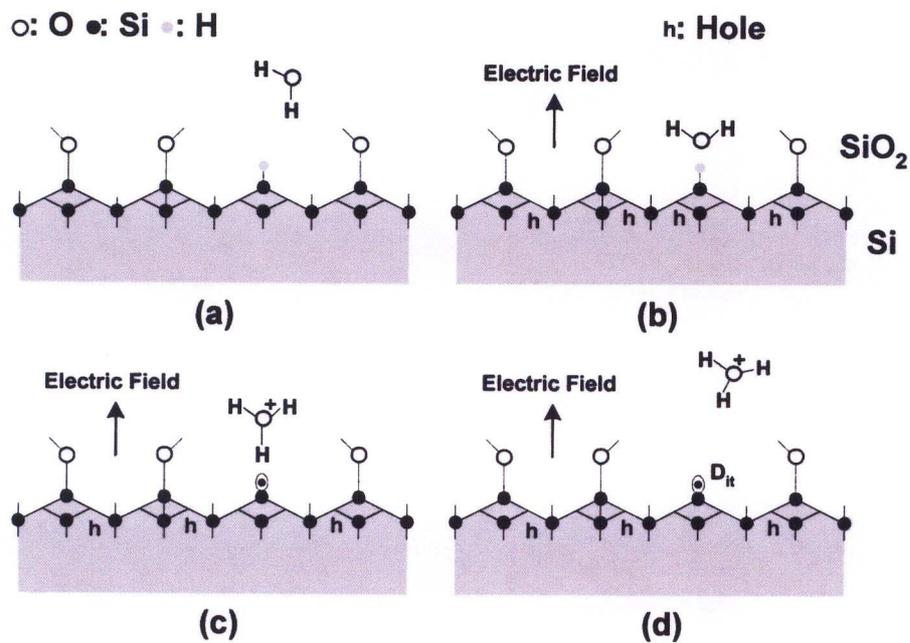


Figura 4.4: Depassivazione dei centri P_b mediante reazione con molecole d’acqua in condizioni di campo elettrico.

Nella figura 4.4a si osserva l’interfaccia SiO_2 con una molecola d’acqua nelle sue vicinanze. Con l’accensione del campo elettrico la molecola d’acqua tende ad orientarsi in direzione del campo andando ad interagire con l’atomo di idrogeno posto sulla superficie (fig.4.4b). Una volta avvenuta la reazione all’interfaccia si viene a creare un nuovo composto H_3O^+ con la produzione di uno centro P_b (fig.4.4c) ; infine H_3O^+ (fig.4.4d) viene

rimosso dal campo elettrico applicato, prevenendo quindi un reazione inversa, con la creazione quindi di uno stato di trappola. L'ultima caratteristica che vogliamo prendere in esame è la lunghezza di canale che non dovrebbe influenzare l'NBTI. Infatti tale fenomeno non dipende dal campo elettrico laterale e quindi non dovremmo aspettarci nessuna dipendenza dalla lunghezza del canale, tuttavia in alcuni esperimenti si trovata tale dipendenza probabilmente dovuta alla vicinanza delle giunzioni di source e drain. Come mostrato in Fig.4.5 danni localizzati agli bordi del canale possono aumentare la diffusione del boro verso l'ossido di gate ed anche permettere un maggiore diffusione dell'acqua nel canale facendo si che questo effetto diventi importante al ridursi delle dimensioni del canale.

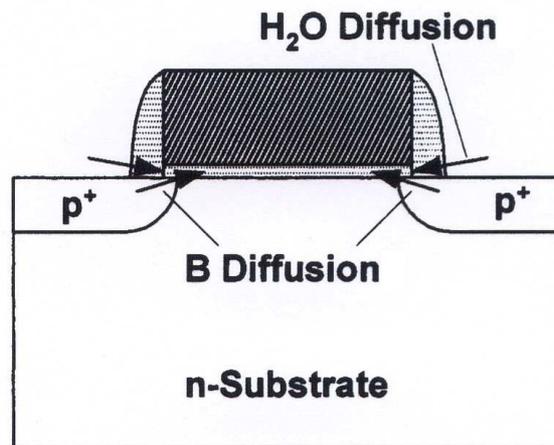


Figura 4.5: Sezione di un MOSFET con possibili percorsi per la penetrazione di Boro e Acqua nell'ossido di gate.

4.4 Instabilità elettrica indotta dall'NBTI nei TFTs N.S.A.

4.4.1 Risultati sperimentali

In questo paragrafo verranno riportate le misure sperimentali effettuate su dispositivi TFT non autoallineati (non self-aligned N.S.A.) volte allo studio dell'NBTI su questo tipo di dispositivi. I dispositivi utilizzati, TFT p-channel NSA, sono fabbricati in accordo al processo riportato in[18], partendo da uno strato spesso 40nm di silicio amorfo utilizzato come precursore, depositato a 300°C mediante PECVD (plasma-enhanced chemical vapour depositino) seguito da una ricristallizzazione mediante laser ad eccimeri. Le regioni di source e drain sono state realizzate mediante impiantazione ionica di Boro con una dose di 10^{15}cm^{-2} mentre il processo di ricristallizzazione laser è stato fatto dopo l'impiantazione ionica in modo da indurre cristallizzazione del film di Si e attivazione del drogante alla stesso tempo. Per studiare l'NBTI , sono state fatti sia stress detti NBTS (Negative Bias Temperature Stress) polarizzando il dispositivo con differenti tensioni di gate V_{GS} , $V_{DS} = -0.1\text{V}$ e differenti temperature per 1000s, e raffreddando velocemente il dispositivo con la misura dopo lo stress delle caratteristiche elettriche ed anche stress in regime di self-heating polarizzando il dispositivo con V_{GS} ben al di sopra della tensione di soglia e V_{DS} elevati in modo da indurre un apprezzabile riscaldamento dovuto ad effetto Joule. I transistor utilizzati in queste misure avevano lunghezza di canale $L = 10\mu\text{m}$, larghezza $W = 50\mu\text{m}$ e spessore dell'ossido $t_{ox} = 65\text{nm}$. In Fig. 4.6 e 4.7 viene mostrato l'effetto degli stress NBTS fatti a $V_{GS} = -20\text{V}$ e due differenti temperature $T = 150^{\circ}\text{C}$ e $T = 180^{\circ}\text{C}$ sulle caratteristiche di trasferimento e come può essere osservato sia la tensione di soglia V_T che la zona di sottosoglia sono progressivamente degradate con l'incremento della temperatura.

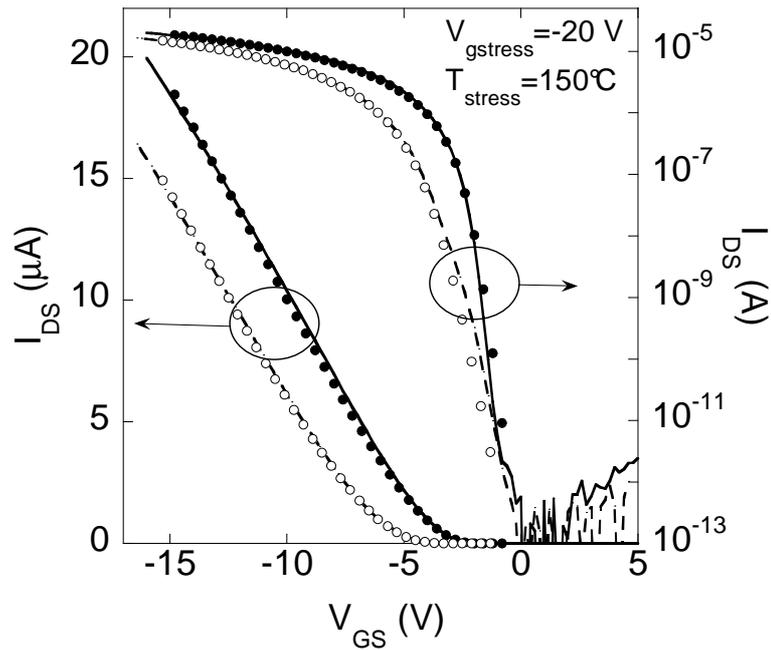


Figura 4.6: Caratteristiche di trasferimento di un TFT NSA ($W = 50\mu m$ e $L = 10\mu m$) misurato a T ambiente e $V_{DS} = -0.1V$ prima (linee continue) e dopo (linee tratteggiate) lo stress di 1000s, $V_{DS, stress} = -0.1V$, $V_{GS, stress} = -20V$ e $T = 150^\circ C$. Sono anche mostrate le caratteristiche simulate che riproducono le caratteristiche prima (cerchi chiusi) e dopo (cerchi aperti) lo stress NBTS utilizzando un gruppo di parametri ottimizzati per la densità di stati (DOS) e stati interfacciali.

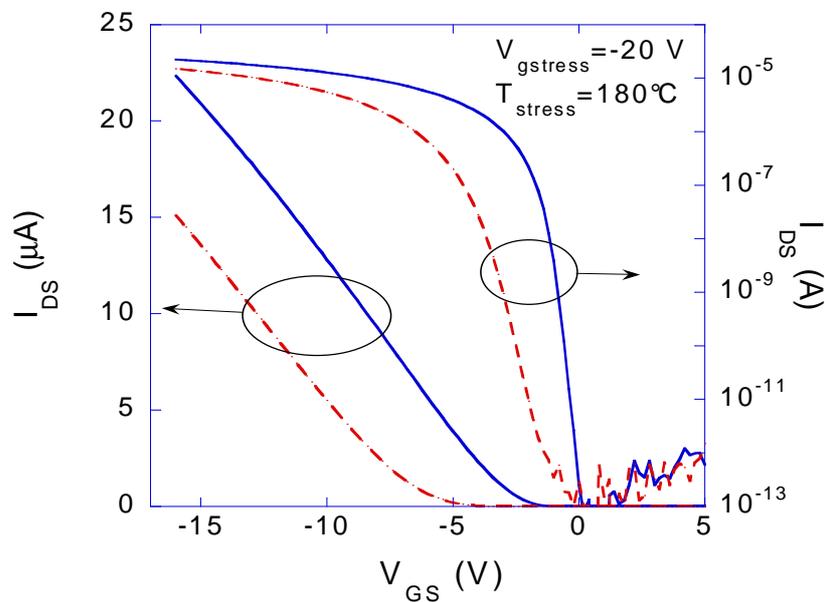


Figura 4.7: Caratteristiche di trasferimento di un TFT NSA ($W = 50\mu m$ e $L = 10\mu m$) misurato a T ambiente e $V_{DS} = -0.1V$ prima (linee continue) e dopo (linee tratteggiate) lo stress di 1000s, $V_{DS, stress} = -0.1V$, $V_{GS, stress} = -20V$ e $T = 180^\circ C$.

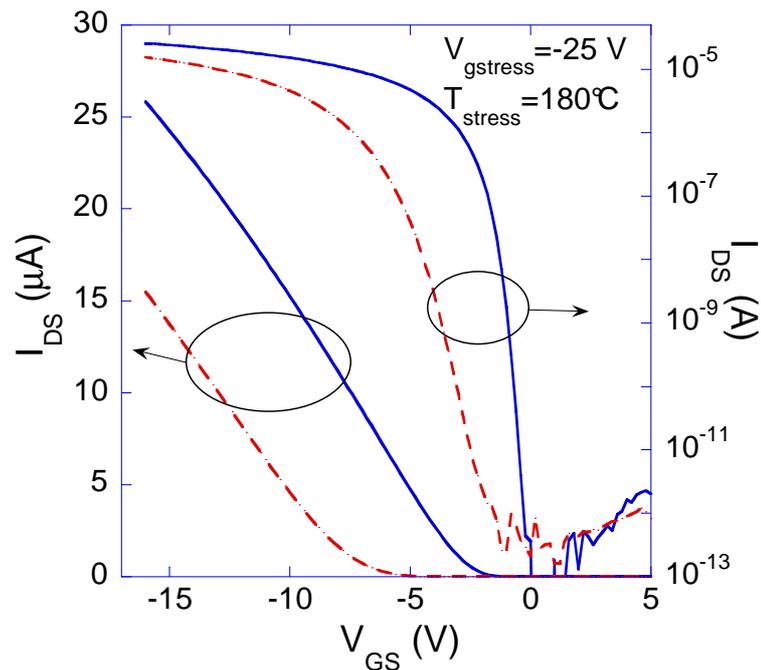


Figura 4.8: Caratteristiche di trasferimento di un TFT NSA ($W = 50\mu m$ e $L = 10\mu m$) misurato a T ambiente e $V_{DS} = -0.1V$ prima (linee continue) e dopo (linee tratteggiate) lo stress di 1000s, $V_{DS, stress} = -0.1V$, $V_{GS, stress} = -25V$ e $T = 180^\circ C$.

In fig.4.8 è mostrato l'effetto dell'incremento della tensione di stress a $V_{GS} = -25V$, e come può essere dedotto comparandola con le figure precedenti, l'incremento del campo elettrico produce anch'esso un aumento del degrado. È interessante notare dalle varie figure che il minimo della corrente di off viene apprezzabilmente traslato soprattutto negli stress fatti a $T = 180^\circ C$, con una variazione quindi della tensione di Flat-Band V_{fb} , suggerendo di fatto che l'intrappolamento di carica nell'ossido non sia trascurabile in accordo con quello osservato nei p-MOSFET con silicio cristallino [1,19,20]. D'altro canto anche la pendenza di sottosoglia e la tensione di soglia cambiano, chiaro segno della generazione di stati interfacciali. Tuttavia dalle figure osservate non si riesce a capire esattamente il contributo degli stati interfacciali e carica intrappolata alla variazione della tensione di soglia e la loro dipendenza dalle varie grandezze fisiche. Per determinare tutto ciò in fig.4.9, utilizzando le misure precedenti, è riportato l'andamento della variazione della tensione di Flat-Band ΔV_{fb} proporzionale alla carica intrappolata e misurata

attraverso lo shift della corrente di off, contro il campo elettrico nell'ossido E_{ox} , approssimato come $(V_{GS} - V_{fb})/t_{ox}$, per la temperatura di $T = 180^\circ C$ (infatti a $T = 150^\circ C$ non si osserva nessuna traslazione della corrente di off).

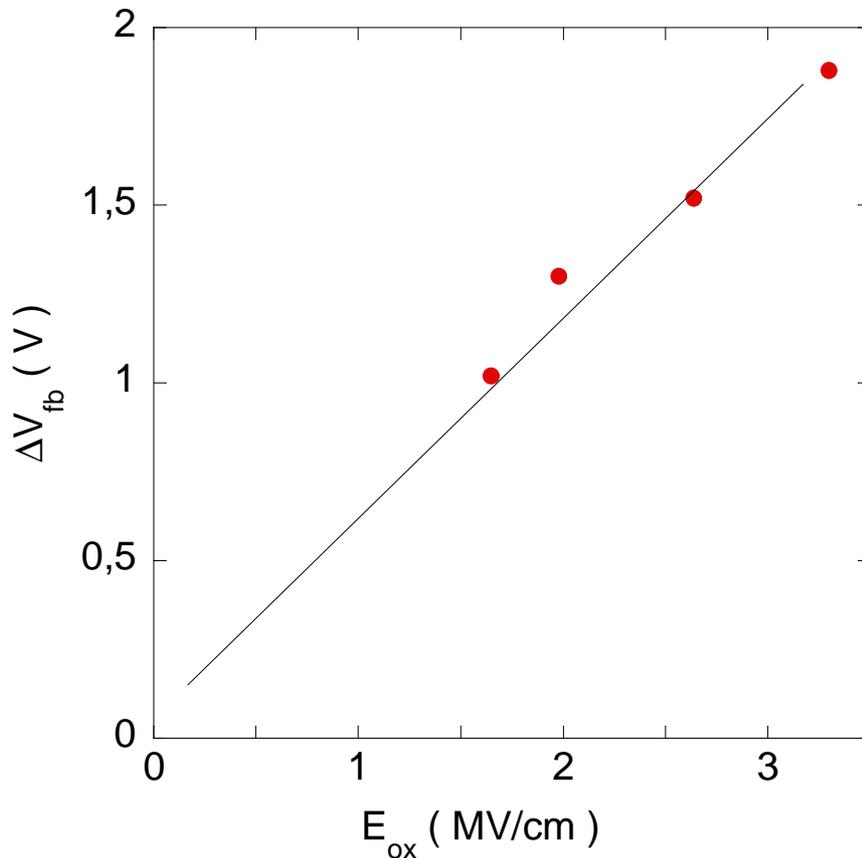


Figura 4.9: Traslazione della tensione ΔV_{fb} , come funzione del campo elettrico nell'ossido $E_{ox} = (V_{GS} - V_{fb})/t_{ox}$, per $T = 180^\circ C$.

Da questo grafico possiamo trovare una dipendenza lineare per la carica intrappolata dal campo applicato per $T = 180^\circ C$; una volta ottenuti questi dati possiamo ottenere il contributo alla variazione della tensione di soglia dovuto alla creazione di stati interfacciali semplicemente sottraendo dalla variazione totale della tensione di soglia il valore di ΔV_{fb} appena ottenuto. I risultati di tale operazione sono riportati in fig.4.10 per due temperature .

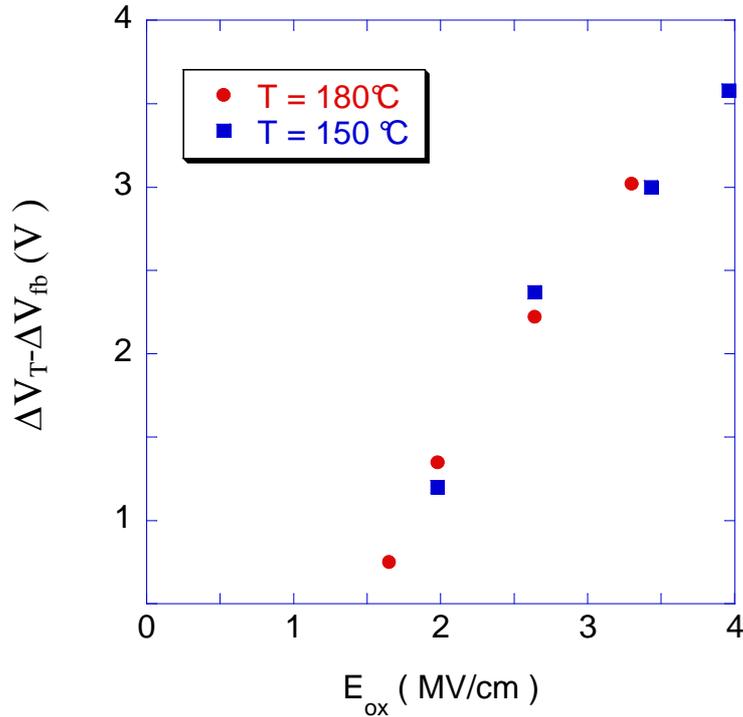


Figura 4.10: $\Delta V_T - \Delta V_{fb}$, valutata dagli stress NBTS, come funzione del campo elettrico nell'ossido $E_{ox} = (V_{GS} - V_{fb})/t_{ox}$, per due differenti temperature.

Dai risultati riportati quindi in figura 4.10 si può osservare che anche la traslazione $\Delta V_T - \Delta V_{fb}$ proporzionale al numero di stati interfacciali creati dipende linearmente dal campo elettrico ma non dalla temperatura applicata; infine estrapolando a zero i dati relativi alle due curve fatte a temperatura diversa si nota la presenza di un valore comune di campo (detto campo critico E_{cr}) intorno a 1.5 MV/cm tale che non si ha creazione di stati interfacciali indipendentemente dalla tensione applicata. Da questi risultati possiamo quindi concludere che la variazione di ΔN_{ss} (cioè la creazione di stati interfacciali) possa essere approssimata con una relazione del tipo

$$\Delta N_{ss} = C(E_{ox} - E_{cr}) \quad (4.3)$$

dove C è una costante e E_{cr} è un campo elettrico critico sotto il quale non si osserva generazione di stati interfacciali. Possiamo confrontare tale relazione ottenuta per i p-

channel TFTs è con quella ottenuta da Ogawa[13, rel. 4.1 e 4.2] per capacitori MOS in silicio cristallino. In particolare noi troviamo sia una dipendenza lineare dal campo elettrico nell'ossido E_{ox} invece di una dipendenza $E_{ox}^{1.5}$ ed un campo critico sotto il quale la generazione di stati interfacciali non avviene. In fig.4.11 è riportato l'andamento degli esperimenti di stress fatti in regime di self-heating: le caratteristiche di trasferimento mostrano un degrado simile a quello osservato negli stress NBTS con variazione della zona di sottoglia e della tensione di soglia.

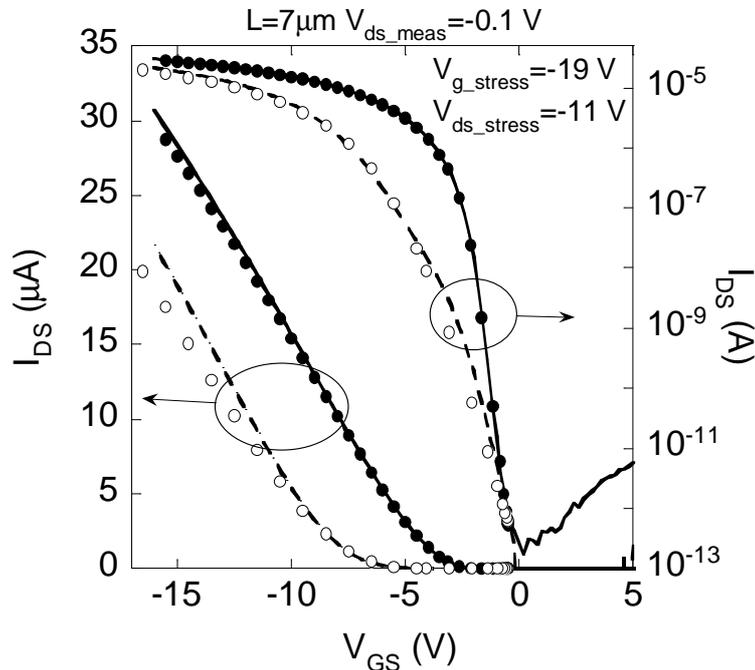


Figura 4.11: Caratteristiche di trasferimento di un TFT NSA ($W = 50\mu m$ e $L = 7\mu m$) misurato con $V_{DS} = -0.1V$ prima (linee continue) e dopo (linee tratteggiate) lo stress in regime di self heating di 1000s con $V_{DS, stress} = -11V$, $V_{GS, stress} = -19V$. Sono anche mostrate le caratteristiche simulate che riproducono le caratteristiche prima (cerchi chiusi) e dopo (cerchi aperti) lo stress NBTS utilizzando un gruppo di parametri ottimizzati per la densità di stati (DOS) e stati interfacciali con distribuzione di $N_0(x)$ lungo il canale mostrata in fig.4.13.

Tuttavia possiamo notare che questo tipo di condizioni di polarizzazione implicano una non uniforme distribuzione del campo elettrico trasverso lungo il canale, dato che il potenziale del canale passa da 0V (source) fino a -11V (drain) e di conseguenza una non uniforme distribuzione di difetti generati è attesa. Per verificare ciò abbiamo misurato le caratteristiche di uscita del transistor prima e dopo lo stress, in configurazione normale ed

inversa cioè scambiando i contatti di source e drain come mostrato in fig.4.12. Come può essere osservato il transistor prima dello stress è perfettamente simmetrico mentre diventa asimmetrico dopo lo stress con un variazione del livello di corrente di saturazione e della zona dove si osserva l'effetto Kink.

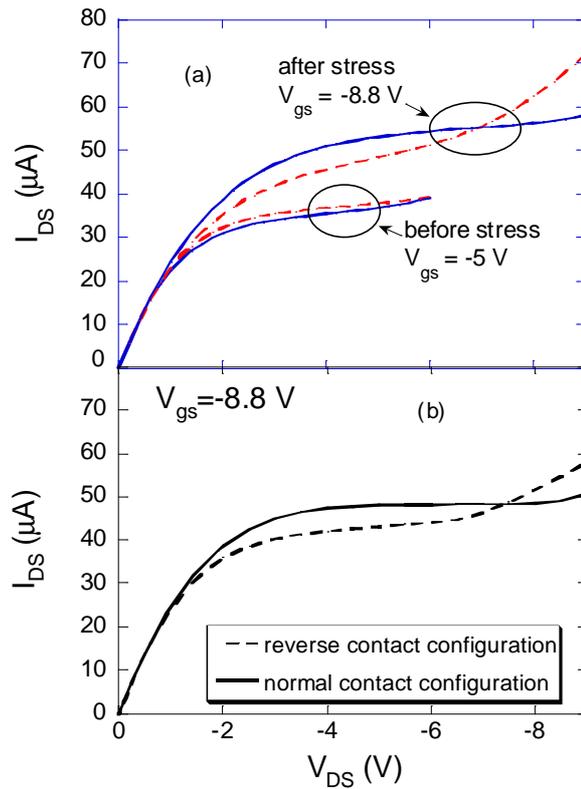


Figura 4.12: Caratteristiche di uscita sperimentali (a) di un dispositivo TFT NSA ($W = 50\mu m$ e $L = 7\mu m$) misurate in configurazione normale (linee continue) ed scambiando i contatti di source e drain (linee tratteggiate), prima e dopo lo stress fatto a $V_{DS, stress} = -11V$ e $V_{GS, stress} = -19V$. Caratteristiche di uscita simulate (b) dopo lo stress nelle due configurazioni.

4.4.2 Simulazioni numeriche

Per tentare di analizzare tale tipo di instabilità abbiamo impiegato delle simulazioni numeriche basandoci su un'approssimazione detta "effective medium approximation" [21]. Per primo abbiamo riprodotto, come mostrato in fig.4.6 le caratteristiche elettriche del dispositivo prima dello stress utilizzando un gruppo di parametri ottimizzati per la densità di stati (DOS) assumendo una distribuzione esponenziale simmetrica della DOS. In seguito abbiamo riprodotto le caratteristiche elettriche con le simulazioni dopo lo stress, introducendo uniformemente lungo il canale, una distribuzione di stati interfacciale tipo accettori e donori, simmetrica del tipo $N_0 \exp[(E_v - E)/E_0] + N_0 \exp[(E_c - E)/E_0]$. Variando l'energia caratteristica E_0 ed il prefattore N_0 è stato possibile riprodurre in grande dettaglio le caratteristiche dopo lo stress (fig.4.6) avendo trovato che E_0 è uguale a 0.35eV per $T = 150^\circ C$ e differenti condizioni di stress mentre N_0 varia da $0.7 \times 10^{12} \text{ stati/cm}^2 eV$ per $V_{GS, stress} = -15V$ a $4 \times 10^{12} \text{ stati/cm}^2 eV$ per $V_{GS, stress} = -30V$. Per tentare invece di riprodurre le caratteristiche dopo lo stress in regime di self-heating osservate in fig.4.11 e 4.12 noi assumiamo che in accordo all'equazione 4.3 , la distribuzione spaziale degli stati interfacciali sia legata alla variazione lungo il canale di $(E_{ox} - E_{cr})$. Inoltre dalla figura 4.11 si può notare che a parte il degrado nella regione di sottoglia e conseguente variazione della tensione di soglia non si osserva nessuna traslazione della corrente di off, segno che non abbiamo intrappolamento di carica e di conseguenza che la temperatura che raggiunge il dispositivo durante questi stress non sia molto superiore a $T = 150^\circ C$. Inoltre in accordo con le simulazioni relative al NBTS noi assumiamo un energia caratteristica della distribuzione di stati interfacciali pari $E_0 = 0.35eV$. Quindi possiamo dedurre dalle simulazioni numeriche fatte ad una certa polarizzazione l'esatta distribuzione di $E_{ox}(x)$ dove x è la coordinata parallela all'interfaccia isolante/semiconduttore ed utilizzando l'equazione 4.3 possiamo determinare il prefattore $N_0(x)$ come proporzionale al prodotto $C[E_{ox}(x) - E_{cr}]$ mediante la riproduzione ("best fit") delle caratteristiche elettriche dopo lo stress. Nella figura 4.13 è riportata la distribuzione di $N_0(x)$ lungo il canale ottenuta dal "best fit" ed utilizzata nella

figura 4.11e 4.12. Infine utilizzando tale distribuzione interfacciale abbiamo tentato l'ultimo passo, cioè la riproduzione dell'asimmetria osservata dopo lo stress in regime di self-heating. Tali risultati sono mostrati in fig.4.12 e comparandoli con la precedente figura possiamo osservare che l'asimmetria è ben riprodotta come pure la variazione di corrente di saturazione e la zona di Kink suggerendo che la tale distribuzione di stati interfacciali è appropriata. Infine per spiegare il cambiamento della zona di Kink, abbiamo riportato anche in fig.4.13 la componente del campo elettrico parallela all'interfaccia Si/SiO_2 nelle due configurazioni di misura. Come può essere osservato il campo elettrico nella configurazione "reverse" è aumentato dalla presenza di un maggiore densità di stati interfacciali (localizzati al bordo della zona di source nella configurazione "normal"). Il risultato di ciò è un incremento nel campo elettrico quando il drain è posto nella zona di elevata presenza di stati interfacciali, con un aumento della ionizzazione da impatto e conducendo quindi ad un variazione dell'effetto Kink.

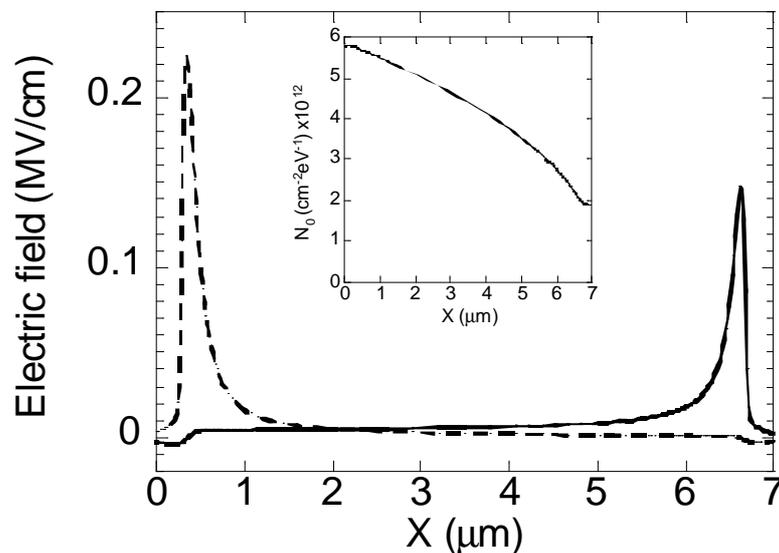


Figura 4.13: Componente del campo elettrico longitudinale all'interfaccia isolante/semiconduttore in configurazione normale (linea continua) e scambiando i contatti di source e drain (linea tratteggiata). Inoltre nella figura è mostrato la distribuzione lungo il canale del prefattore $N_{ox}(x)$ relativo agli stati interfacciali utilizzati per le simulazioni di fig.4.11 e 4.12

4.5 Instabilità elettrica indotta dall’NBTI nei TFTs S.A.

4.5.1 Risultati sperimentali (TFT “trattati” termicamente)

In questo paragrafo verranno riportate le misure sperimentali effettuate su dispositivi TFT autoallineati (self-aligned S.A.) volte allo studio dell’NBTI su questo tipo di dispositivi. . I dispositivi utilizzati, TFT p-channel S.A., sono fabbricati in accordo al processo riportato in [23], partendo da uno strato spesso 40nm di silicio amorfo utilizzato come precursore, depositato a 300°C mediante PECVD (plasma-enhanced chemical vapour deposition) seguito da una ricristallizzazione mediante laser ad eccimeri e successiva deposizione dell’ossido di gate con spessore~60-nm mediante PECVD con miscela di gas di SiH_4 e N_2O . Le regioni di source e drain sono state realizzate mediante impiantazione ionica di Boro attraverso l’ossido di gate. L’attivazione del drogante è stata fatta utilizzando un secondo trattamento laser a densità di energia pari a $150-200mJ/cm^2$. I risultati comunque di questi esperimenti mostrano comunque un comportamento peculiare, in alcuni casi abbastanza diverso da quello osservato precedentemente nei TFT p-channel N.S.A. dovuto alla presenza di specie chimiche legate all’acqua poste all’interfaccia Si/SiO_2 ed in grado di influenzare ancor di più l’instabilità indotta dall’NBTI. Come abbiamo già visto nei paragrafi precedenti riguardo i modelli microscopici alla base dell’NBTI[1] , l’acqua insieme all’idrogeno rappresenta uno tra i candidati più probabili affinché avvenga la depassivazione dei legami SiH all’interfaccia isolante/semiconduttore con la creazione sia di stati di trappola interfacciale che di carica fissa intrappolata. Inoltre la presenza di zone danneggiate ai bordi del canale, dovute per esempio al processo di impiantazione ionica, può favorire la diffusione di acqua sotto il canale rendendo l’effetto più marcato al ridursi della lunghezza del canale (la presenza di tali regioni danneggiate effettivamente è già stata osservata da alcuni autori [24] in TFT con architettura di tipo autoallineato (S.A.) come conseguenza dell’incapacità del processo di laser annealing di attivazione del drogante nelle zone poste ai bordi del canale). Tale diffusione di acqua nell’ossido è stata anche verificata da Young e Gill [25] nei TFTs in cui si osserva che l’instabilità elettrica (misurata attraverso la variazione della tensione di soglia ΔV_T)

dipende criticamente dalla lunghezza del canale L e non dalla larghezza W confermando ancor più il fatto che l'acqua possa diffondere lateralmente nell'ossido di gate con una scomparsa di tale instabilità quando i dispositivi vengono riscaldati a 175°C per 15min, una temperatura quindi in grado di eliminare quasi totalmente l'acqua presente nel dispositivo. Per questa serie di ragioni abbiamo quindi effettuato due diverse serie di esperimenti in cui nei primi dispositivi abbiamo effettuato un "annealing" (riscaldamento a 175°C per 15min) prima delle misure di stress in modo da eliminare "temporaneamente" l'acqua presente; infatti si è osservato che lasciando tali dispositivi in aria per alcune settimane, essi tendevano a riassorbire l'acqua perduta. In questa serie di dispositivi "trattati" si è osservata un'instabilità indotta dall'NBTI simile a quella osservata precedentemente nei N.S.A p-channel e che quindi ha richiesto di conseguenza una descrizione simile del fenomeno. Invece nell'altra serie di dispositivi non trattati mediante annealing preventivo, si è osservato un degrado molto maggiore dovuto alla presenza di acqua, con la comparsa inattesa di un incremento della g_m in zona lineare, non prevista dai modelli precedenti e che ha richiesto una nuova modellizzazione del fenomeno. Per analizzare indipendentemente il ruolo della temperatura e del campo elettrico nell'ossido nei dispositivi "trattati" abbiamo effettuato alcuni stress detti NBTS (Negative Bias Temperature Stress) polarizzando il dispositivo con differenti tensioni di gate V_{GS} , $V_{DS} = -0.1\text{V}$ e differenti temperature per 1000s, e raffreddando velocemente il dispositivo e misurando di nuovo le caratteristiche dopo lo stress ed anche stress in regime di self-heating polarizzando il dispositivo con V_{GS} ben al di sopra della tensione di soglia e V_{DS} elevati in modo da indurre un apprezzabile riscaldamento dovuto ad effetto Joule. I transistor utilizzati in queste misure avevano lunghezza di canale $L = 6\mu\text{m}$, larghezza $W = 50\mu\text{m}$ e spessore dell'ossido $t_{ox} = 62\text{nm}$. In fig.4.14 e 4.15 viene mostrato l'effetto degli stress NBTS fatti a $V_{GS} = -20\text{V}$ e due differenti temperature $T = 150^{\circ}\text{C}$ e $T = 180^{\circ}\text{C}$ sulle caratteristiche di trasferimento e come può essere osservato sia la tensione di soglia V_T che la zona di sottosoglia sono progressivamente degradate con l'incremento della temperatura.

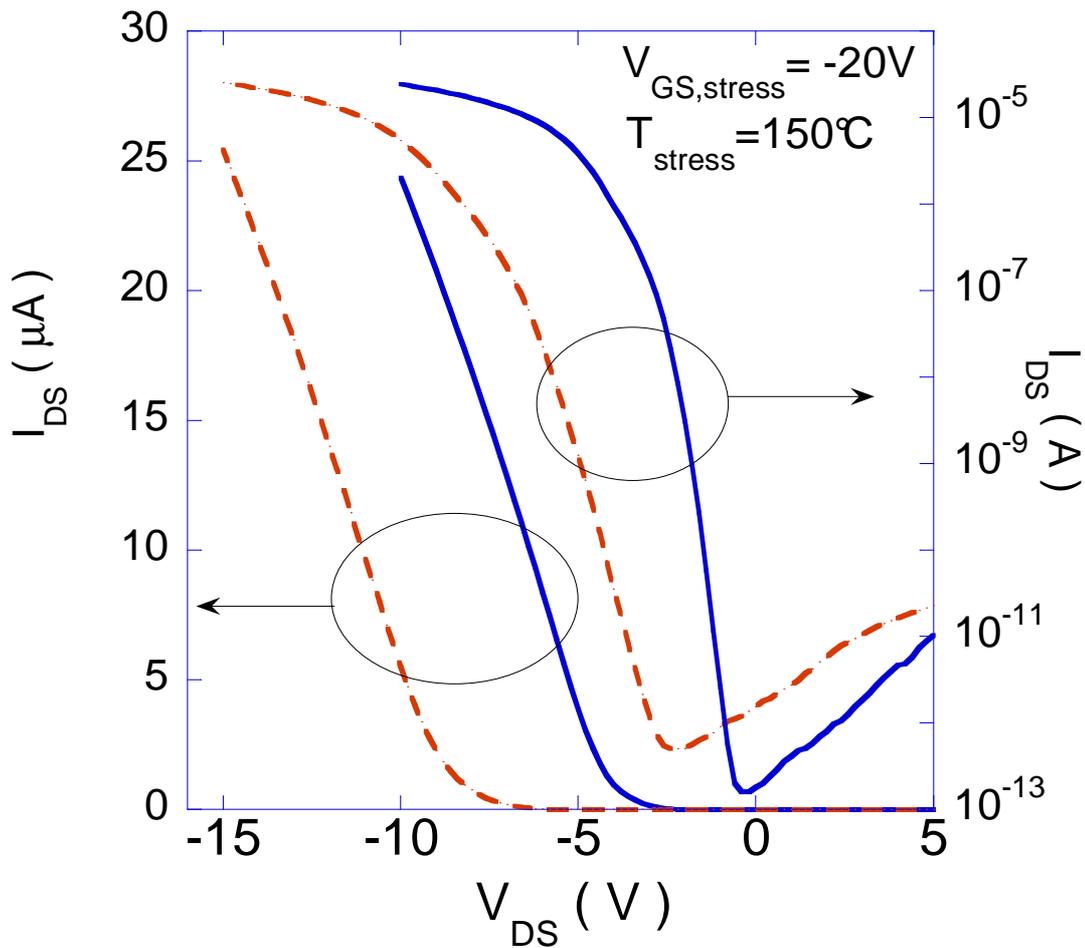


Figura 4.14: Caratteristiche di trasferimento di un TFT SA ($W = 50\mu m$ e $L = 6\mu m$) misurato a T ambiente e $V_{DS} = -0.1V$ prima (linee continue) e dopo (linee tratteggiate) lo stress di 1000s, $V_{DS, stress} = -0.1V$, $V_{GS, stress} = -20V$ e $T = 150^\circ C$.

In fig.4.16 è mostrato l'effetto dell'incremento della tensione di stress a $V_{GS} = -25V$, e come può essere dedotto comparandola con le figure precedenti 4.14 e 4.15, l'incremento del campo elettrico produce anch'esso un aumento del degrado. È interessante notare dalle varie figure che il minimo della corrente di off viene traslato durante i vari stress, con variazione della tensione di Flat-Band V_{fb} , suggerendo anche in questo caso che l'intrappolamento di carica nell'ossido non sia trascurabile durante lo stress, in analogia con quello osservato nei p-MOSFET con silicio cristallino [1,19,20] e con i TFT NSA.

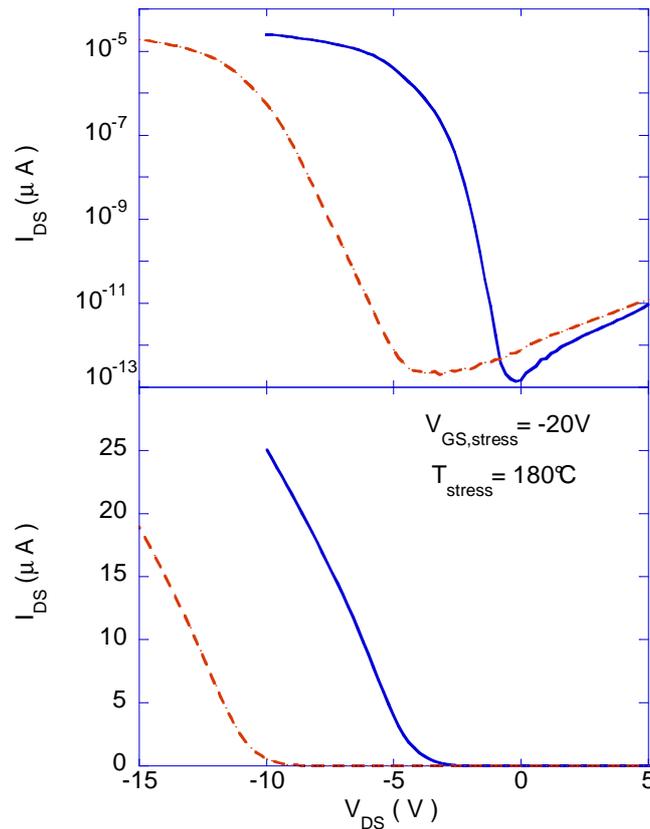


Figura 4.15: Caratteristiche di trasferimento di un TFT SA ($W = 50\mu m$ e $L = 6\mu m$) misurato a T ambiente e $V_{DS} = -0.1V$ prima (linee continue) e dopo (linee tratteggiate) lo stress di 1000s, $V_{DS, stress} = -0.1V$, $V_{GS, stress} = -20V$ e $T = 180^\circ C$.

Tuttavia dalle figure osservate non si riesce a capire esattamente il contributo dei stati interfacciali e carica intrappolata alla variazione della tensione di soglia e la loro dipendenza dalle varie grandezze fisiche. Per determinare tutto ciò in fig.4.17, utilizzando le misure precedenti, è riportato l'andamento della variazione della tensione di Flat-Band ΔV_{fb} , proporzionale alla carica intrappolata e misurata attraverso lo shift della corrente di off, contro il campo elettrico nell'ossido E_{ox} , approssimato come $(V_{GS} - V_{fb})/t_{ox}$, per varie temperature.

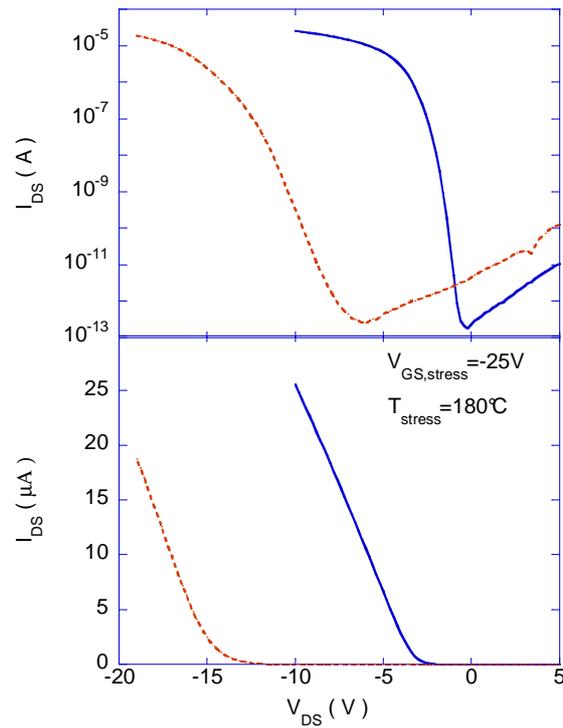


Figura 4.16: Caratteristiche di trasferimento di un TFT SA ($W = 50\mu m$ e $L = 10\mu m$) misurato a T ambiente e $V_{DS} = -0.1V$ prima (linee continue) e dopo (linee tratteggiate) lo stress di 1000s, $V_{DS, stress} = -0.1V$, $V_{GS, stress} = -25V$ e $T = 180^\circ C$.

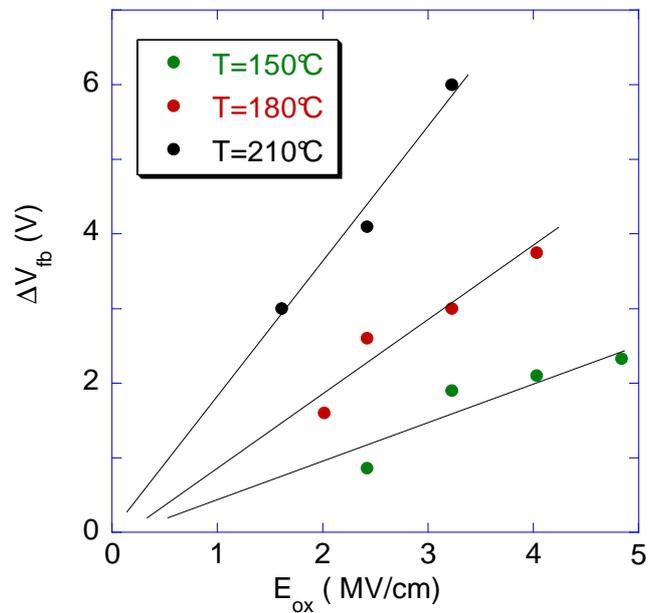


Figura 4.17: Traslazione della tensione ΔV_{fb} , come funzione del campo elettrico nell'ossido $E_{ox} = (V_{GS} - V_{fb})/t_{ox}$, per varie temperature.

Dalla fig.4.17 si può osservare che l'intrappolamento della carica dipende linearmente dal campo elettrico, simile all'effetto osservato nei p-channel TFT N.S.A., mentre per osservare più in dettaglio la dipendenza dalla temperatura abbiamo graficato ΔV_{fb} valutato dagli NBTS esperimenti fatti a tensione costante V_{GS} come funzione di $1000/T$ e dall' "Arrhenius plot" abbiamo determinato una energia attivazione di 0.48eV.

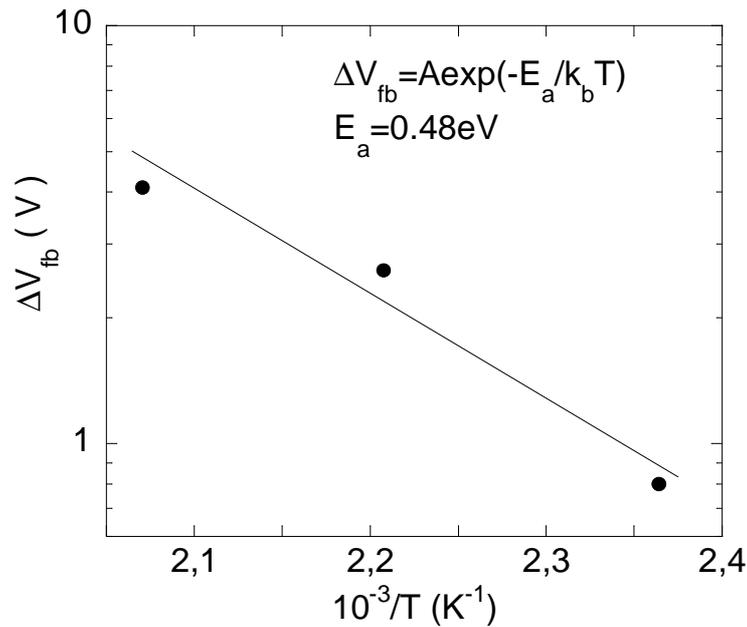


Figura 4.18: Traslazione della tensione ΔV_{fb} , valutata dagli esperimenti fatti a $V_{GS, stress} = -15V$, come funzione di $1000/T$.

Una volta determinata dalla fig. 4.17 ΔV_{fb} possiamo determinare il contributo degli stati interfacciali semplicemente sottraendo dalla tensione di soglia il contributo relativo alla carica intrappolata ΔV_{fb} ed il tutto è riportato in fig.4.19.

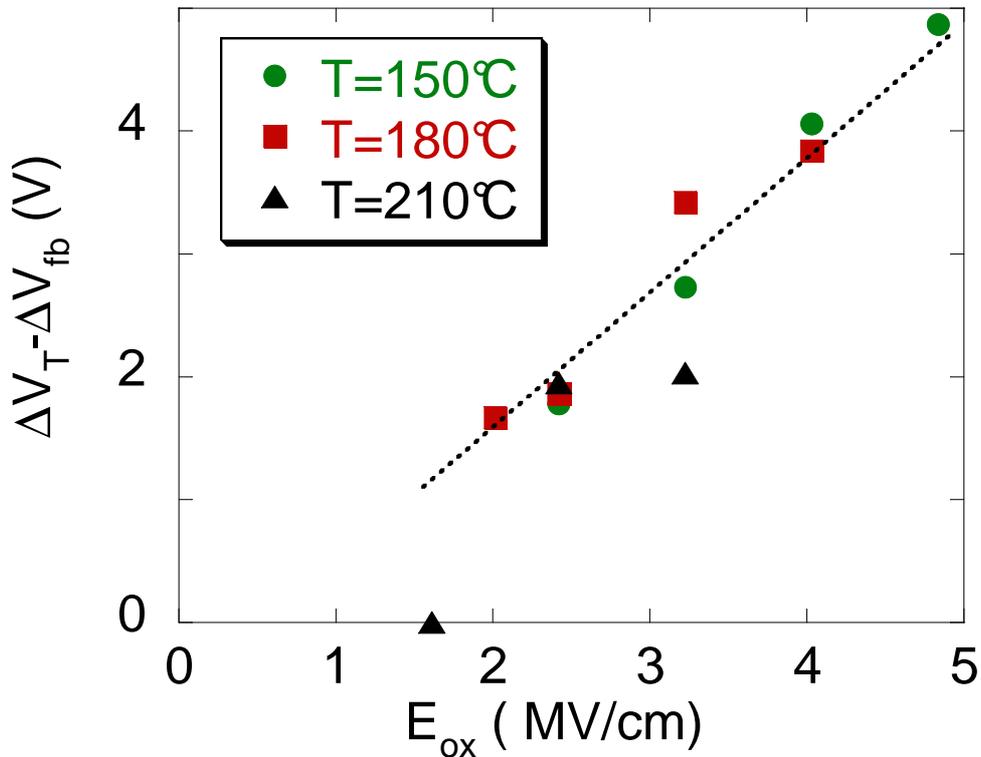


Figura 4.19: $\Delta V_T - \Delta V_{fb}$, come funzione del campo elettrico nell'ossido $E_{ox} = (V_{GS} - V_{fb})/t_{ox}$, per varie temperature

Dalla figura possiamo osservare anche qui una dipendenza lineare dal campo elettrico presente nell'ossido mentre l'effetto della temperatura sembra trascurabile. Dal confronto della figura 4.17 e 4.19 possiamo quindi concludere che i contributi al degrado delle caratteristiche elettriche, stati interfacciali e carica fissa intrappolata, mostrano entrambi una dipendenza lineare dal campo elettrico presente nell'ossido simile alle risultato ottenuto nei dispositivi N.S.A (estrapolando a zero la retta presente nella fig.4.19 si osserva anche in questo caso la presenza di campo elettrico critico E_{cr} sotto il quale non si osserva generazione di stati interfacciali). Infine partendo dalle figure 4.17 e 4.19 abbiamo determinato il rapporto tra gli stati e la carica generata cioè $\Delta V_{carica} / \Delta V_{stati}$ contro il campo elettrico nell'ossido E_{ox} , riportato in fig.4.20:

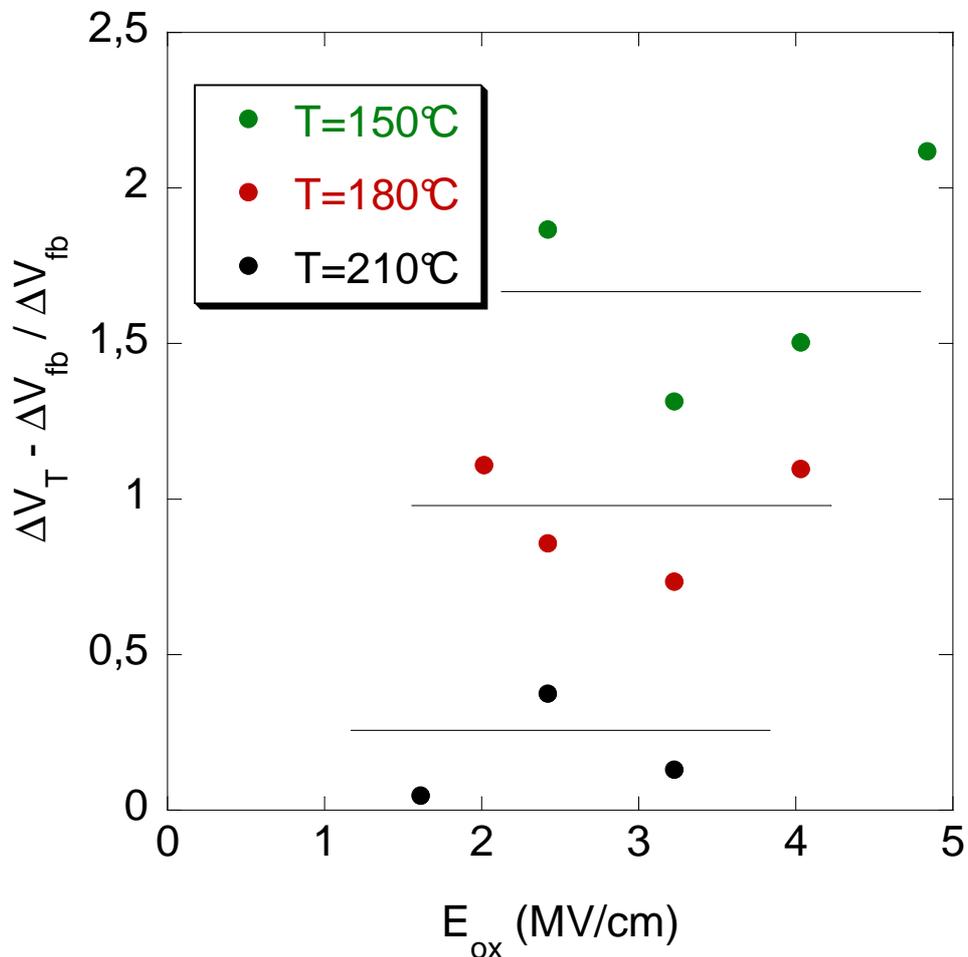


Figura 4.20: Variazione del rapporto $\Delta V_T / \Delta V_{fb}$ come funzione del campo elettrico nell'ossido per varie condizioni di temperatura.

I risultati riportati in fig.4.20 mostrano comunque che il rapporto tende a disporsi su tre livelli dipendentemente dalla temperatura a cui viene stressato il dispositivo ma essendo poco influenzato dal campo elettrico applicato, segno quindi che vengono prodotti un uguale ammontare di stati interfacciali e carica fissa intrappolata per una fissata temperatura. Infine in fig.4.21 viene riportato il risultato di un esperimento fatto in regime di self-heating con un risultato del tutto simile al degrado osservato durante gli esperimenti NBTS e quindi variazione della tensione di soglia, degrado della zona di sottosoglia e shift della corrente di off. Anche in questo caso dobbiamo notare che tali condizioni di stress

implicano una non uniforme distribuzione del campo elettrico trasverso lungo il canale e quindi una non uniforme distribuzione degli stati interfacciali e carica fissa intrappolata è attesa. Per verificare tutto ciò abbiamo misurato le caratteristiche di uscita prima e dopo lo stress nelle due configurazioni normale e reverse cioè scambiando i due contatti e come può essere visto (fig.4.22) mentre il dispositivo prima dello stress è perfettamente simmetrico, dopo lo stress diventa asimmetrico. Tali risultati comunque relativi allo stress effettuato su dispositivi S.A. “trattati” con annealing risultano abbastanza simili a quelli ottenuti nei dispositivi N.S.A.

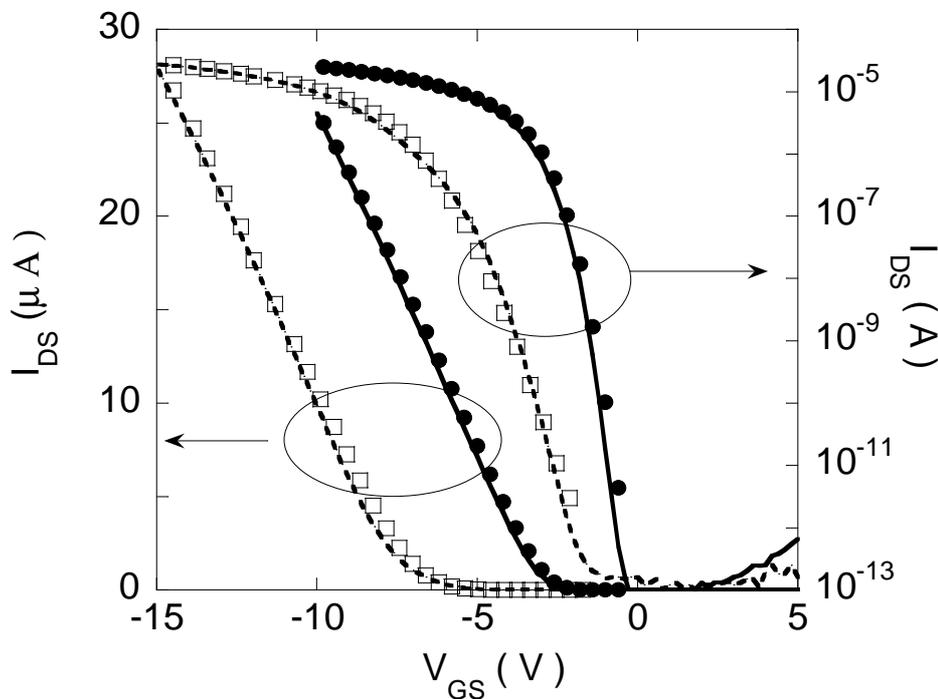


Figura 4.21: Caratteristiche di trasferimento di un TFT SA ($W = 50\mu m$ e $L = 6\mu m$) misurato con $V_{DS} = -0.1V$ prima (linee continue) e dopo (linee tratteggiate) lo stress in regime di self heating di 10000s con $V_{DS, stress} = -11V$, $V_{GS, stress} = -15V$. Sono anche mostrate le caratteristiche simulate che riproducono le caratteristiche prima (quadrati chiusi) e dopo (quadrati aperti) lo stress NBTS utilizzando un gruppo di parametri ottimizzati per la densità di stati (DOS), per gli stati interfacciali e per la carica.

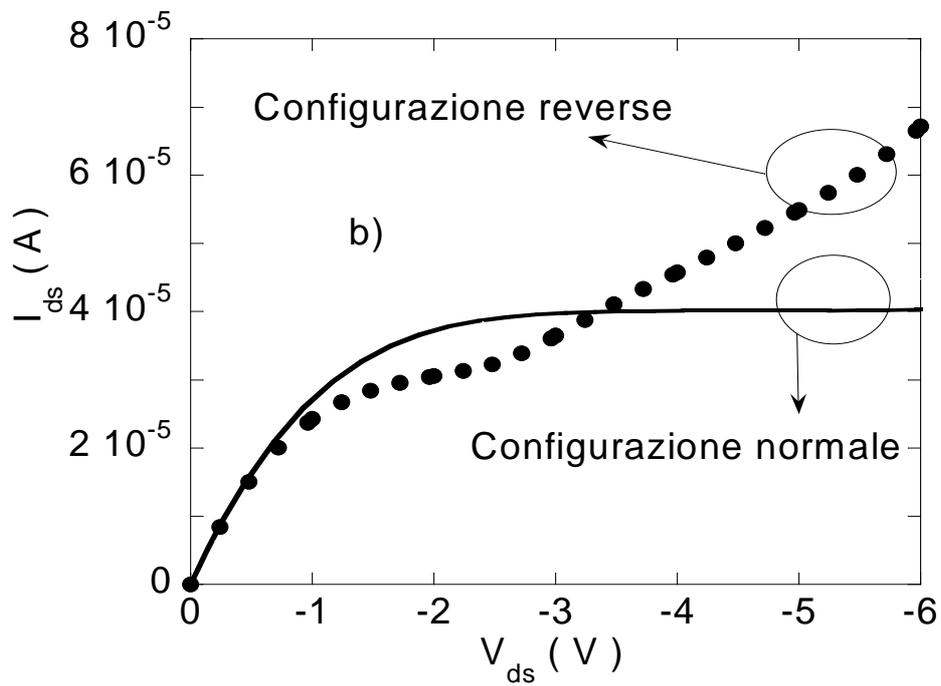
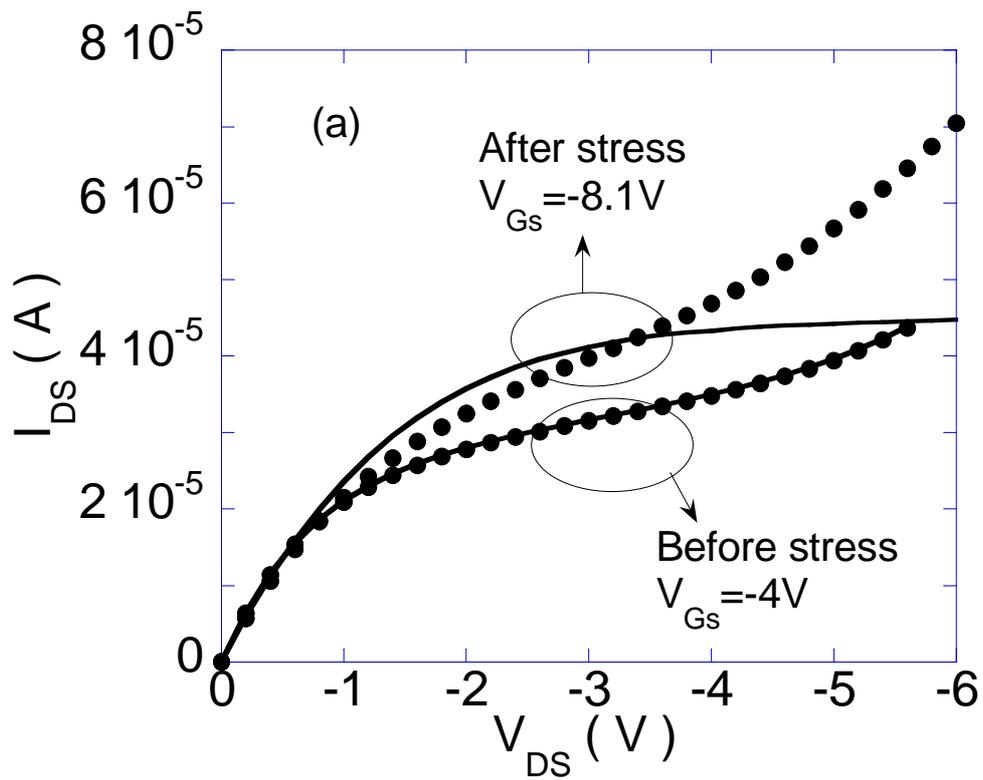


Figura 4.22:(a) Caratteristiche di uscita del TFT S.A. misurato in configurazione normale (linee continue) e reverse, scambiando i contatti di source e drain (•) prima e dopo lo stress con $V_{DS, stress} = -11V$ e $V_{GS, stress} = -15V$. (b) Caratteristiche simulate del transistor dopo lo stress in configurazione normale e reverse

4.5.2 Simulazioni numeriche (TFT “trattati” termicamente)

Per analizzare tale tipo di instabilità abbiamo impiegato delle simulazioni numeriche basandoci su un'approssimazione detta “effective medium approximation” [21]. In analogia a quello fatto per i transistor N.S.A., per tentare di riprodurre le caratteristiche elettriche (fig.4.21 e 4.22) dopo lo stress in regime di self-heating per i transistor “trattati”, noi assumiamo che la distribuzione spaziale degli stati in accordo con gli esperimenti NBTS (fig.4.19) sia legata alla variazione lungo il canale di E_{ox} , avendo determinato la distribuzione di E_{ox} dalle simulazione numeriche fatte alla tensione di stress ($V_{DS, stress} = -11V, V_{DS, stress} = -15V$). Assumeremo inoltre una distribuzione in energia di stati interfacciali tipo accettori e donori, simmetrica del tipo $N_0 \exp[(E_v - E)/E_0] + N_0 \exp[(E_c - E)/E_0]$ con un energia caratteristica pari a $E_0 = 0.25eV$. Anche per la carica intrappolata possiamo fare un discorso simile in accordo con gli esperimenti NBTS (fig.4.17 e fig.4.18) assumendo che sia legata alla variazione lungo il canale di $E_{ox} \exp(-E_a / KT)$ e che la temperatura non cambi apprezzabilmente muovendomi dal source al drain. Tale approssimazione è ragionevole dal momento che in accordo a simulazioni numeriche bidimensionali dove le equazioni drift-diffusion e termodinamiche sono risolte simultaneamente, la temperatura del canale è stata trovata piuttosto uniforme nel canale[22]. Una volta ottenuto quindi il profilo di $E_{ox}(x)$, essendo x la coordinata parallela all'interfaccia isolante/ semiconduttore, possiamo determinare sia il prefattore $N_0(x)$ legato agli stati interfacciali ,sia l'andamento della carica $Q_0(x)$ mediante la riproduzione delle caratteristiche elettriche misurate dopo lo stress. Nella figura 4.23 è riportata la distribuzione degli stati interfacciali e carica fissa intrappolata lungo il canale ed utilizzata per la riproduzione degli stress in regime di self-heating nei dispositivi trattati mediante annealing prima dello stress (fig.4.21 e fig.4.22). Infine utilizzando tale distribuzione di stati interfacciali e carica fissa abbiamo tentato l'ultimo passo, cioè la riproduzione dell'asimmetria osservata dopo lo stress in regime di self-heating; anche in questa caso i risultati sono mostrati in fig.4.22 e comparandoli tra loro possiamo osservare

che l'asimmetria è ben riprodotta come pure la variazione di corrente di saturazione e la zona di Kink suggerendo che la tale distribuzione di stati interfacciali è appropriata.

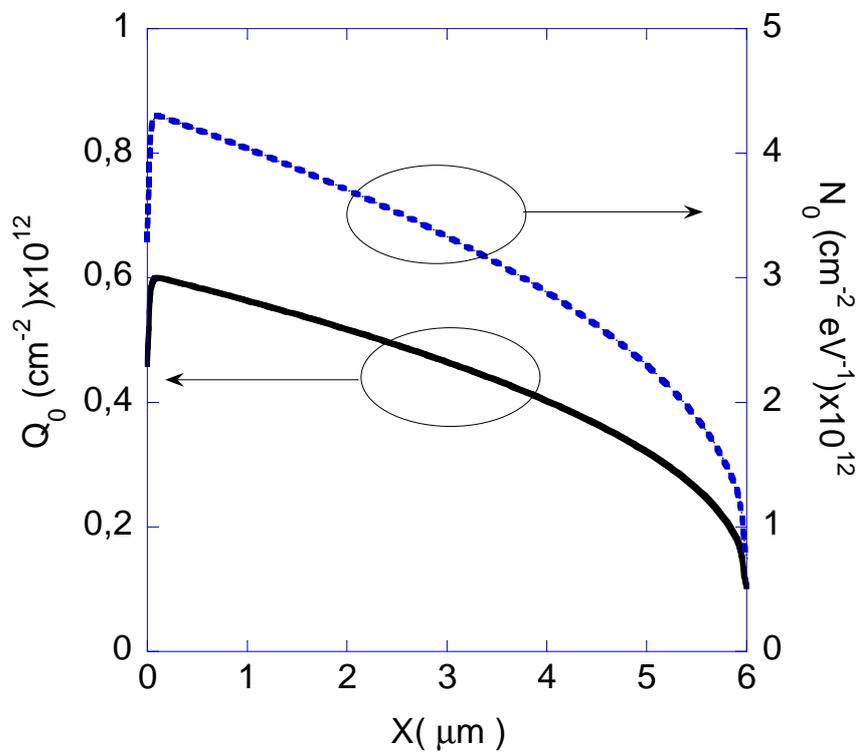


Figura 4.23: Distribuzione lungo il canale del prefattore, $N_0(x)$, relativo alla distribuzione di stati interfacciali, e $Q_0(x)$ relativo alla carica intrappolata, ottenuti dalla riproduzione delle caratteristiche sperimentali dopo lo stress in regime di self-heating riportato in fig.4.21 e 4.22.

4.5.3 Risultati sperimentali (TFT non “trattati” termicamente)

Risultati profondamente diversi invece sono stati osservati per l’instabilità indotta dall’NBTI nei dispositivi S.A. non “trattati” cioè non sottoposti ad alcun ciclo termico prima delle misure di stress. Per tali dispositivi non sono stati fatti gli stress detti NBTS dal momento che il riscaldamento necessario a tali misure avrebbe in parte eliminato l’acqua, vanificando quindi il nostro tentativo di studiare come l’acqua modifichi ed aggravi questo tipo di instabilità. I risultati quindi degli stress fatti in regime di self-heating sono riportati in fig.4.24.

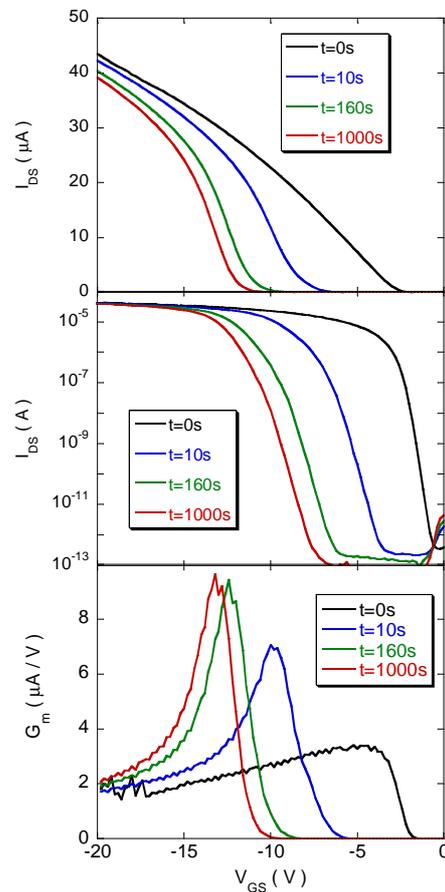


Figura 4.24: Caratteristiche di trasferimento in scala lineare, logaritmica, di un SA TFT ($W = 50\mu m$ e $L = 6\mu m$) misurate a $V_{DS} = -0.1V$, prima (linea nera) e durante lo stress di 1000s con una tensione di pari a $V_{GS, stress} = -15V$ e $V_{DS, stress} = -6V$. Nello stesso grafico è anche mostrato l’andamento della transconduttanza G_m durante lo stress di 1000s.

Come può essere osservato anche in questo caso, le caratteristiche di trasferimento tendono a degradarsi pesantemente con una elevata variazione della tensione di soglia, degrado della zona di sottosoglia e shift della corrente di off. Tuttavia la differenza sostanziale rispetto ai casi precedenti è la comparsa di una nuova zona in cui si osserva una grossa variazione della transconduttanza g_m (“ g_m overshoot”) anche per tempi molto brevi di stress, segno che l’acqua gioca un ruolo molto importante. Inoltre per cercare di determinare l’origine di tale particolare degrado sono state effettuate altre misure, su dispositivi non “trattati” termicamente con lunghezze di canale diverse ma polarizzati con la stessa tensione $V_{GS, stress} = -15V$. Il tutto è riportato in fig.4.25.

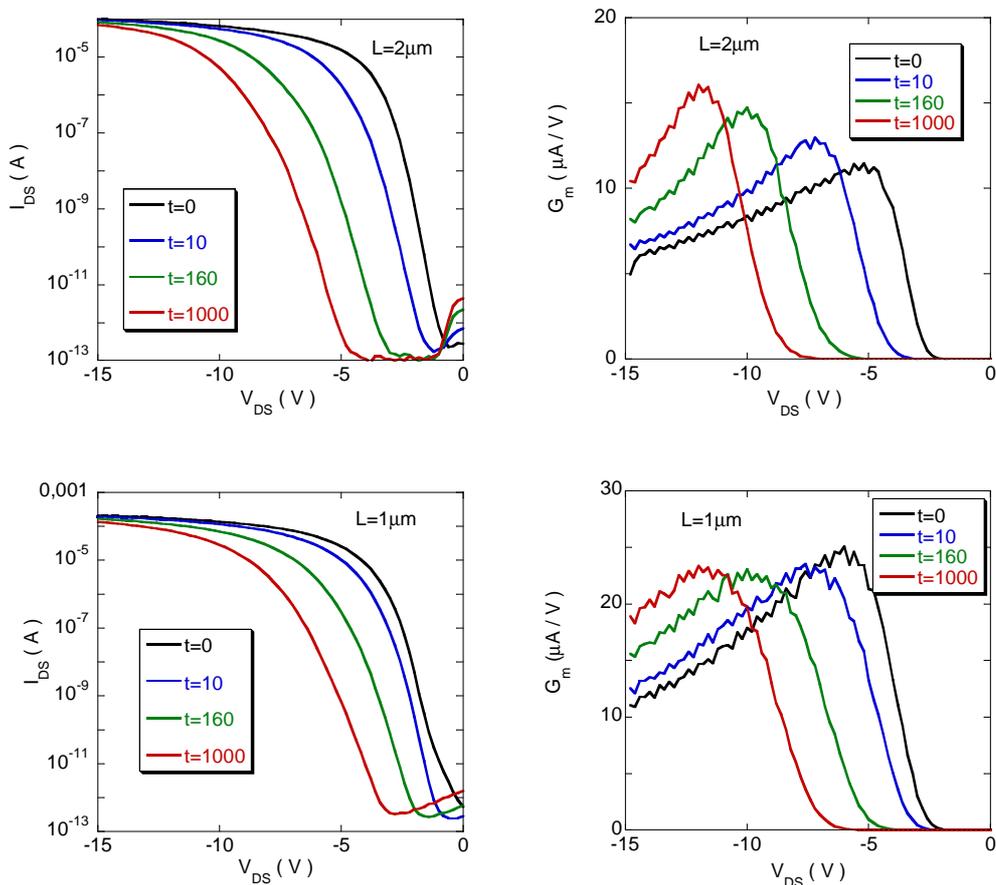


Figura 4.25: Caratteristiche di trasferimento in scala logaritmica di dispositivi SA TFT con differenti lunghezze di canale misurate a $V_{DS} = -0.1V$, prima (linea nera) e durante lo stress di 1000s con una tensione di pari a $V_{GS, stress} = -15V$ e $V_{DS, stress} = -2V$. Nello stesso grafico è anche mostrato l’andamento della transconduttanza G_m durante lo stress.

Come può essere notato dalla fig.4.25 anche il dispositivo con $L = 2\mu m$ mostra un incremento della G_m , seppur minore di quello osservato per $L = 6\mu m$, mentre per quello con $L = 1\mu m$ tale incremento tende a scomparire. Tale incremento della transconduttanza, che conduce quindi ad un apparente aumento della mobilità, ed osservato per lacune di lunghezza di canale è un segno distintivo della presenza di carica intrappolata e/o stati interfacciali principalmente localizzati ai bordi del canale[26]. Per visualizzare schematicamente e comprendere tale “apparente” incremento della transconduttanza e quindi della mobilità è utile introdurre un modello detto a due transistor. Come avevamo già precedentemente affermato nel corso del capitolo, l’instabilità elettrica in alcuni TFT dipende criticamente dalla lunghezza del canale e non dalla larghezza suggerendo quindi che le specie legate all’acqua diffondano lateralmente nella zona dell’ossido di gate[25]. In questo caso quindi potremmo aspettarci che se il nostro dispositivo degradato non è eccessivamente corto (in questo caso $L = 6\mu m$), il tutto si comporti come la serie di due transistor di cui il primo maggiormente degradato dovuto all’azione dell’acqua e con una lunghezza molto piccola (dipende dalla diffusione dell’acqua nella zona di interfaccia Si/SiO_2) e l’altro molto più lungo con caratteristiche di degrado in termini di densità di stati interfacciali e carica fissa del tutto equivalenti ai valori ottenuti per i dispositivi trattati. La regione in cui quindi si osserverà tale forte incremento della transconduttanza rappresenta quindi la regione di transizione tra le due caratteristiche elettriche dei due differenti transistor. Per cercare di validare questo modello utilizzeremo i concetti ed i risultati relativi alla stabilità elettrica in regime di hot-carrier mostrati nel capitolo precedente effettuando su un dispositivo già stressato in regime di self-heating (tipo quelli osservati in fig.4.24) un successivo stress questa volta in regime di hot-carrier (cioè con $V_{g, stress} \approx V_T$ ed elevati V_{DS}). Infatti dai risultati ottenuti nel capitolo precedente, sappiamo che in regime di hot-carrier (regime di HC) alcuni elettroni detti “hot-electron” sono in grado di acquisire sufficiente energia e superare la barriera di potenziale dell’ossido con la creazione di una regione di carica intrappolata vicino alla zona di drain ed estensione di alcune centinaia di nanometri[27]. Perciò polarizzando il dispositivo in regime di HC , dopo quello in regime di self-heating (regime di SH), si dovrebbe neutralizzare la carica positiva intrappolata, indotta dallo stress in regime di self-heating e mediante opportune

inversioni (scambi tra i contatti di source e drain) saremmo in grado di neutralizzare la carica positiva ai due bordi del canale. In fig.4.26 sono riportate le caratteristiche di trasferimento per un dispositivo polarizzato inizialmente in regime di self-heating e successivamente con vari regime sequenziali di HC: infatti inizialmente il dispositivo viene polarizzato in regime di HC (I regime di HC) scambiando i contatti di source con quello di drain, cercando quindi di iniettare “hot-electron” nella regione la quale agisce come source durante la polarizzazione in regime di self-heating. Abbiamo scelto questa procedura perché ci aspettiamo di aver una maggiore quantità di carica intrappolata dopo lo stress in regime di SH al bordo delle regione di canale vicino la zona di source. Infatti abbiamo osservato in fig.4.23 che l'intrappolamento di carica è proporzionale al campo elettrico trasverso, che è massimo a ridosso della zona di source al bordo del canale durante lo stress in regime di SH. I vari stress in regime di HC con contatti invertiti sono stati fatti incrementando successivamente la tensione di stress V_{DS} ed aggiustando di conseguenza la tensione V_{GS} a quella di soglia V_T ogni volta, ed interrompendo questa procedura quando le caratteristiche di trasferimento non mostravano cambiamenti per incrementi ulteriori di incrementi della tensione di stress V_{DS} . Come mostrato in fig.4.26 le caratteristiche di trasferimento sono apprezzabilmente modificate dalla prima sequenza di stress in regime di HC (quella effettuata scambiando i contatti di source e drain) con una riduzione della $|V_T|$; tuttavia l'incremento della transconduttanza è ancora presente (vedi fig.4.26), chiara indicazione del fatto che la carica intrappolata ai bordi del canale non è stata ancora neutralizzata del tutto (infatti la regione ai bordi del canale a ridosso della zona di drain rimane non influenzata dal primo ciclo di stress in regime di HC con contatti scambiati). Quindi per neutralizzare la carica positiva ancora presente al terminale di drain, intrappolata durante lo stress in regime di SH, abbiamo effettuato un secondo ciclo di stress in regime di HC (II regime di HC) ma questa volta con la normale configurazione source/drain dei contatti ed applicando la stessa procedura descritta precedentemente. La caratteristica finale (vedi fig.4.26) mostra un'ulteriore riduzione di $|V_T|$, e soprattutto tende ad avere una transconduttanza G_m uguale al valore iniziale, segno evidente di essere riusciti ad neutralizzare la carica ai bordi del canale. Tali risultati mostrati in fig.4.26 confermano chiaramente che la carica intrappolata ai bordi del canale durante lo stress in regime di SH

è positiva. Possiamo anche notare dalla stessa figura che la caratteristica del dispositivo dopo i due stress in regime di HC è ancora degradata (aumento della pendenza di sottosoglia) rispetto alla caratteristica iniziale: la ragione è dovuta la fatto che gli stati interfacciali ai bordi e la carica intrappolata lungo il canale non sono influenzati dai due stress in regime di HC. Di conseguenza la caratteristica di trasferimento finale potrà essere utilizzata per determinare la distribuzione lungo il canale degli stati interfacciali e/o carica intrappolata avendo eliminato gli effetti ai bordi dovuti alla carica intrappolata. Inoltre può essere notato che la carica presente lungo la regione di canale appare trascurabile dal momento che il minimo della caratteristica di trasferimento non sembra apparire traslato rispetto alla caratteristica iniziale. Considerando quindi tale distribuzione di stati interfacciali proporzionale al campo elettrico trasverso ed utilizzando le stesse relazioni e procedure descritte ed utilizzate nei dispositivi “trattati” termicamente abbiamo determinato la distribuzione degli stati interfacciali mostrata in fig.4.27, e di conseguenza riprodotto attraverso le simulazione numeriche la curva sperimentale mostrata in fig.4.26 con un buon accordo tra le due curve sperimentale e simulata.

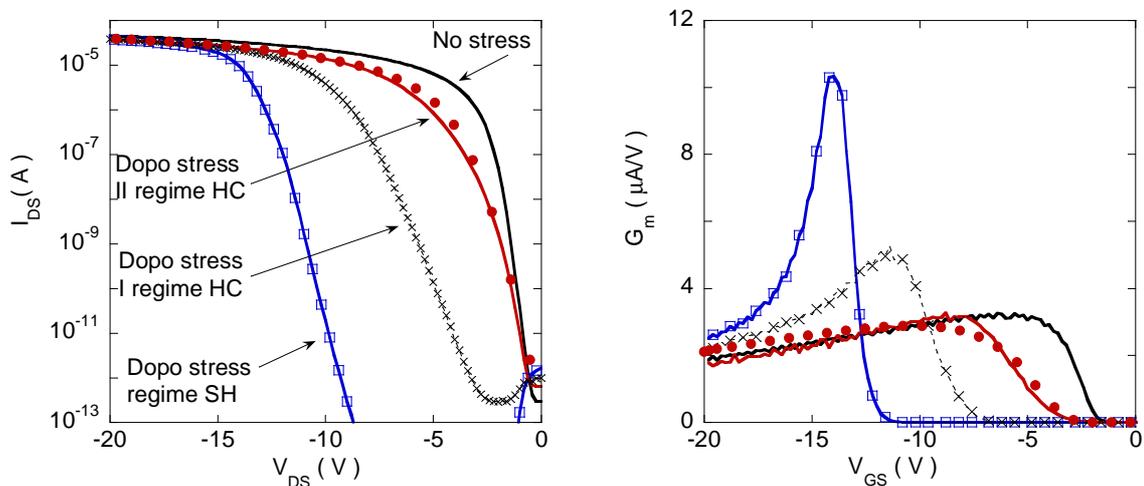


Figura 4.26: Caratteristiche di trasferimento in scala logaritmica di un dispositivi SA TFT ($W = 50\mu m$ e $L = 6\mu m$) misurate a $V_{DS} = -0.1V$, prima (linea nera), dopo lo stress in regime di SH di 1000s con una tensione di pari a $V_{GS, stress} = -15V$ e $V_{DS, stress} = -9V$ e dopo i due stress con contatti invertiti e “normali” in regime di HC. Inoltre negli stessi grafici sono mostrate anche le simulazioni (cerchi rossi) e l’andamento della transconduttanza G_m .

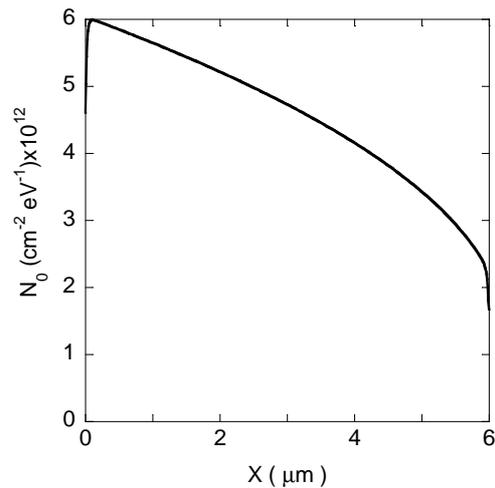


Figura 4.27: Distribuzione lungo il canale del prefattore, $N_0(x)$, relativo alla distribuzione di stati interfacciali, ottenuti dalla riproduzione delle caratteristiche sperimentali dopo gli stress in regime di HC indicata in fig.4.26.

4.5.4 Simulazioni numeriche (TFT non “trattati” termicamente)

Per studiare tale tipo di instabilità abbiamo impiegato delle simulazioni numeriche basandoci su un'approssimazione detta “effective medium approximation” [21] ed abbiamo analizzato poi i risultati mostrati in fig.4.24 e 4.25 per valutare l'estensione d delle regioni poste ai bordi del canale (fig.4.28) dove è principalmente localizzata la carica fissa positiva intrappolata. Abbiamo scelto per la distribuzione di carica fissa positiva ai bordi del canale un profilo costante dal momento che le dimensioni di queste regioni dovrebbero essere molto più piccole di quelle del canale ed anche introducendo una dipendenza dal campo elettrico del tipo di quelle ottenute precedentemente l'effetto sarebbe trascurabile; inoltre non conosciamo come le dipendenze dal campo elettrico e dalla temperatura siano modificate in presenza di acqua.

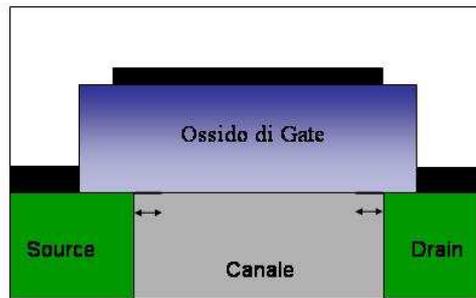


Figura 4.28: Schema non in scala delle zone interfacciali poste agli edge del transistor caratterizzate da una elevata quantità di difetti (stati interfacciali e/o carica fissa intrappolata).

Per primo analizziamo i dati relativi al dispositivo con $L = 1\mu m$ mostrati in fig.4.25 in cui non si osserva alcun incremento della transconduttanza : assumendo la presenza di due regioni ai bordi del canale con carica positiva e stessa estensione, utilizzando sempre simulazioni numeriche, si osserva che variando la dimensione di tale regioni l'incremento della transconduttanza rimane presente fintantoché l'estensione è $\leq 400nm$. Come risultato quindi l'estensione dovrà essere $\geq 400nm$ dal momento che sperimentalmente non si osserva un incremento della transconduttanza (fig.4.25). In seguito abbiamo analizzato una coppia di caratteristiche di trasferimento ottenute dopo lo stress in regime di SH, relative a due dispositivi TFT con $L = 2\mu m$ e $L = 6\mu m$ e selezionate in modo di avere una simile variazione della tensione di soglia V_T . I dati relativi alla distribuzione degli stati interfacciali lungo il canale e della carica ai bordi del canale utilizzati per le simulazioni dopo lo stress in regime di SH per $L = 2\mu m$ ed $L = 6\mu m$ sono riportati nella figura 4.29. In questo caso quindi ci aspetteremo di avere per questi due dispositivi una simile distribuzione di carica fissa e/o stati interfacciali sia lungo il canale che ai bordi. Come può essere osservato dalla figura 4.30, utilizzando dei parametri per gli stati interfacciali distribuiti lungo il canale e per la carica intrappolata ai bordi del tutto simili e considerando l'appropriata distribuzione del campo elettrico trasverso (la quale è diversa per i due dispositivi in seguito alla differenza nelle geometrie e condizioni di stress) è stato possibile riprodurre accuratamente sia le due caratteristiche elettriche sia le variazioni della transconduttanza con un estensione pari a $400nm$ dopo lo stress in regime di SH. E' interessante notare dalla figura 4.30 che mentre estensioni minori di $400nm$ conducono ad una sovrastima del valore della G_m ottenuto sperimentalmente, estensioni maggiori di

400nm conduco ad una sottostima del valore della G_m . Questo risultato è in accordo con l'analisi per il dispositivo con $L = 1\mu m$. Da questi risultati possiamo quindi affermare che l'instabilità osservata in questo tipo dispositivi è strettamente legata alla presenza di specie chimiche legate all'acqua che possono diffondere a ridosso dell'interfaccia isolante/semiconduttore penetrando lateralmente dai due terminali di source e drain. Tale effetto potrebbe essere favorito dai difetti che si vengono a creare durante il processo di impiantazione ionica causando quindi una diffusione di molecole principalmente lungo i bordi del canale. Dal momento che tale instabilità è stata essere fortemente influenzata dalla presenza di molecole di acqua, crediamo quindi questo sia la causa dell'origine di carica positiva intrappolata principalmente lungo i bordi del canale. Possiamo quindi concludere questo capitolo affermando che l'instabilità elettrica in regime di "self-heating" può influenzare pesantemente le caratteristiche elettriche e dipendere in alcune architetture di dispositivi dalla presenza di specie chimiche legate all'acqua. Attraverso i modelli fin qui proposti siamo stati in grado di riprodurre le caratteristiche elettriche mediante simulazioni numeriche dopo tali condizioni di polarizzazione, e quindi comprendere più in dettaglio tale fenomenologia in differenti tipi di architetture di dispositivi.

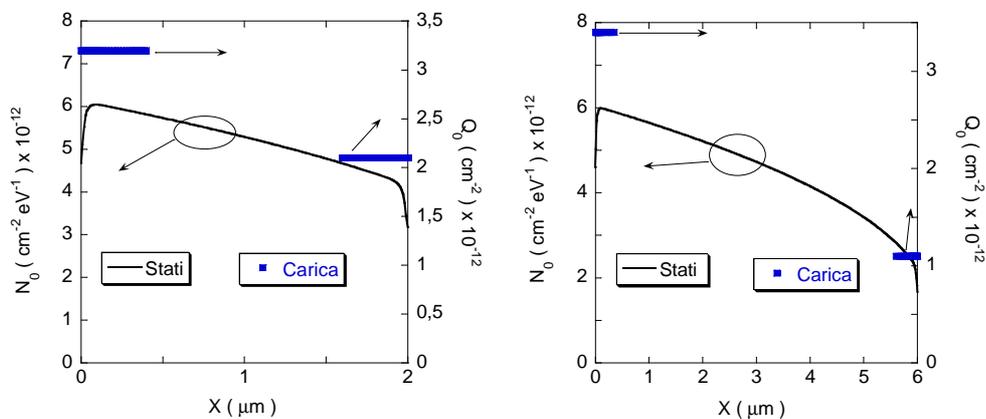


Figura 4.29: Distribuzione lungo il canale del prefattore, $N_0(x)$, relativo alla distribuzione di stati interfacciali, e della carica $Q_0(x)$, utilizzati nelle simulazioni ed ottenuti dalla riproduzione delle caratteristiche sperimentali dopo gli stress in regime di SH per $L = 2\mu m$ e $L = 6\mu m$ indicata in fig.4.30.

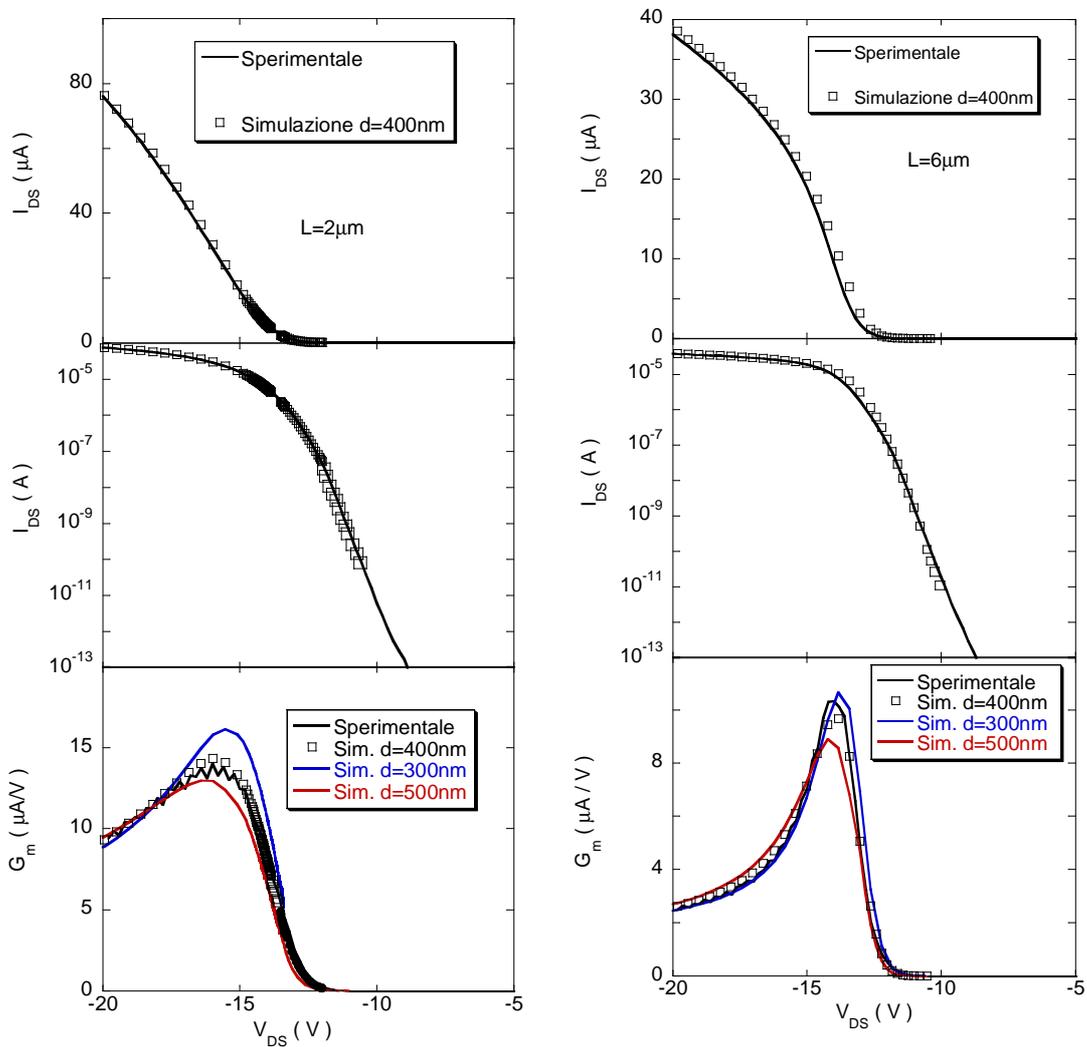


Fig.4.30: Caratteristiche di trasferimento in scala lineare,logaritmica e transconduttanza G_m di due dispositivi SA TFT misurati a $V_{DS} = -0.1V$, dopo lo stress in regime di SH. Condizioni di stress per $L = 6\mu\text{m}$ (1000s con $V_{GS,stress} = -15V$ e $V_{DS,stress} = -9V$) e per $L = 2\mu\text{m}$ (5120s con $V_{GS,stress} = -15V$ e $V_{DS,stress} = -5.6V$). Nei grafici sono indicate anche le simulazioni con estensione delle regioni ai bordi del canale pari a 400nm che riproducono bene i dati sperimentali ed altre simulazioni con estensioni diverse.

Tabella I: Lista dei parametri utilizzati nelle simulazioni.

Energia caratteristica stati tipo accettore profondi (deep)	$E_{ad} = 90meV$
Energia caratteristica stati tipo donore profondi (deep)	$E_{dd} = 1eV$
Energia caratteristica stati tipo accettore di coda (tail)	$E_{at} = 30meV$
Energia caratteristica stati tipo donore di coda (tail)	$E_{dt} = 80meV$
Densità di stati profondi di tipo accettore al limite della banda di conduzione	$N_{ad} = 4.8 * 10^{18} cm^{-3} / eV$
Densità di stati profondi di tipo donore al limite della banda di valenza	$N_{dd} = 0.4 * 10^{18} cm^{-3} / eV$
Densità di stati di coda di tipo accettore al limite della banda di conduzione	$N_{at} = 8.7 * 10^{19} cm^{-3} / eV$
Densità di stati di coda di tipo donore al limite della banda di valenza	$N_{ad} = 1.2 * 10^{19} cm^{-3} / eV$
Mobilità elettroni in banda di conduzione	$\mu_n = 259 cm^2 / Vs$
Mobilità lacune in banda di valenza	$\mu_p = 130 cm^2 / Vs$
Sezioni d'urto per gli stati neutri nella gap	$\sigma_n = 4 * 10^{-16} cm^{-2}$
Sezioni d'urto per gli stati carichi nella gap	$\sigma_c = 4 * 10^{-14} cm^{-2}$
Coefficiente della ionizzazione da impatto per gli elettroni	$\alpha_n = 1.5 * 10^7 cm^{-1}$
Campo critico nella ionizzazione da impatto per gli elettroni	$F_n = 1.6 * 10^6 V / cm$
Drogaggio attivato zona N*	$3.75 \times 10^{19} cm^{-3}$

Bibliografia

- [1] D.K. Schroder, J.A. Babcock, “Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing”, JAP, vol.94, pp.1-17, 2003.
- [2] M. Makabe, T. Kubota, and T. Kitano, IEEE Int. Reliability Phys. Symp. vol.38, p.205, 2000.
- [3] B.S. Doyle, B. J. Fishbein, and K.R. Mistrà, IEEE IEDM, p.529, 1991.
- [4] B.E. Deal, M. Sklar, A.S. Grove, and E.H. Snow, J. Electrochem. Soc., vol.114, p.266, 1967.
- [5] B.E. Deal, J. Electrochem. Soc., vol.121, p.198C, 1974.
- [6] A. Goetzberger, A.D. Lopez, and R.J. Strain, J. Electrochem. Soc., vol.120, p.90, 1973.
- [7] K. Onishi, C.S. Kang, R. Choi, H. J. Cho, S. Gopalan, R. Nieh, E. Dharmarajan, and J. C. Lee, IEEE IEDM, p.659, 2001.
- [8] M.L. Reed, and J.D. Plummer, J. Appl. Phys., vol.63, p.5776, 1998.
- [9] S.N. Rashkeev, D.M. Fleetwood, R.D. Schrimpf, and S.T. Pantelides, IEEE Trans. Nucl. Sci., vol.48, p.2086, 2001.
- [10] D.B. Brown, and N.S. Saks, JAP, vol.70, p.3734, 1991.
- [11] C. Schlunder et al., Microelectron. Reliab., vol.39, p.821, 1999.
- [12] K.O. Jeppson and C.M. Svenson, JAP, vol.48, p.2004, 1977.
- [13] S. Ogawa, M. Shimaya, and N. Spiono, JAP, vol.77, p.1137, 1995.
- [14] N. Kimizuka, K. Yamaguchi, K. Imai, T. Iizuka, C.T. Liu, R.C. Keller, and T. Horiuchi, IEEE VLSI Symposium, p.92, 2000.
- [15] K.Sasada, M.Arimoto, H. Nagasawa, A. Nishida, H. Aoe, T. Dan, S. Fujiwara, Y. Matsushita, and K. Yodoshi, Microelectron. Test Struct., p.207, 1998.
- [16] C.E. Blat, E.H. Nicollian, and E.H. Poindexter, JAP, vol.69, p.1712, 1991.
- [17] C.R. Helms, and E.H. Poindexter, Rep. Prog. Phys., vol.57, p.791, 1994.
- [18] S.D. Brotherton, D.J. McCulloch, J.P. Gowers, J.R. Ayres, M.J. Trainor, JAP, vol.82, p.4086, 1997.
- [19] J.H. Stathis, S. Zafar, Microelectron. Reliab. vol.46, p.270, 2006.

- [20] V. Reddy, A.T. Krishnan, A. Marshall, J. Rodriguez, S. Natarajan, T. Rost, S. Krishnan, IEEE Int. Rel. Symp, vol.40, p.248, 2002.
- [21] G. Fortunato, P. Migliorato, JAP vol.68, p.2463, 1990.
- [22] A. Valletta, A. Moroni, L. Mariucci, A. Bonfiglietti, G. Fortunato, APL, vol.89, 093509, 2006.
- [23] S.D. Brotherton, S.-G. Lee, C. Glasse, J.R. Ayres, C. Glaister, Proceedings of the IDW'02, Hiroshima, Japan, 4-6 December, p.283, 2002.
- [24] P.Gaucci, A. Valletta, L. Mariucci, G. Fortunato, and S.D. Brotherton, IEEE TED, vol.53, p.573, 2006.
- [25] N.D. Young, and A. Gill, Semicond. Sci. Technol. vol.7, p.1103. 1992.
- [26] G. Fortunato, G. Tallarida and A. Pecora, Solid State Phenomena 37-38, 583, 1994.
- [27] L. Mariucci, A. Valletta, P. Gaucci, G. Fortunato, F. Templier APL 89, pag. 183518, 2006.

Capitolo 5

Effetti di canale corto

La richiesta di prestazioni sempre più elevate nei dispositivi elettronici ha spinto la ricerca verso lo studio di quei fenomeni fisici in grado di limitare tali prestazioni, infatti per avere frequenze di lavoro molto elevate bisogna realizzare transistor con ridotte lunghezze di canale L ed elevate mobilità μ_{fe} . Ma se la riduzione di L , non è accompagnata anche dalla modifica delle altre grandezze caratteristiche del dispositivo (spessore dell'ossido t_{ox} , dimensioni delle zone di svuotamento, ecc), ciò porta alla nascita di alcuni effetti indesiderati, indicati sotto il nome comune di “effetti di canale corto”. Tali effetti tendono a degradare le caratteristiche elettriche dei dispositivi, così che parte della teoria sviluppata finora dovrà essere modificata. Inoltre nei TFT al ridursi delle dimensioni del canale alcuni effetti come la ionizzazione da impatto e i meccanismi “field enhanced” possono anche giocare un ruolo molto importante, modificando ulteriormente le caratteristiche elettriche. Per questa serie di ragioni nella prima parte del capitolo andremo ad introdurre in dettaglio sia la teoria sull'effetto di canale corto, sviluppata inizialmente nei MOSFET, ed anche lo studio dei meccanismi “field enhanced” (responsabili della corrente di off nei TFT). In seguito vedremo come tali effetti possano interagire tra loro in TFT con lunghezza di canale molto piccola ed anche al ridursi dello spessore dell'ossido, una delle caratteristiche costruttive del transistor sfruttata proprio per ridurre gli effetti di canale corto.

5.1 Effetti di canale corto nei MOSFET

L'effetto di canale corto corrisponde ad una diminuzione della tensione di soglia con la riduzione della lunghezza di canale e ad un degrado delle caratteristiche elettriche nella regione di sottosoglia[1]. Un esempio per la V_T è mostrato in figura 5.1 a,b per dispositivi a canale n ed a canale p.

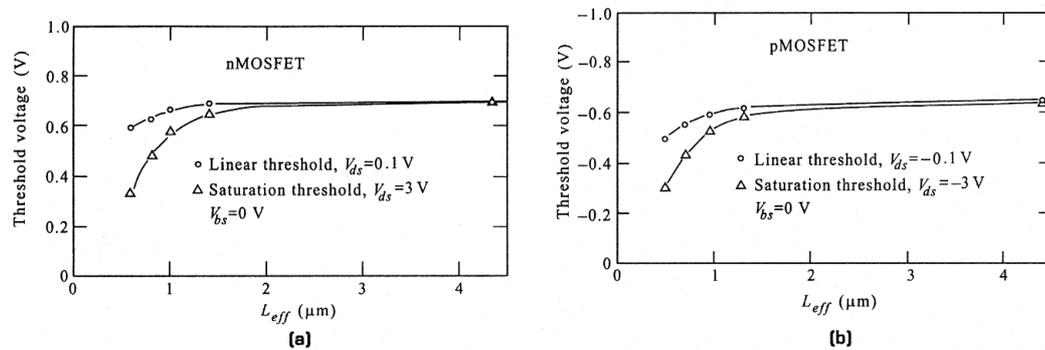


Figura 5.1: Andamento della tensione di soglia misurato in funzione della lunghezza di canale per due differenti V_{DS} . (a) MOSFET a canale n (b) MOSFET a canale p[2].

Si può osservare che quando la lunghezza di canale L si riduce a dimensioni minori di $\approx 2\mu\text{m}$ si nota una apprezzabile riduzione della V_T . In figura 5.2 sono riportate in dettaglio le caratteristiche elettriche nella regione di sottosoglia di un dispositivo MOSFET per due valori del drogaggio N_B .

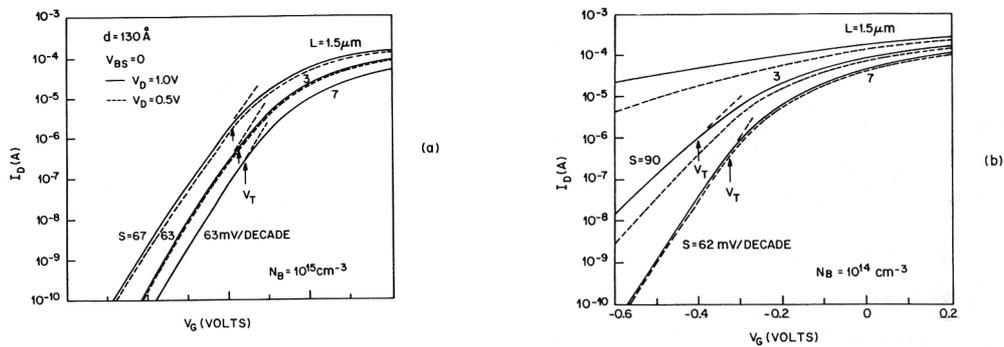


Figura 5.2: Caratteristiche elettriche nella regione di sottoglia per varie lunghezze di canale e per due diversi livelli di drogaggio (a) $N_B = 10^{15} \text{ cm}^{-3}$. (b) $N_B = 10^{14} \text{ cm}^{-3}$ [1].

Dalla figura 5.2a possiamo notare che il dispositivo con lunghezze di canale $L = 7 \mu\text{m}$ mostra un andamento a canale lungo, cioè una indipendenza della corrente di sottoglia I_{DS} dalla tensione V_{DS} . Quando L tende a ridursi ($3 \mu\text{m}$) inizia ad esserci una leggera dipendenza della I_{DS} dalla V_{DS} che si fa più marcata quando la lunghezza di canale raggiunge il valore minimo di $1.5 \mu\text{m}$. In questo ultimo caso, si osserva sia una variazione della V_T (determinata come intercetta per $V_{GS} = 0$ delle caratteristiche lineari $I_{DS} - V_{GS}$), sia una variazione della S (pendenza di sottoglia) per le due V_{DS} . Le differenze osservate diventano molto più marcate andando ad esaminare la figura 5.2b in cui si ha un drogaggio minore N_B . In questo caso, quando $L = 7 \mu\text{m}$, si osserva quasi lo stesso comportamento di un dispositivo a canale lungo, mentre quando la lunghezza di canale diminuisce fino a raggiungere valori di $L = 1.5 \mu\text{m}$ si ha una forte aumento sia della corrente I_{DS} sia della S ; quindi, per lunghezze di canale così brevi, il comportamento del dispositivo è totalmente diverso da quello a canale lungo. Per determinare quando un dispositivo possa comportarsi come uno a canale lungo sono state fatte molte misure su dispositivi MOSFET con differenti spessori di ossido, differenti drogaggi e variando altre caratteristiche è stata ottenuta la relazione empirica [1]:

$$L_{\min} = 0.4 \left[r_j d (W_s + W_D)^2 \right]^{1/3} = 0.4 (\gamma)^{1/3} \quad (5.1)$$

dove

r_j = profondità delle giunzioni

d = spessore dell'ossido

$W_s + W_D$ = somma delle ampiezze delle zone di svuotamento di *source edrain*

dove $W_{D,S} = \sqrt{\frac{2\epsilon_s}{qN_A} (V_{D,S} + V_{bi} + V_{BS})}$

con V_{BS} = polarizzazione applicata al substrato

Questa espressione per L_{\min} rappresenta, quindi, la minima lunghezza di canale per il quale il dispositivo si comporta come uno a canale lungo ed il tutto, comparato con i risultati sperimentali, è riportato in figura 5.3.

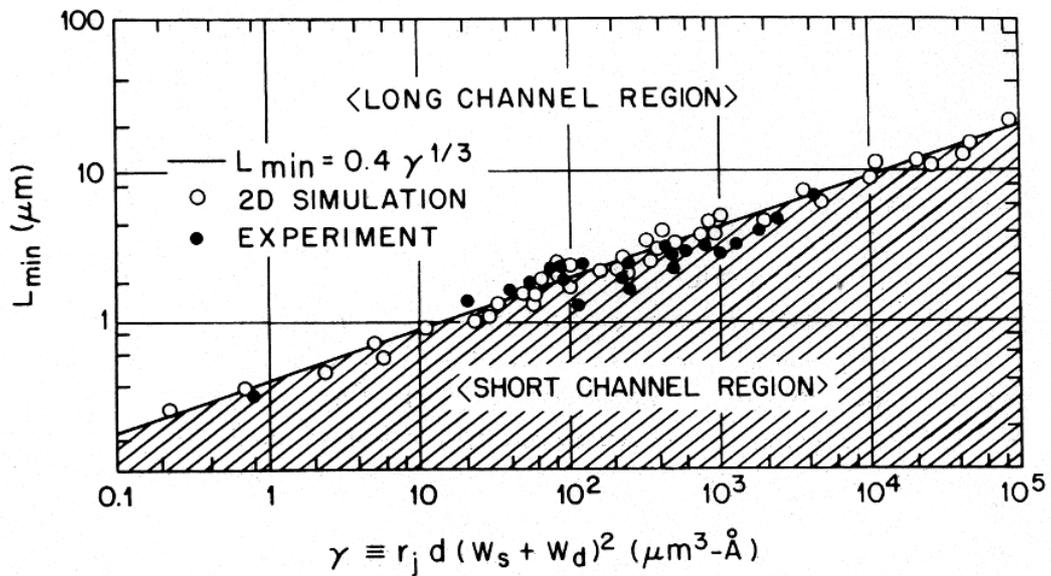


Figura 5.3: Lunghezza di canale min. in funzione di γ . Confronto tra dati sperimentali e teorici [1].

Quindi l'equazione 5.1 può servire come punto di partenza nella miniaturizzazione dei dispositivi MOSFET. Per capire cosa accade fisicamente in un dispositivo con lunghezza di canale molto ridotta, andiamo ad esaminare in figura 5.4 a,b come varia il potenziale, calcolato attraverso delle simulazioni, nella regione di svuotamento in due dispositivi: uno a canale lungo e l'altro a canale corto.

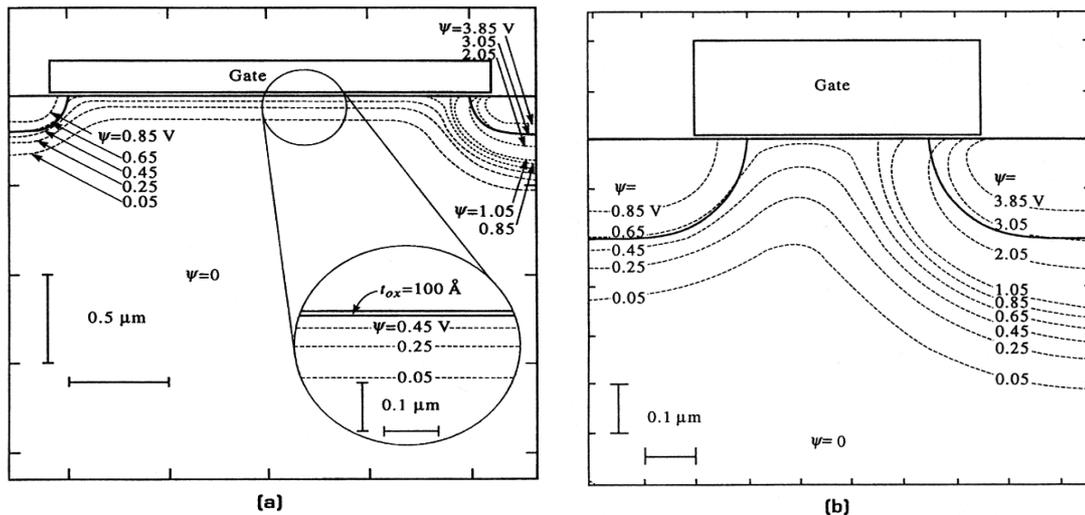


Figura 5.4: Simulazioni dell'andamento del potenziale in un dispositivo a canale lungo (a) e canale corto (b). Le linee solide indicano le giunzioni di *source* e *drain* mentre le linee tratteggiate indicano le zone a potenziale costante. $V_{DS} = 3V$ $V_{GS} = 5V$ [2].

Nel caso di canale "lungo" (figura 5.4a) possiamo vedere che le curve, in cui il potenziale rimane costante, sono parallele all'interfaccia *Si-SiO₂* cioè all'asse delle *y* per un lungo tratto del dispositivo, così che il campo elettrico può essere trattato in modo unidimensionale e questo giustifica l'utilizzo di alcune approssimazioni tipo quella di canale graduale utilizzata come punto di partenza per lo studio dei MOSFET. La cosa è abbastanza diversa nel caso della figura 5.4b in cui la lunghezza di canale è confrontabile con le ampiezze delle zone di svuotamento di *source* e *drain*. In questo caso le curve a potenziale costante hanno un andamento più curvilineo e la distribuzione del potenziale nel canale dipende sia dal campo elettrico trasverso E_x (controllato dalla tensione di *gate*), che dal campo longitudinale E_y (controllato dalla tensione di *drain*). Non è, quindi, possibile applicare l'approssimazione di canale graduale, perché si ha una distribuzione del potenziale, bidimensionale. Possiamo anche notare che, in un transistor a canale corto per

una data tensione di gate , aumenta l'incurvamento delle bande (elevati ψ) all'interfaccia $Si-SiO_2$ rispetto ad uno a canale lungo e, inoltre, che la zona di svuotamento è più ampia rispetto al transistor a canale lungo; per tali motivi si ha una diminuzione della tensione di soglia in un transistor a canale corto. Un modello adatto a descrivere questo effetto è il modello a carica condivisa [3]. Nel caso un transistor a canale lungo, la tensione di soglia è ottenuta applicando il principio di conservazione di carica alla regione di *gate* e alla regione del semiconduttore. Possiamo quindi scrivere :

$$Q_M + Q_0 + Q_S + Q_B = 0 \quad (5.2)$$

dove Q_M è la carica nel *gate* metallico, Q_0 include la carica fissa nell'ossido, Q_S è la carica dovuta alla concentrazione dei portatori liberi alla superficie del semiconduttore e Q_B è la carica fissa dovuta alle impurezze ionizzate nella regione di deplezione. Per un transistor a canale p l'espressione 5.2 può essere espressa in termini delle tensioni

$$V_{GS} = V_{FB} + \psi_S - Q_B / C_{OX} \quad (5.3)$$

dove V_{GS} è la tensione di gate, V_{FB} è la tensione di bande piatte, ψ_S è il potenziale superficiale e C_{OX} è la capacità dell'ossido per cm^2 . Se uso il criterio normalmente usato per lo stato di accensione di un transistor ($\psi_S = 2\phi_F = 2\psi_B$ o condizione di forte inversione) l'espressione per la tensione di soglia diventa:

$$V_T = V_{FB} + 2\psi_B - Q_B / C_{OX} \quad (5.4)$$

Questa equazione è valida se la lunghezza del canale è notevolmente maggiore della profondità delle giunzioni di *source* e *drain*. L'effetto del termine Q_B , nell'espressione 5.4 è quello di variare la tensione di soglia, ma nel caso di un dispositivo a canale corto,

l'effetto è minore perché vicino ai due bordi del canale alcune delle linee del campo, che si originano nella zona di svuotamento, terminano nelle due isole p^+ (vedi figura 5.5).

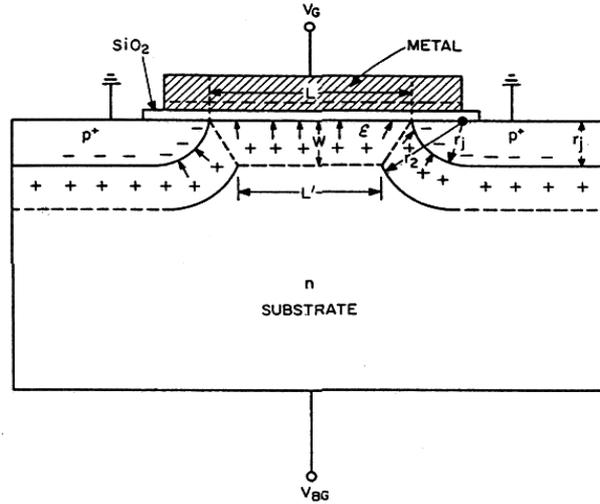


Figura 5.5: Modello di un MOSFET per il calcolo della tensione di soglia[3].

Perciò, in un transistor a canale corto, la tensione di soglia V_T è più bassa di quella ottenibile dalla relazione 5.4. Nella nostra analisi, per ottenere una semplice espressione della tensione di soglia, prenderemo in considerazione solo gli effetti di “bordo” prodotti dalla carica Q_B perché nell’equazione 5.3 la tensione V_{FB} è determinata dalla differenza delle funzioni lavoro tra metallo e semiconduttore e dalla carica fissa nell’ossido; queste grandezze, infatti, sono costanti sotto la regione di canale. Per includere le profondità di giunzione di *source* e *drain* nella V_T , assumiamo che le due isole p^+ abbiano bordi cilindrici di raggio r_j uguale alle profondità delle stesse isole. Nelle metà del canale, l’ampiezza della zona svuotata sarà:

$$W = \sqrt{\left[\frac{2K_s \epsilon_0}{qN_D} (2\psi_B + V_{BG}) \right]} \quad (5.5)$$

Per quanto riguarda le linee del campo, quelle che si originano dentro la regione trapezoidale terminano all’interno del canale, mentre le altre linee, che hanno origine nella

regione di svuotamento, terminano nelle isole p^+ . Facendo considerazioni di tipo geometrico, possiamo determinare la carica all'interno della zona trapezoidale:

$$Q_B' L = q N_D W \left(\frac{L + L'}{2} \right) \quad (5.6)$$

Questa carica Q_B' genera un potenziale superficiale non uniforme lungo il canale, quindi è molto difficile definire un potenziale superficiale relativo ad una certa tensione di soglia. Per evitare questa difficoltà, facciamo un'altra approssimazione, che consiste nel considerare l'effetto di Q_B' sul potenziale superficiale, uniforme lungo tutto il canale. In questo caso l'espressione 5.4 diventa

$$V_T = V_{FB} - 2\psi_B - \frac{Q_B}{C_{OX}} \left[1 - \left(\sqrt{\left(1 + \frac{2W}{r_j} \right) - 1} \right) \frac{r_j}{L} \right] \quad (5.7)$$

dove abbiamo usato la relazione ricavata tramite considerazioni trigonometriche

$$\frac{L + L'}{2L} = 1 - \left(\sqrt{\left(1 + \frac{2W}{r_j} \right) - 1} \right) \frac{r_j}{L} \quad (5.8)$$

L'equazione 5.7 ha la stessa forma dell'espressione precedente (5.4) ma con Q_B sostituito con Q_B' . Nelle figure 5.6 a,b possiamo vedere come varia la tensione di soglia in funzione della lunghezza di canale per varie profondità di giunzione r_j e per vari drogaggi N_D , mentre in figura 5.7 viene mostrato un confronto tra dati teorici, ottenuti utilizzando l'espressione 5.7 e i dati sperimentali.

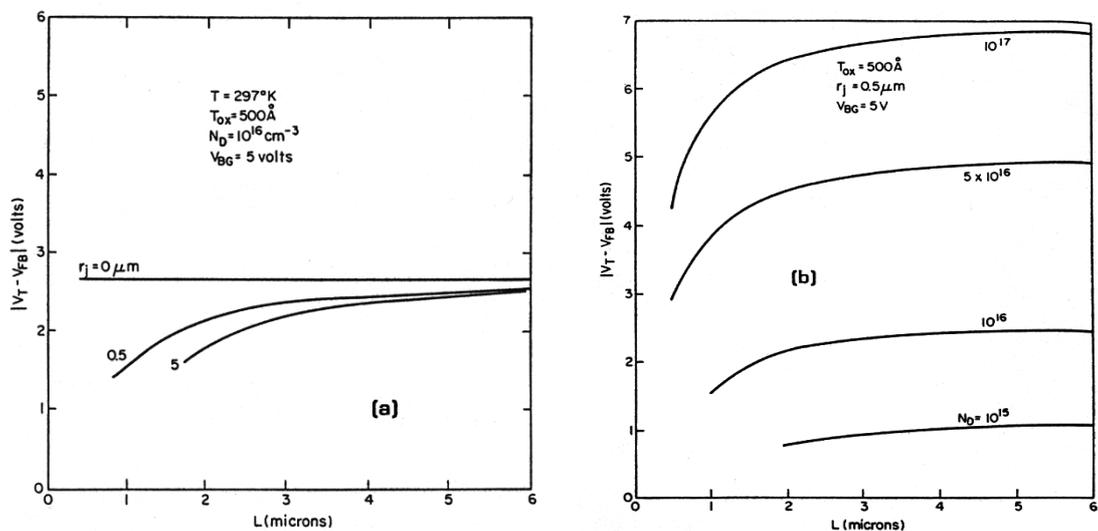


Figura 5.6: Andamento teorico della tensione di soglia in funzione della lunghezza di L per varie profondità di giunzione r_j (a) e per vari drogaggi N_D (b) [3].

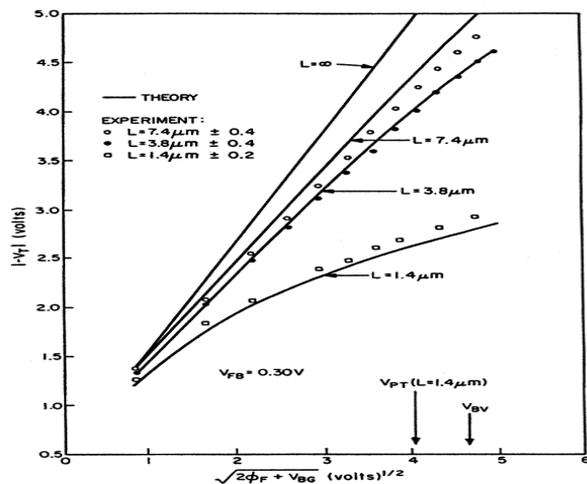


Figura 5.7: Confronto tra dati sperimentali e teorici dell'andamento della tensione di soglia per varie lunghezze di canale [3].

Nonostante questo modello non produca risultati quantitativamente molto accurati, viene spesso usato per stimare la variazione della tensione di soglia e, come aiuto, nel visualizzare le basi fisiche della variazione della tensione di soglia quando L diminuisce.

Un modello più rigoroso per capire gli effetti di canale corto è quello che va sotto il nome DIBL (Drain Induced Barrier Lowering)[4][5] che cerca di determinare la variazione del

potenziale lungo la zona di canale all'interfaccia tra $Si - SiO_2$ risolvendo l'equazione di Poisson con opportune approssimazioni. Per avere un'idea qualitativa di quello che accade possiamo vedere la figura 5.8.

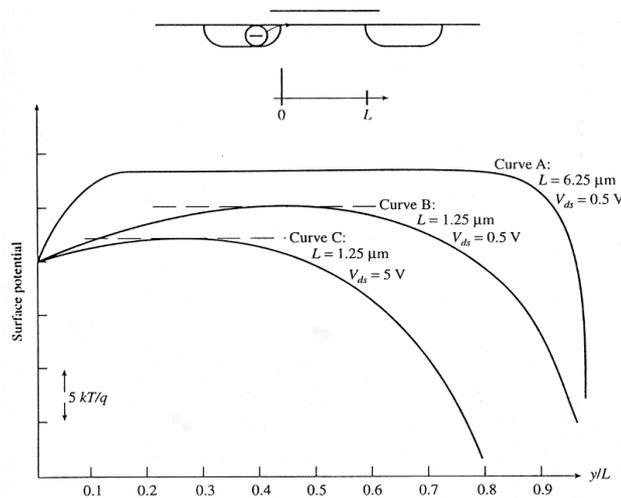


Figura 5.8: Schema del potenziale superficiale in funzione della distanza dal source al drain (normalizzata alla lunghezza del canale L), (a) per dispositivo a canale “lungo”, (b) a canale corto con bassa tensione V_{DS} , (c) a canale corto ed elevata tensione V_{DS} . La tensione V_{GS} è la stessa nei tre casi [3].

Dalla figura (curva A figura 5.8) osserviamo che, nel caso di un dispositivo a canale lungo, la barriera di potenziale è piatta per gran parte della lunghezza di canale e i contatti di *source* e *drain* possono solo interferire con questa barriera ai due bordi del canale. In questo caso, quindi, è lecito usare una descrizione di tipo unidimensionale. Come la lunghezza del canale viene diminuita (curva B figura 5.8), i campi associati al *source* e al *drain* possono penetrare profondamente nella zona centrale del canale abbassando la barriera di potenziale. Questo causa un incremento sostanziale sia della corrente di sottosoglia che della pendenza di sottosoglia S ; in altre parole la tensione di soglia diventa più bassa rispetto al caso di canale lungo. In tale caso la regione dove la barriera di potenziale raggiunge il suo massimo, è sempre nelle vicinanze del centro della zona di canale come possiamo vedere dalla figura 5.8. Se in più, applico un tensione V_{DS} più elevata al dispositivo a canale corto (figura 5.8 curva C), la barriera di potenziale viene ulteriormente abbassata ed il risultato è un nuovo aumento della corrente di sottosoglia, cioè una ulteriore diminuzione della tensione di soglia. In questo caso la zona dove la

barriera raggiunge il massimo non è più al centro del canale, ma viene traslata verso il contatto di *source*. Questo effetto è indicato come il nome di *drain-induced barrier lowering (DIBL)*. Un'analisi quantitativa di questo *DIBL* si ottiene, risolvendo le equazioni di Poisson con delle opportune semplificazioni per determinare l'andamento del potenziale lungo il canale. Un'approssimazione possibile è quella di scrivere l'equazione di Poisson come:

$$\frac{\epsilon_S d_{\max}}{\eta} \frac{dF_y(y)}{dy} + \epsilon_{OX} \frac{[V_T - V_{FB} - \psi_{surf}(y)]}{t_{OX}} = qN_{SUB} d_{\max} \quad (5.9)$$

$$\frac{\epsilon_S d_{\max}}{\eta} \frac{d^2 \psi_{surf}(y)}{dy^2} + \epsilon_{OX} \frac{[V_T - V_{FB} - \psi_{surf}(y)]}{t_{OX}} = qN_{SUB} d_{\max} \quad (5.10)$$

dove

ϵ_S = costante dielettrica del semiconduttore

ϵ_{OX} = costante dielettrica dell'ossido

V_{FB} = tensione di bande piatte

t_{OX} = spessore dell'ossido

d_{MAX} = ampiezza massima della zona di svuotamento del canale

N_{SUB} = drogaggio del substrato

Il secondo termine dell'espressione è un'approssimazione del termine $\frac{\partial F_x}{\partial x}$ nell'equazione di Poisson bidimensionale. La soluzione dell'equazioni, $\psi_{surf}(y)$, ottenibile imponendo le condizioni al contorno $\psi_{surf}(0) = V_{bi}$ e $\psi_{surf}(L) = V_{DS} + V_{bi}$ è:

$$\psi_{surf}(y) = V_{SL} + (V_{bi} + V_{DS} - V_{SL}) \frac{\sinh(y/L)}{\sinh(L/l)} + (V_{bi} - V_{SL}) \frac{\sinh((L-y)/l)}{\sinh(L/l)} \quad (5.11)$$

con

$$V_{SL} = V_{GS} - V_T$$
$$l = \sqrt{\frac{\epsilon_S t_{OX} d_{MAX}}{\epsilon_{OX} \eta}}$$

Ora l'equazione 5.11 può essere risolta per un sufficiente numero di punti tra $y = 0$ ed $y = L$ ottenendo un andamento del potenziale simile a quello mostrato in figura 5.8.

Partendo dall'espressione 5.11 posso anche determinare anche l'andamento della tensione di soglia che, nel caso di $V_{DS} < V_{GS}$ è:

$$V_T = [2(V_{bi} - 2\psi_B) + V_{DS}] (e^{-L/2l} + 2e^{-L/l}) \quad (5.12)$$

5.2 Corrente di off del transistor e meccanismi “field enhanced”

Nella regione di spegnimento del transistor, a tensioni di gate V_{GS} negative (per transistor a canale n), la corrente è dovuta ad alcuni effetti che assumono pesi e quindi rilevanza diversa a seconda della condizione di polarizzazione e della temperatura di funzionamento. Tali meccanismi possono suddividersi in due famiglie:

- ◆ Generazione e ricombinazione termica di carica libera (elettroni e lacune) mediante stati di trappola all'interno della gap di energia proibita del silicio policristallino (teoria SRH).
- ◆ Generazione di portatori assistita da campo elettrico, “field enhanced”.

Quest'ultima è dovuta agli elevati campi elettrici presenti alla giunzione di drain, che in regime di off è polarizzata in inversa ed è proporzionale alla tensione di gate V_{GS} e alla tensione tra source e drain V_{DS} . I meccanismi che regolano la generazione sono: il *tunneling tra bande* (BBT, band to band tunneling), indipendente dalla densità degli stati di trappola LDOS, il “*Poole-Frenkel*” (PF) e il *tunneling assistito da generazione termica* (TAT, trap assisted tunneling) dipendenti dalla DOS, perché coinvolgono la generazione a partire dagli stati di trappola nella gap. A temperatura ambiente ed elevate tensioni di drain V_{DS} , la corrente di spegnimento è dovuta principalmente alla generazione assistita dal campo elettrico, ed è quindi opportuno analizzare più in dettaglio i tre meccanismi sopra citati.

5.2.1 Effetto Poole-Frenkel

Generalmente le cariche libere intrappolate negli stati di trappola vengono rimesse in banda di conduzione o in banda di valenza se l'energia termica è maggiore dell'energia di ionizzazione E_i , definita come la differenza tra il minimo della banda di conduzione E_C (o il massimo della banda di valenza E_V) e il livello di trappola E_t . L'effetto P.F. consiste in una riduzione pari a ΔE_i dell'energia di ionizzazione E_i in presenza di forti campi elettrici F (vedi fig. 5.9). Questa diminuzione provoca un aumento della probabilità di emissione di un elettrone (una lacuna) dal livello di trappola alla banda di conduzione (valenza). Si ha infatti [6]:

$$P_{em.term.} = A \exp\left(-\frac{E_i - \Delta E_i}{KT}\right) \quad (5.13)$$

dove

A = fattore preesponenziale,

$$\Delta E_i = q \left(\frac{qF}{\pi \epsilon_s} \right)^{\frac{1}{2}}.$$

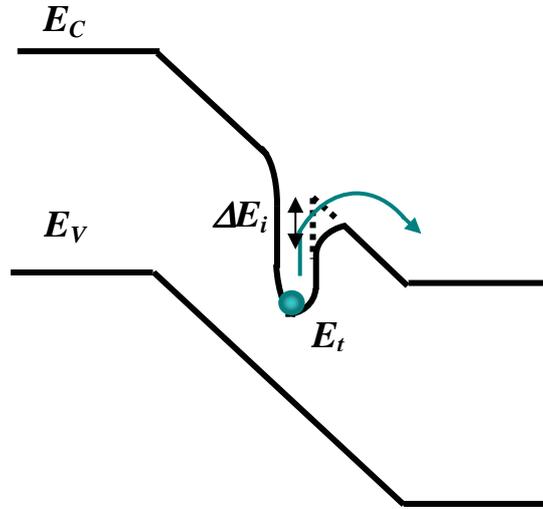


Figura 5.9: Schematizzazione dell'effetto "Poole Frenkel" (PF). In figura è possibile vedere l'abbassamento della barriera ΔE_i .

5.2.2 Tunneling assistito da generazione termica

Questo meccanismo prevede la generazione di elettroni (la stessa cosa vale per le lacune) in banda di conduzione mediante emissione termica da uno stato di trappola ad un livello di energia virtuale E , seguito da tunnel attraverso una barriera triangolare di altezza pari ad $h = E_C - E$ (vedi fig. 5.10). La probabilità associata a questo processo è data dal prodotto delle probabilità di emissione termica e di tunnel [6]:

$$P = P_{em.term.} \times P_{tunnel}$$

con

$$P_{em.term.} = A \exp\left(-\frac{E - E_t}{KT}\right) \quad P_{tunnel} = B \exp\left(-\frac{4}{3} \frac{(2m_e^*)^{\frac{1}{2}} (E_C - E)^{\frac{3}{2}}}{q\hbar F}\right) \quad (5.14)$$

dove

m_e^* = massa efficace dell'elettrone,

B = fattore preesponenziale,

F = campo elettrico.

La probabilità totale si ottiene integrando su tutti i valori di energia E che lo stato virtuale può assumere:

$$P_{TOT} = AB \int_{E_t}^{E_C} \exp\left(-\frac{E - E_t}{KT}\right) \exp\left(-\frac{4}{3} \frac{(2m_e^*)^{\frac{1}{2}} (E_C - E)^{\frac{3}{2}}}{q\hbar F}\right) dE \quad (5.15)$$

Il meccanismo di tunnel assistito da generazione termica è fortemente influenzato dall'effetto "Poole-Frenkel" descritto in precedenza. Infatti il tunnel dal livello di energia virtuale E alla banda di conduzione E_C , aumenta notevolmente al diminuire dell'altezza della barriera $h = E_C - E$. Nel caso di barriera iperbolica si ricava la seguente probabilità:

$$P_{TOT} = AB \int_{E_t}^{E_C} \exp\left(-\frac{E - E_t}{KT}\right) \exp\left\{-\frac{4}{3} \frac{(2m_e^*)^{\frac{1}{2}} (E_C - E)^{\frac{3}{2}} \left[1 - \left(\frac{\Delta E_t}{E_C - E}\right)^{\frac{5}{3}}\right]\right\} dE \quad (5.16)$$

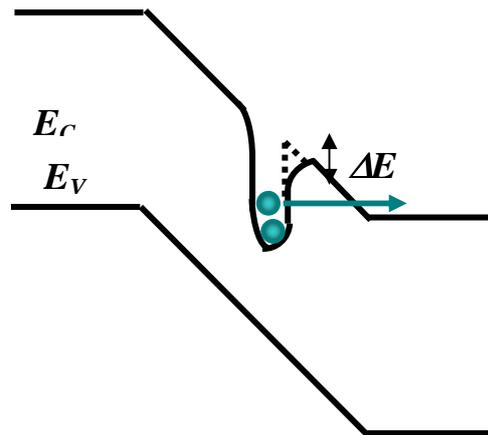


Figura 5.10: Schematizzazione dell'effetto *tunnel assistito da generazione termica* (TAT).

5.2.3 Tunneling tra bande

Per alti campi elettrici occorre considerare la generazione di elettroni e lacune, ad opera del meccanismo di tunneling tra bande (vedi fig. 5.11). La relazione che lega la generazione al campo elettrico è data da [6]:

$$G_{BBT} = -C |F|^{\frac{5}{2}} D(|F|, E) \exp\left(-\frac{F_0}{F}\right) \quad (5.17)$$

F_0 = campo elettrico critico,

F = campo elettrico,

C = fattore preesponenziale,

$D(|F|, E)$ = funzione analitica dipendente dal campo elettrico e dall'energia del portatore.

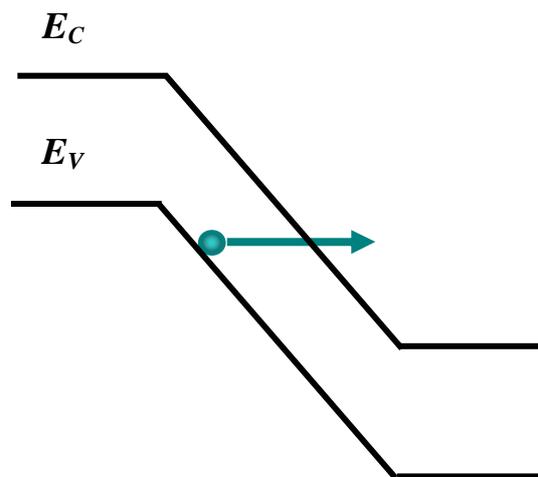


Figura 5.11: Schematizzazione del *tunnel tra bande* (BBT).

L'analisi dettagliata dei diversi contributi alla corrente di leakage è riportato in figura 5.12, per un dispositivo n-channel a temperatura ambiente. Questi risultati sono stati ottenuti attraverso il programma di simulazione bidimensionale HFIELDS, realizzato presso l'università di Bologna, che include i modelli sopra descritti. Come si vede, tutti i meccanismi “field enhanced” contribuiscono simultaneamente alla corrente di OFF; per

campi elettrici elevati ($V_G < -7V$), il meccanismo di generazione dominante è infatti il BBT, mentre per campi elettrici inferiori prevalgono PF e TAT [6].

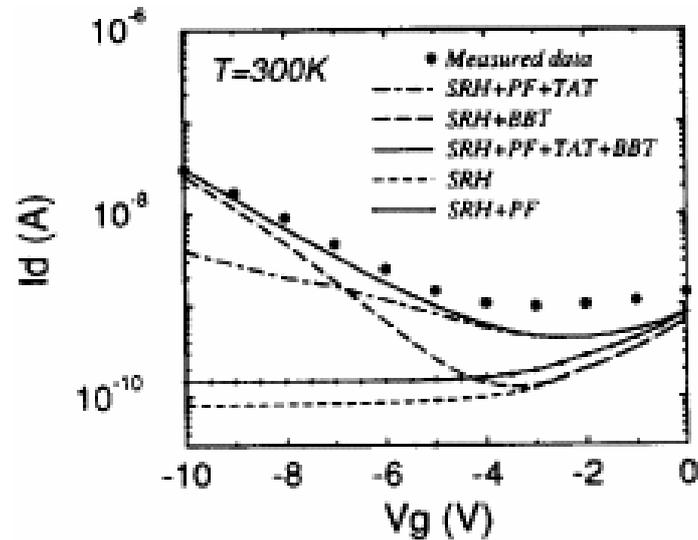


Figura 5.12: Confronto tra i termini che costituiscono la corrente di leakage.

5.3 Effetti di canale corto nei TFT: Ruolo dei meccanismi field-enhanced

5.3.1 Risultati sperimentali

In questo paragrafo verranno riportate le misure fatte su dispositivi TFT S.A. (self-aligned) n-channel per lo studio del ruolo della ionizzazione da impatto e dei meccanismi field-enhanced sulla variazione della tensione di soglia V_T indotta dalla tensione V_{DS} in transistor con lunghezza di canale molto piccola ($L = 0.4\mu m$). I dispositivi utilizzati in questo lavoro sono stati fabbricati dalla Philips Research Laboratory (Redhill, UK) in accordo con il processo riportato in [7] partendo da uno strato spesso 40nm di silicio amorfo utilizzato come precursore, depositato a $300^\circ C$ mediante PECVD (plasma-enhanced chemical

vapour depositino) seguito da una ricristallizzazione mediante laser ad eccimeri e successiva deposizione dell'ossido di gate con spessore 62nm mediante PECVD con miscela di gas di SiH_4 e N_2O . Le regioni di source e drain sono state realizzate mediante impiantazione ionica di Fosforo attraverso l'ossido di gate. L'attivazione del drogante è stata fatta utilizzando un secondo trattamento laser a densità di energia pari a $150-200mJ/cm^2$. In fig. 5.13 sono riportate le caratteristiche di trasferimento misurate a diversi V_{DS} e dai dati appare evidente una sostanziale dipendenza dalla tensione di V_{DS} .

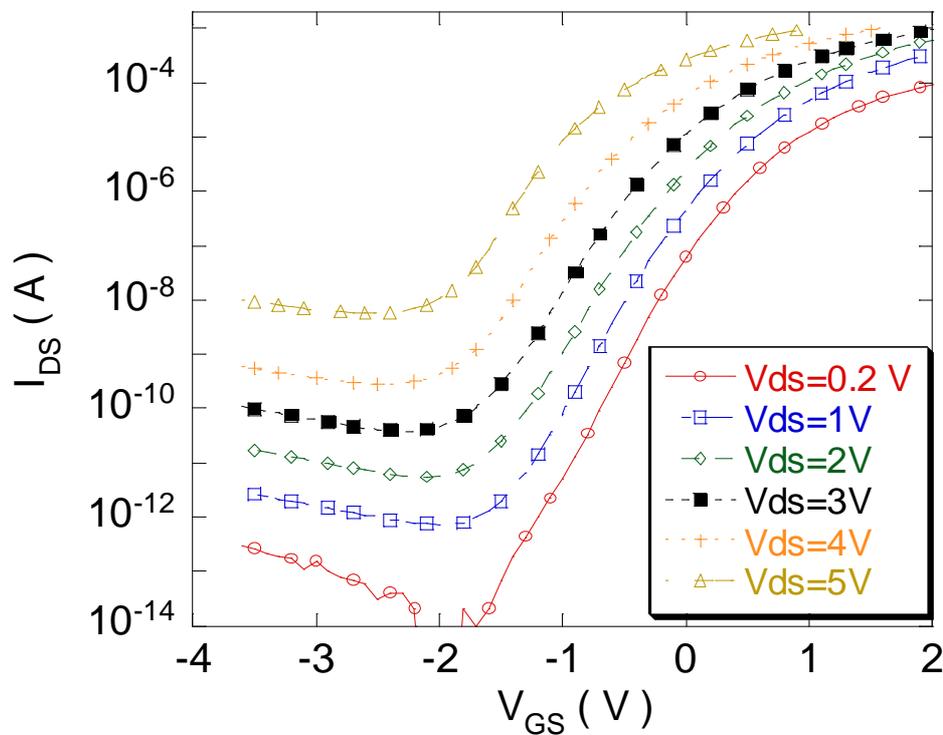


Figura 5.13: Caratteristiche di trasferimento misurate a differenti V_{DS} (come indicato) per un TFT con $L = 0.4\mu m$ e $W = 50\mu m$.

Questo risultato diventa più evidente nella figura 5.14(a) e (b) in cui sono mostrate le caratteristiche $I_{DS} - V_{DS}$ in regime di off e di sottosoglia. Inoltre definendo la tensione di soglia V_T come la tensione di gate al quale $I_{DS} = W/L \times 10^{-7} A$, in fig.5.15 è riportato

l'andamento della V_T al variare del V_{DS} per transistor con canale "corto" ($L = 0.4\mu m$) e per riferimento per un transistor a canale "lungo" ($L = 20\mu m$).

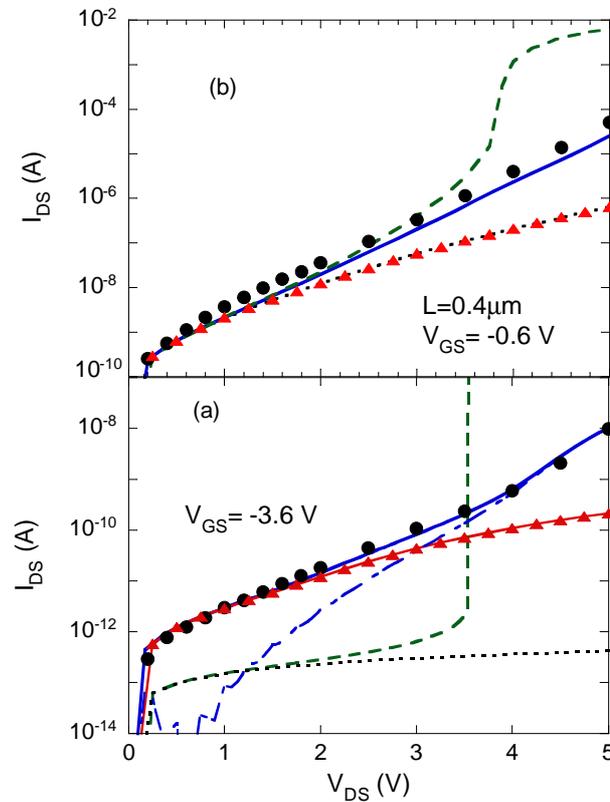


Figura 5.14a,b: Caratteristiche di uscita sperimentali (\bullet) misurate in regime di off (a) e in regime si sottosoglia (b). Sono anche mostrate le caratteristiche simulate che includono sia i meccanismi FE e II (linea continua blu), solo i meccanismi FE (\blacktriangle), solo la II (linea tratteggiata verde), con tutti i meccanismi spenti (linea punteggiata nera). Infine nella figura a è presente la curva tratteggiata blu ottenuta come differenza tra la linea continua blu (simulazioni con FE e II attivati) e la linea con i triangoli (simulazioni con solo FE attivati).

Come può essere osservato dalla figura 5.15 mentre nel caso del dispositivo a canale lungo non si osserva nessuna dipendenza della tensione di soglia dalla tensione V_{DS} , nei dispositivi a canale corto tale dipendenza è molto evidente con una forte riduzione della V_T all'aumentare della tensione V_{DS} , simile a quello osservato nei MOSFET di silicio cristallino. Per tentare di studiare il ruolo che hanno la ionizzazione da impatto e i meccanismi "field-enhanced sulla variazione della V_T in dispositivi a canal corto, effetti

assenti sui MOSFET di silicio cristallino, utilizzeremo le simulazioni numeriche riportate nel prossimo paragrafo.

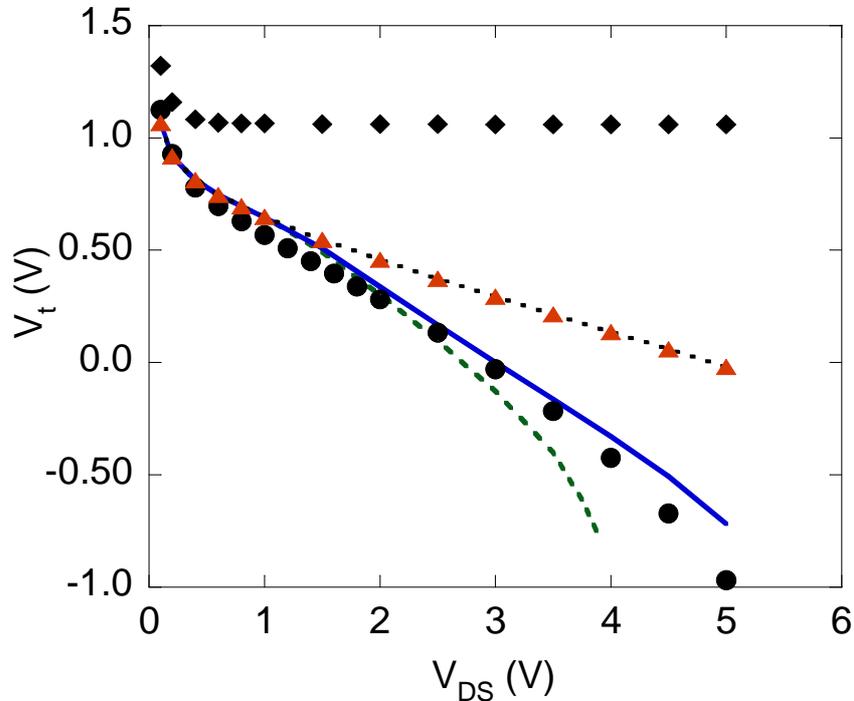


Figura 5.15: Tensione di soglia per differenti polarizzazioni V_{DS} valutata per un dispositivo con $L = 0.4 \mu m$ (\bullet) e per riferimento per $L = 20 \mu m$ (\blacklozenge). Sono anche mostrate le tensioni di soglia valutate dalle simulazioni che includono sia i meccanismi FE e II (linea continua blu), solo i meccanismi FE (\blacktriangle), solo la II (linea tratteggiata verde), con tutti i meccanismi spenti (linea punteggiata nera).

5.3.2 Simulazioni numeriche

Per analizzare tale tipo di effetto abbiamo impiegato delle simulazioni numeriche bidimensionali basandoci su un'approssimazione detta "effective medium approximation" [8,9,10]. Per prima cosa abbiamo riprodotto le caratteristiche di trasferimento misurate a $V_{DS} = 0.1V$ per TFT con $L = 20 \mu m$ n-channel e p-channel in modo da determinare i parametri riguardanti la DOS (density of states). Dobbiamo notare che per bassi valori della tensione di source-drain ($V_{DS} = 0.1V$) i meccanismi field enhanced e la ionizzazione da impatto non influiscono sulle caratteristiche di trasferimento permettendo una precisa

valutazione della DOS. Inoltre è possibile riprodurre le caratteristiche estese fino a V_{DS} elevati, determinando così i parametri della ionizzazione da impatto (Chynoweth model [15]) e dei meccanismi field enhanced (Poole-Frenkel (PF), trap assisted tunneling (TAT), band-to-band tunneling (BBT) [6]). Nel programma di simulazione DESSIS che noi utilizziamo i meccanismi PF e TAT sono presi in considerazione attraverso una modifica dell'espressione della generazione e ricombinazione (GR) Shockley-Read-Hall (SRH). Può essere quindi osservato[6,11,12]che nelle regioni di alti campi la presenza di tali effetti possa essere modellizzata con un incremento della sezione d'urto relative agli stati di trappola e quindi avremo che:

$$\sigma = \sigma_0(1 + \Gamma_{PF} + \Gamma_{TAT})$$

dove σ_0 è la sezione d'urto con campo pari a zero mentre Γ_{PF} e Γ_{TAT} sono i termini relativi ai due effetti, dipendenti dal campo elettrico applicato[6,11,12]. Va notato comunque che tale incremento nelle sezioni d'urto può determinare sia una grossa generazione attraverso gli stati di trappola quando $np < n_i^2$ (condizione di deplezione) sia una grossa ricombinazione quando $np > n_i^2$. Anche il meccanismo BBT può essere preso in considerazione nelle simulazioni introducendo un termine addizionale nell'espressione di Shockley-Read-Hall: nell'approccio proposto da Hurk[11] il segno di questo termine è determinato dal segno di $np - n_i^2$ ed anche le caratteristiche di questo effetto possono cambiare da un incrementata generazione o ricombinazione nelle regioni di elevati campi a secondo della densità dei portatori. Comunque i parametri relativi agli effetti PF, TAT e BBT possono essere aggiustati mediante la riproduzione delle caratteristiche elettriche ("best fit") in regime di off a bassi-medi valori della tensione V_{DS} , mentre i parametri della ionizzazione da impatto sono stati determinati mediante il "best fit" delle caratteristiche per elevati V_{DS} . Come può essere osservato dalla figura 5.14, le caratteristiche sperimentali sono state riprodotte accuratamente utilizzando un gruppo di parametri ottimizzati ed in particolare modo le sezioni d'urto per gli stati di trappola neutri e carichi sono presi uguali a $4 \times 10^{-16} \text{ cm}^{-2}$ e $4 \times 10^{-14} \text{ cm}^{-2}$ mentre per i parametri della ionizzazione da impatto come campo critico e prefattore $1.8 \times 10^6 \text{ V/cm}$ e $7.5 \times 10^6 \text{ cm}^{-1}$ rispettivamente, e per le masse di

tunnel per elettroni e lacune 0.07 nei due casi. La tensione di soglia è stata valutata dalle simulazione numeriche utilizzando lo stesso criterio adottato per i dati sperimentali con un ottimo accordo, riproducendo la dipendenza da V_{DS} osservata sperimentalmente. Per distinguere il contributo alla corrente di drain della ionizzazione da impatto e dei meccanismi “field enhanced” abbiamo valutato di nuovo le caratteristiche elettriche spegnendo selettivamente i vari contributi dei meccanismi. Se osserviamo più in dettaglio i risultati in regime di off (fig.5.14a) possiamo vedere che i meccanismi (PF+TAT+BBT) controllano la parte relativa a per bassi V_{DS} mentre il contributo della ionizzazione da impatto diventa importante per V_{DS} elevati come può essere dedotto sottraendo dalla curva che simula la corrente di drain con tutti gli effetti accesi meno quella con solo i meccanismi “field enhanced” accesi (figura 5.14a). Quando invece vengono spenti tutti i meccanismi “field enhanced” tenendo però acceso la ionizzazione da impatto le caratteristiche elettriche mostrano un breakdown intorno a $V_{DS} = 3.5V$ con un valore comunque della corrente prima del breakdown ben minore di quello dedotto dalla procedura di sottrazione. Questa particolare andamento può essere spiegato notando che i portatori generati dai meccanismi “field enhanced” possono sostanzialmente incrementare il ruolo della ionizzazione da impatto quando $np < n_i^2$, quindi aumentando a bassi V_{DS} il ruolo della ionizzazione da impatto (figura 5.14a). Viceversa ad elevati V_{DS} la presenza dei meccanismi “field enhanced” previene il breakdown, dal momento che $np > n_i^2$, fornendo un incrementata ricombinazione che controbilancia i portatori generati per ionizzazione da impatto. In regime di sottosoglia invece l’effetto dei meccanismi “field enhanced” diventa trascurabile come può essere dedotto dalla fig.5.14b (nessuna differenza quando la corrente di drain viene valutata con i meccanismi accesi e spenti). Quando invece la ionizzazione da impatto è attivata da sola, il valore della corrente di drain eccede il valore della corrente valutata con tutti i meccanismi accesi come risultato quindi di una forte ricombinazione indotta dai “field enhanced” ai portatori generati per ionizzazione da impatto. Per discutere più in dettaglio il ruolo dei meccanismi “field enhanced” abbiamo analizzato il processo di generazione-ricombinazione vicino la giunzione di drain per una corrente costante ($I_{DS} = 8 \times 10^{-7} A$) in presenza di ionizzazione da impatto con e senza i meccanismi “field enhanced” trovando che la generazione totale di portatori è identica. In

fig.5.16 è riportato l'andamento della generazione-ricombinazione lungo il canale a distanza di 35nm dall'interfaccia Si/SiO_2 dove la generazione-ricombinazione è massima per le due condizioni. Come può essere osservato la generazione dovuta alla ionizzazione da impatto è più elevata quando i meccanismi field-enhanced sono attivi: questo è dovuto al fatto che per mantenere lo stesso livello di corrente con meccanismi attivi devo avere un maggiore V_{DS} e quindi campi più elevati; d'altro canto quando i meccanismi field-enhanced sono attivi in presenza di ionizzazione da impatto essi contribuiscono fortemente alla ricombinazione, determinando un tasso netto di generazione/ricombinazione identico alla condizione con solo la ionizzazione da impatto attiva.

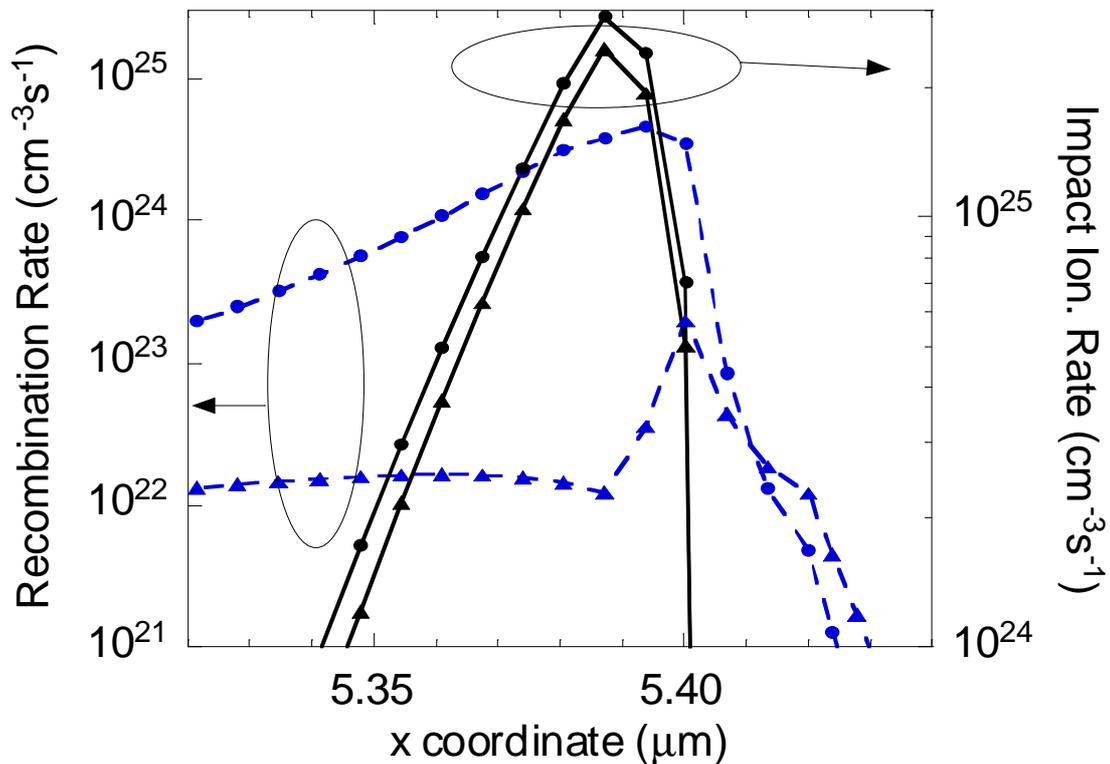


Figura 5.16: Tasso di Generazione/Ricombinazione lungo il canale a distanza di 350nm dall'interfaccia Si/SiO_2 dove la generazione/ricombinazione è massima. Dati ottenuti dalle simulazioni con FE attivati (●) e senza FE (▲).

Analizziamo quindi il ruolo sulla variazione tensione di soglia indotto dai meccanismi field-enhanced e dalla ionizzazione da impatto. La variazione della V_T valutata con solo la ionizzazione da impatto attivato (fig.5.15) eccede quella valutata con tutti i meccanismi accessi e questo è conseguenza dell'effetto sulla ricombinazione che possono avere i meccanismi PF+TAT+BBT. Tale risultato è quindi in contrasto a quello osservato e discusso da Kawachi[13] dal momento che l'inclusione dei meccanismi field-enhanced tende a ridurre la variazione della tensione di soglia V_T . Dalla figura 5.15 possiamo osservare che spegnendo tutti i meccanismi ancora si osserva una variazione della V_T dovuta quindi unicamente al DIBL ed anche se vengono attivati solo i meccanismi field-enhanced l'effetto sarà comunque trascurabile. Possiamo quindi concludere affermando che la tensione di soglia in n-channel TFT a canale corto è molto influenzata da alcuni parametri come tensione V_{DS} , DIBL, ecc ma tuttavia alcuni meccanismi come quelli "field-enhanced" tendono a ridurre tale dipendenza dal momento che forniscono un'elevata ricombinazione nelle regioni di alto campo per le coppie elettrone-lacuna generate per ionizzazione da impatto e quindi per ridurre tale dipendenza è fondamentale minimizzare tali effetti come il DIBL e la ionizzazione da impatto. Il primo effetto può essere ridotto, in analogia ai MOSFET, riducendo lo spessore dell'ossido o aumentando il drogaggio dello strato attivo mentre per il secondo si possono adottare architetture tipo LDD (Lightly Doped Drain).

5.4 Effetti di canale corto nei TFT: Ruolo dello spessore dell'ossido

5.4.1 Risultati sperimentali

In questo paragrafo verranno riportate le misure fatte su dispositivi TFT S.A. (self-aligned) n-channel per lo studio riguardante il ruolo dello spessore dell'ossido nel controllo dell'effetto di canale corto in transistor con lunghezza di canale fino $L=0.4\mu m$. Il processo per fabbricare tali dispositivi è identico al precedente e riportato nella reference[7] mentre sono stati utilizzati TFT con differenti spessori di ossido $t_{ox} = 62, 28, 19nm$. Come abbiamo visto nel paragrafo precedente, al ridursi delle dimensioni del canale i TFT mostrano una dipendenza della tensione di soglia dalla tensione V_{DS} ; una parte di questa dipendenza può essere spiegata mediante il DIBL mentre la parte restante dipende sia dalla ionizzazione da impatto che dai meccanismi field-enhanced, con quest'ultimi in grado di ridurre tale dipendenza. Quello che quindi vogliamo studiare in dettaglio è la riduzione del DIBL attraverso la riduzione dello spessore dell'ossido, una delle strade già seguite nel controllo dell'effetto di canale corto nei MOSFET. In fig.5.17a,b sono riportate le caratteristiche elettriche, misurate per diversi V_{DS} , per due dispositivi con differenti spessori di ossido. Come può essere osservato dalla figura 5.17a,b la tensione di soglia, definita come la tensione dove $I_{DS} = W/L \times 10^{-7} A$, è ridotta andando da 1.1V per $t_{ox} = 62nm$ fino a 0.5V per $t_{ox} = 19nm$ dal momento che più elevati campi sono indotti al ridursi di t_{ox} per una certa tensione di gate. In più una riduzione della dipendenza della V_T dalla V_{DS} nella regione di sottosoglia è osservata, simile a quello osservato per i MOSFET. Tale risultato è più evidente in fig.5.18, dove è mostrata la variazione di ΔV_T da V_{DS} per differenti spessori di ossido avendo definito $\Delta V_T = V_T(V_{DS}) - V_T(V_{DS} = 0.1V)$.

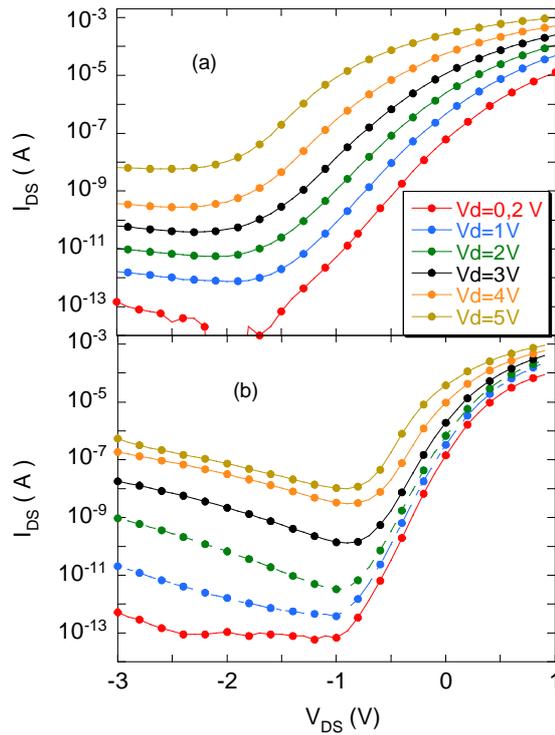


Figura 5.17: Caratteristiche elettriche misurate a differenti V_{DS} per TFT con $L = 0.4\mu m$ e $W = 50\mu m$ con due differenti spessori di ossido: (a) $t_{ox} = 62nm$ e (b) $t_{ox} = 19nm$.

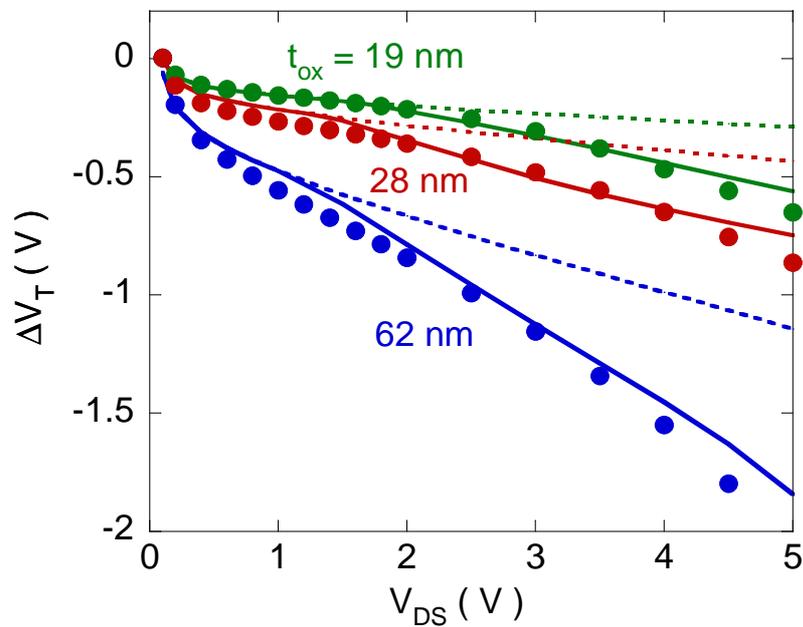


Figura 5.18: ΔV_T sperimentale (\bullet) vs differenti V_{DS} per dispositivi con $L = 0.4\mu m$ e $W = 50\mu m$ e differenti spessori di ossido. Sono anche mostrate le curve ΔV_T ottenute dalle simulazioni con il meccanismo II attivato (linee continue) e senza la II attivata (linee tratteggiate).

Dai dati mostrati in fig.5.18 abbiamo determinato $\delta V_T / \delta V_{DS}$, una quantità utilizzata per lo studio del DIBL[14], riportata in fig.5.19 sempre per differenti spessori di ossido. Le curve $\delta V_T / \delta V_{DS}$ mostrano un andamento simile con lo spessore dell'ossido, con un ampio minimo intorno a $V_{DS} = 1-2V$ ed una crescita all'aumentare della tensione V_{DS} mentre il valore di $\delta V_T / \delta V_{DS}$ si riduce al ridursi di t_{ox} andando da $272mV/V$ a $V_{DS} = 2V$ per $t_{ox} = 62nm$ a $47mV/V$ per $t_{ox} = 19nm$. Per studiare il ruolo che ha lo spessore dell'ossido sulla variazione della V_T in dispositivi a canal corto, utilizzeremo le simulazioni numeriche riportate nel prossimo paragrafo.

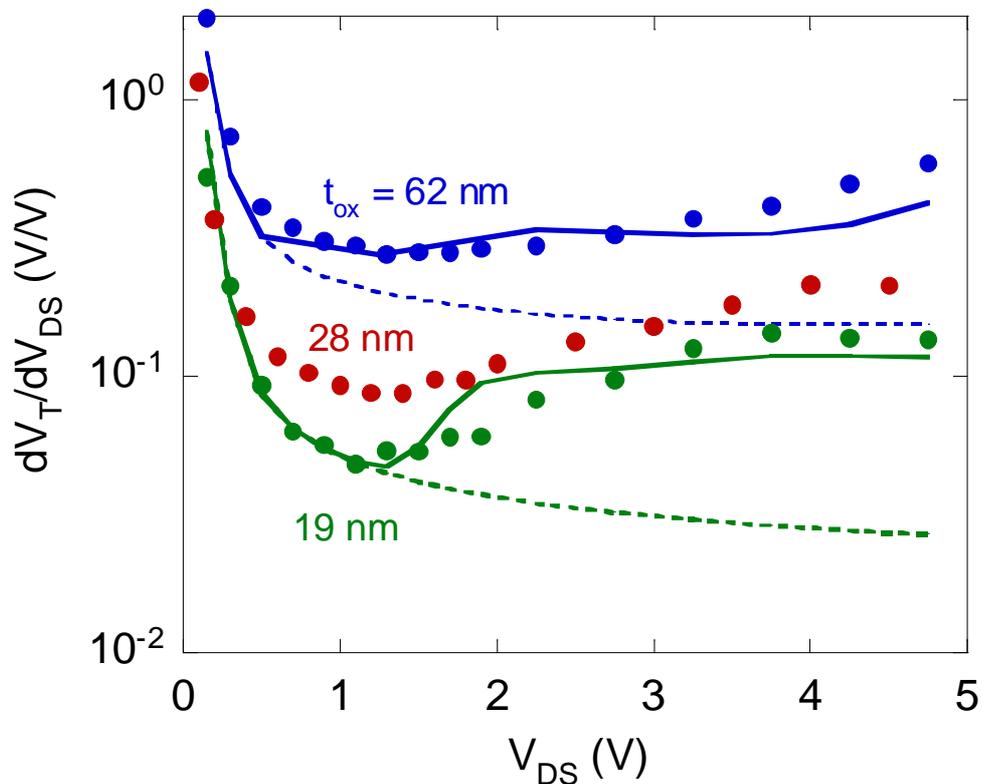


Figura 5.19: $\delta V_T / \delta V_{DS}$ sperimentale (\bullet) vs differenti V_{DS} per dispositivi con $L = 0.4\mu m$ e $W = 50\mu m$ e differenti spessori di ossido. Sono anche mostrate le curve ΔV_T ottenute dalle simulazioni per gli ossidi con $t_{ox} = 19, 62nm$ con il meccanismo II attivato (linee continue) e senza la II attivato (linee tratteggiate).

5.4.2 Simulazioni numeriche

Per analizzare tale tipo di effetto abbiamo impiegato delle simulazioni numeriche bidimensionali basandoci sullo stesso approccio fatto nei paragrafi precedenti avendo determinato quindi un gruppo di parametri in grado di ottenere una precisa riproduzione dell'andamento della V_T e della $\delta V_T / \delta V_{DS}$ sia al variare di V_{DS} che dello spessore dell'ossido. Come abbiamo visto nei paragrafi precedenti sia la ionizzazione da impatto sia i meccanismi field-enhanced, possono modificare la dipendenza della tensione di soglia al variare di V_{DS} ; per queste ragioni è necessario separare l'effetto del semplice accoppiamento spaziale tra regioni di source e drain (DIBL) dagli altri fenomeni legati ad alti campi e per fare questo nelle figure 5.18 e 5.19 è riportato l'andamento con e senza tali meccanismi attivati. Senza i meccanismi attivati, l'effetto classico del DIBL può essere isolato e come mostrato in fig.5.18 e 5.19 solo per bassi valori di V_{DS} ($<1V$) è il DIBL che controlla la variazione di V_T , mentre ad elevati V_{DS} , quando i meccanismi sono attivati, i Floating Body Effects (FBE)[10] sostanzialmente incrementano tale variazione. Da una analisi dettagliata della fig.5.18, si può osservare un incremento rispettivo di ΔV_T (a $V_{DS} = 5V$) relativa ai FBE del 92% e 60% per gli spessori di ossido 19 e 62nm rispettivamente. In altre parole il TFT con l'ossido più sottile, e con i campi elettrici più elevati al drain mostra il più grosso incremento relativo indotto dai FBE della V_T , anche se come atteso mostra un piccolo incremento della V_T dovuto al DIBL. Dal momento che in un dispositivo a canale lungo la V_T dovrebbe scalare con lo spessore dell'ossido è possibile comparare meglio tali effetti se V_T e ΔV_T sono normalizzati allo spessore dell'ossido come mostrato in fig.5.20a,b.

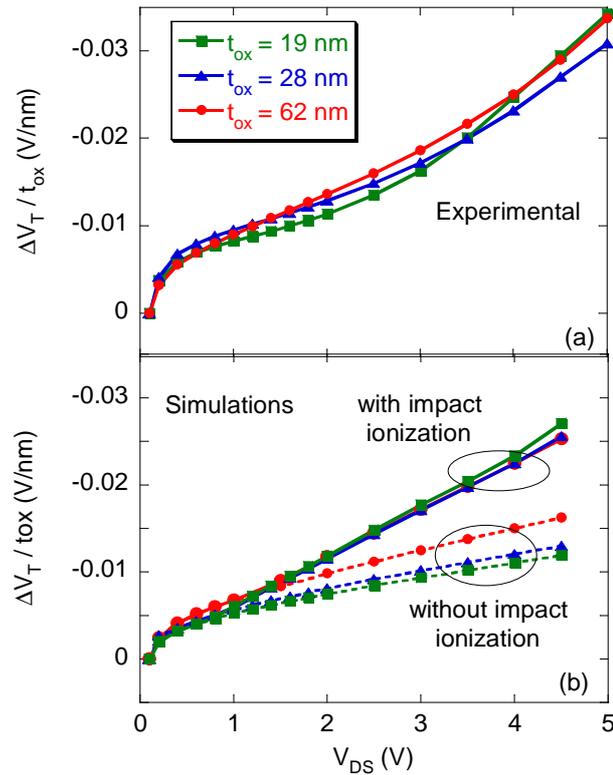


Figura 5.20: Tensione di soglia normalizzata allo spessore dell'ossido come funzione della tensione di drain V_{DS} per tre differenti spessori di ossido. Nella figura a i dati sono dedotti dalle misure sperimentali mentre in quella b sono dedotti dalle simulazioni con il meccanismo II attivato (linee continue) e spento (linee tratteggiate).

Dai dati sperimentali riportati in fig.5.20a possiamo osservare che il valore normalizzato di $\Delta V_T / t_{ox}$ non ha una forte dipendenza dallo spessore dell'ossido in contrasto con quanto visto in fig.2. Comunque dalle simulazioni in fig.5.20b si può vedere che in assenza di FBE, il valore normalizzato di $\Delta V_T / t_{ox}$ continua ad avere la dipendenza da t_{ox} cioè che il DIBL è ridotto come atteso riducendo lo spessore dell'ossido[4]. In contrasto e in accordo con i dati sperimentali quando invece teniamo accesi i meccanismi FBE il valore di $\Delta V_T / t_{ox}$ diventa indipendente dallo spessore dell'ossido per $V_{DS} > 1V$. Per comprendere tale risultato abbiamo analizzato la barriera al terminale di source, dal momento che DIBL e FBE tendono ad influenzarla. La figura 5.21 mostra tale barriera di potenziale determinata dalle simulazioni numeriche, con e senza la ionizzazione da impatto, per $V_{DS} = 4V$. Con i meccanismi spenti, le distribuzioni del potenziale sono molto diverse tra

loro per i due spessori di ossido, quando calcolati con il V_{GS} scelto per fornire la stessa corrente $I_{DS} = W/L \times 10^{-7} A$ come risultato del ruolo dello spessore dell'ossido t_{ox} . Osservando in dettaglio, la barriera è più bassa all'interfaccia al front (ossido di gate/semiconduttore) che l'interfaccia di back (substrato / semiconduttore) per $t_{ox} = 19nm$ mentre accendendo i meccanismi queste differenze tendono a scomparire suggerendo che l'iniezione di portatori al source avvenga nello stesso modo. Il grosso abbassamento della barriera di potenziale all'interfaccia di back per il dispositivo con l'ossido più sottile è dovuto all'incrementato impilamento di lacune all'interfaccia di back (figura 5.22), il quale è legato ad una incrementata ionizzazione da impatto e campo elettrico longitudinale (figura 5.22) dovuta alle specifiche condizioni di polarizzazione dato che la corrente è la stessa a $V_{DS} = 4V$. Da questo segue quindi che ad elevati V_{DS} , la grande densità di lacune generate per ionizzazione da impatto nel TFT con ossido più sottile induce un più elevato abbassamento della barriera di potenziale al back della giunzione di source in grado di mitigare il benefico effetto di un ossido sottile sul DIBL. Possiamo quindi concludere che le variazioni della tensione di soglia indotte dalla tensione V_{DS} nei TFT a canale corto possono essere effettivamente ridotte, riducendo lo spessore dell'ossido; tuttavia mentre il contributo alla variazione della tensione di V_{th} indotta dal DIBL e FBE appare essere ridotta per spessori di ossido sottili, quando normalizzo le variazioni di tensione di V_{th} allo spessore dell'ossido otteniamo che i FBE cancellano la positiva riduzione del DIBL attesa per spessori di ossido sottili.

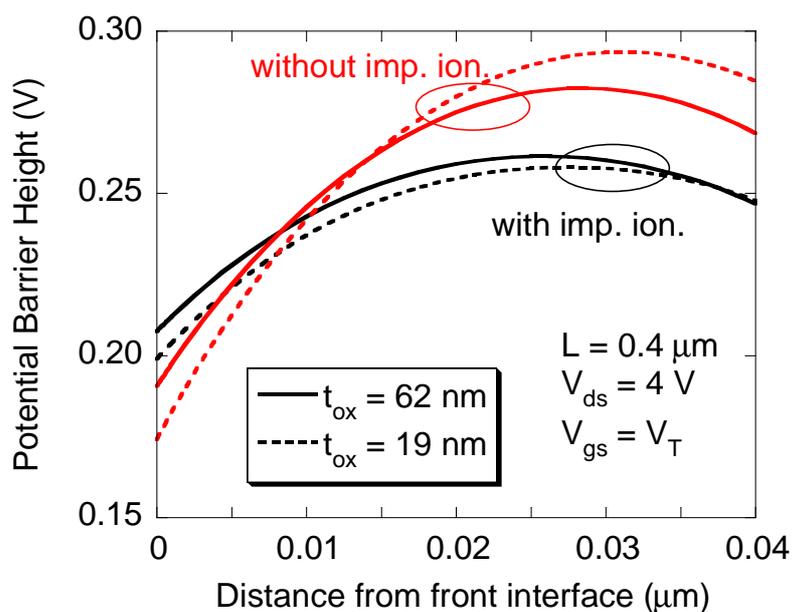


Figura 5.21 Profilo della barriera di potenziale attraverso lo strato attivo, alla giunzione di source, ottenuto dalle simulazioni per dispositivi con $t_{ox} = 19\text{nm}$ (linee tratteggiate) e $t_{ox} = 62\text{nm}$ (linee continue). La tensione di gate è stata aggiustata alle rispettive tensioni di soglia (cioè al V_{GS} necessario ad ottenere $I_{DS} = W/L \times 10^{-7} \text{A}$). Il profilo va dalla interfaccia isolante di gate/semiconduttore ($x=0 \text{ nm}$) fino al semiconduttore/substrato interfaccia ($x=40\text{nm}$).

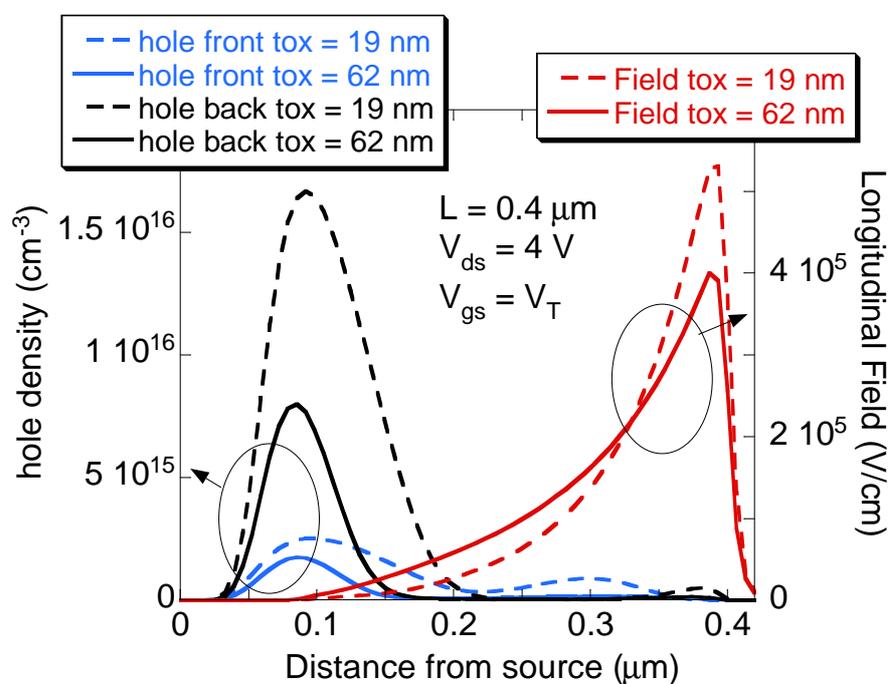


Figura 5.22 Profilo del campo elettrico longitudinale e della concentrazione di lacune attraverso il canale, ottenuto dalle simulazioni per dispositivi con $t_{ox} = 19\text{nm}$ (linee tratteggiate) e $t_{ox} = 62\text{nm}$ (linee continue). La tensione di gate è stata aggiustata alle rispettive tensioni di soglia (cioè al V_{GS} necessario ad ottenere $I_{DS} = W/L \times 10^{-7} \text{A}$).

Tabella I: Lista dei parametri utilizzati nelle simulazioni.

Drogaggio canale	$2 \cdot 10^{17} \text{ cm}^{-3} \text{ Boron}$
Energia caratteristica stati tipo accettore profondi (deep)	$E_{ad} = 180 \text{ meV}$
Energia caratteristica stati tipo donore profondi (deep)	$E_{dd} = 1 \text{ eV}$
Energia caratteristica stati tipo accettore di coda (tail)	$E_{at} = 44 \text{ meV}$
Energia caratteristica stati tipo donore di coda (tail)	$E_{dt} = 50 \text{ meV}$
Densità di stati profondi di tipo accettore al limite della banda di conduzione	$N_{ad} = 0.48 * 10^{18} \text{ cm}^{-3} / \text{eV}$
Densità di stati profondi di tipo donore al limite della banda di valenza	$N_{dd} = 0.46 * 10^{18} \text{ cm}^{-3} / \text{eV}$
Densità di stati di coda di tipo accettore al limite della banda di conduzione	$N_{at} = 7.7 * 10^{19} \text{ cm}^{-3} / \text{eV}$
Densità di stati di coda di tipo donore al limite della banda di valenza	$N_{dt} = 1.7 * 10^{19} \text{ cm}^{-3} / \text{eV}$
Mobilità elettroni in banda di conduzione	$\mu_n = 251 \text{ cm}^2 / \text{Vs}$
Mobilità lacune in banda di valenza	$\mu_p = 117 \text{ cm}^2 / \text{Vs}$
Sezioni d'urto per gli stati neutri nella gap	$\sigma_n = 4 * 10^{-16} \text{ cm}^{-2}$
Sezioni d'urto per gli stati carichi nella gap	$\sigma_c = 4 * 10^{-14} \text{ cm}^{-2}$
Coefficiente della ionizzazione da impatto per gli elettroni	$\alpha_n = 7.5 * 10^6 \text{ cm}^{-1}$
Campo critico nella ionizzazione da impatto per gli elettroni	$F_n = 1.8 * 10^6 \text{ V} / \text{cm}$
Massa di tunnel per gli elettroni	$m_n^* = 0.07$
Massa di tunnel per le lacune	$m_h^* = 0.07$
Drogaggio attivato zona N*	$5 * 10^{19} \text{ cm}^{-3}$

Bibliografia

- [1] S.M. Sze, “ Physics of Semiconductor Device”, cap.8, Jhon Wiley e Sons 2nd 1981.
- [2] Yuan Taur, “ Fundamental of modern VLSI device”, Cambridge University Press 1994.
- [3] L.D. Yau, Solid State Electronic, vol.17, p.1059, 1974.
- [4] Ronald R. Troutman, IEEE TED, vol.ED-26, p.461, 1979.
- [5] Wolf, “Silicon Processing for the VLSI”, vol.3, 1991.
- [6] L. Colalongo, M. Valdinoci, G. Baccarani, P. Migliorato, G. Tallarida, and C. Reita, Solid State Electronics, vol.41, p.627, 1997.
- [7] S.D. Brotherton, S.-G. Lee, C. Glasse, J.R. Ayres, and C. Glaister, Proceedings of the IDW’02, Hiroshima, Japan, 4-6 December, p.283, 2002.
- [8] P.Gaucci, A. Valletta, L. Mariucci, G. Fortunato, and S.D. Brotherton, IEEE TED, vol.53, p573, 2006
- [9] A. Valletta, P.Gaucci, L. Mariucci, G. Fortunato, and S.D. Brotherton, APL, vol.85, p.3113, 2004.
- [10] M. Valdinoci, L. Colalongo, G. Baccarani, G. Fortunato, A. Pecora, and I. Policicchio, IEEE TED, vol.44, p.2234, 1997.
- [11] G. A. M. Hurkx, D. B. M. Klassen, and M. P. G. Knuvers, IEEE TED, vol.39, p.331, 1991
- [12] G. Vincent, A. Chantre, and D. Bois, JAP, vol.50, p.5484, 1979.
- [13] G. Kawachi, S. Tsuboi, T. Okada, M. Mitani, and M. Matsumura, JAP, vol.100, p.114507, 2006.
- [14] H. Hu, J. B. Jacobs, L.T. Su, and D. Antoniadis, IEEE TED, vol.42, p.669, 1995.
- [15] A.G. Chynoweth, “Ionization rates for electron and holes in silicon”, Phys.Rev., vol.109, pp.1537-1543, 1958.

Conclusioni

In questo lavoro di tesi sono stati studiati TFT a silicio policristallino rivolgendo una particolare attenzione alle problematiche concernenti la stabilità elettrica e la riduzione delle dimensioni della lunghezza del canale. In particolar modo abbiamo analizzato la stabilità elettrica al degrado indotto da hot-carrier in TFT a canale p con architettura di tipo SA (*self-aligned*) mediante misure elettriche e simulazioni numeriche. Questi dispositivi presentano una stabilità elettrica migliore rispetto a quelli a canale n, tuttavia l'effetto degli hot-carrier sulle caratteristiche di uscita può essere considerevole; in effetti si osserva un leggero incremento della livello di saturazione con una forte variazione della zona di Kink dopo uno stress in regime di hot-carrier. Per spiegare tali risultati sperimentali abbiamo utilizzato delle simulazioni numeriche mettendo a punto un modello per la simulazione degli effetti dello stress. Tale modello è stato implementato mediante un algoritmo iterativo in grado di replicare l'evoluzione temporale dello stress delle caratteristiche elettriche. Utilizzando tale modello si è osservato che l'intrappolamento di carica negativa a ridosso delle due interfacce nella zona di drain induce di conseguenza carica positiva in grado di ridurre quindi il profilo di drogaggio ("abruptness") della giunzione strato attivo/drain; di conseguenza affinché si inneschi la ionizzazione da impatto dovrà raggiungere tensioni più elevate corrispondente ad un traslazione nel punto in cui si osserva l'incremento della corrente dovuto alla ionizzazione da impatto. Inoltre tale modello è anche in grado di replicare il "piccolo" incremento della corrente di saturazione osservato durante i vari stress e assimilabile ad un semplice "effetto di canale corto". Per quello che riguarda la stabilità elettrica indotta dall'NBTI, si è osservato che la combinazione di campi elettrici e temperatura può apprezzabilmente degradare le caratteristiche elettriche in analogia con il comportamento osservato già nei MOSFET; tuttavia tale comportamento sembra dipendere dal tipo di architettura dei dispositivi in esame. Nei dispositivi di tipo NSA (*non self-aligned*), il contributo al degrado indotto da carica fissa e stati interfacciali è stato caratterizzato in funzione della temperatura e del campo elettrico permettendo di riprodurre mediante simulazione numeriche sia le

caratteristiche di trasferimento, sia l'asimmetria osservata nelle caratteristiche di uscita, come conseguenza della non spazialmente uniforme distribuzione di difetti lungo lo strato attivo. Nei dispositivi di tipo SA si invece osservato un comportamento peculiare dipendente dalle condizioni prima dello stress. Infatti nei dispositivi "trattati" termicamente prima dello stress (annealing a 175°C per 15 min) si osserva un comportamento del tutto simile a quello osservato nei TFT NSA e che ha quindi richiesto una trattazione simile. Negli altri dispositivi non "trattati", misurati dopo lo stress indotto da NBTI, si osserva un degrado del tutto differente da quello osservato nei TFT SA trattati termicamente con la comparsa nelle caratteristiche di trasferimento di una zona di "Gm overshoot" ; tale differenza di comportamento non è imputabile a semplici differenze nella qualità dell'ossido, del silicio policristallino, ecc. Per spiegare tale comportamento è stato invece chiamato in causa il ruolo dell'acqua: infatti nei TFT di tipo SA come conseguenza dei danni provocati agli bordi del canale dal processo di tipo SA, specie chimiche legate all'acqua possono diffondere lateralmente sotto il gate andando a modificare ed incrementare il danno indotto dall'NBTI di cui ne è stato conto andando a modificare il profilo degli stati interfacciali e carica intrappolata. Dai risultati delle simulazioni che riproducono fedelmente le caratteristiche elettriche si può quindi dedurre che l'effetto dell'acqua sia quello di favorire l'intrappolamento di carica positiva principalmente ai bordi del canale. Infine per quanto concerne il comportamento dei dispositivi a canale n al ridursi della lunghezza di canale, si è messo in evidenza come la tensione di soglia nei TFT sia fortemente influenzata dalla polarizzazione V_{DS} , con il DIBL e i Floating Body Effect essere la principale causa e con i meccanismi Field Enhanced, principali responsabili della corrente di off, in grado di ridurre tale influenza. Anche l'effetto della riduzione dello spessore dell'ossido, per tentare di limitare tale influenza è stato ampiamente studiato mediante simulazioni numeriche e misure elettriche ed il risultato è che , una volta normalizzati i valori delle variazioni di tensioni di soglia rispetto allo spessore di ossido, il beneficio della riduzione dello spessore dell'ossido tende a scomparire.

Ringraziamenti

Desidero innanzitutto ringraziare il Dott. Guglielmo Fortunato e il Dott. Luigi Mariucci per gli insegnamenti ricevuti e per avermi seguito costantemente durante tutto il periodo di tesi. Vorrei inoltre ringraziare tutto il gruppo TFT del IMM-CNR per la collaborazione e l'incoraggiamento ricevuto e simpatia dimostrata nei miei confronti tra cui Massimo Cuscunà, Luca Maiolo, Francesco Maita, Antonio Minotti, Alessandro Pecora, Matteo Rapisarda, Daniela Simeone, Antonio Valletta.

Publicazioni

Nel seguito sono riportati gli articoli pertinenti questo lavoro di tesi ai quali l'autore ha collaborato

- 1) "Hot-carrier effects in p-channel polycrystalline silicon thin film transistors". L. Mariucci, A. Valletta, P. Gaucci, G. Fortunato, e F. Templier. Pubblicato su "*Applied Physics Letters*" 89, pag. 183518, (2006).
- 2) "Hot Carrier Effects in P-Channel Polysilicon TFTs Fabricated on Flexible Substrates". L. Mariucci, P. Gaucci, A. Valletta, F. Templier, e G. Fortunato. Pubblicato su "*Japanese Journal of Applied Physics*" Vol. 46, No. 3B, pag. 1299-1302, (2007).
- 3) "Modelling velocity saturation and kink effects in p-channel polysilicon thin-film transistors". A. Valletta, P. Gaucci, L. Mariucci, e G. Fortunato. Pubblicato su "*Thin Solid Films*" 515, pag. 7417-7421, (2007).
- 4) "Electrical stability in self-aligned p-channel polysilicon Thin Film Transistors". P. Gaucci, L. Mariucci, A. Valletta, A. Pecora, G. Fortunato, e F. Templier. Pubblicato su "*Thin Solid Films*" 515, pag. 7571-7575, (2007).
- 5) "Role of field enhanced mechanisms and impact ionization on the threshold voltage of short channel polycrystalline silicon thin film transistors"
P. Gaucci, A. Valletta, L. Mariucci, A. Pecora, M. Cuscunà, L. Maiolo, G. Fortunato
Pubblicato su "*Applied Physics Letters*" 93, pag. 193512, (2008).
- 6) "'Hump' characteristics and edge effects in polysilicon thin film transistors"
A. Valletta, P. Gaucci, L. Mariucci, G. Fortunato, F. Templier
Pubblicato su "*Journal of Applied Physics*" 104, pag. 124511, (2008).
- 7) "Self-Heating Effects in p-Channel Polysilicon TFTs Fabricated on Different Substrates"
G. Fortunato, M. Cuscunà, P. Gaucci, L. Maiolo, L. Mariucci, A. Pecora, A. Valletta, F. Templier
Pubblicato su "*Journal of the Korean Physical Society*", Vol. 54, No. 1, pp. 455 – 462, (2009).
- 8) "Negative bias-temperature stress in non-self-aligned p-channel polysilicon TFTs"
L. Mariucci, P. Gaucci, A. Valletta, M. Cuscunà, L. Maiolo, A. Pecora and G. Fortunato CNR – IMM
Pubblicato su "*Thin Solid Film*" 517, pag. 6379-6382, (2009).
- 9) "Role of gate oxide thickness in controlling short channel effects in polycrystalline silicon thin film transistors"
A. Valletta, P. Gaucci, L. Mariucci, A. Pecora, M. Cuscunà, L. Maiolo, G. Fortunato, S. D. Brotherton
Pubblicato su "*Applied Physics Letters*" 95, art.no. 033507, (2009).