Scuola dottorale EDEMOM, XXVIII Ciclo

Transistor MOS a barriera Schottky in silicio policristallino

Andrea De Iacovo

Docente guida: prof. Lorenzo Colace

Sommario

1 Prefazione 1

2 Introduzione 2

2.1 Background e motivazioni 2

2.2 SB-FET: storia e stato dell'arte 5

2.3 Barriere Schottky: principi di funzionamento e trasporto di carica 7

2.4 Effetti di abbassamento e pinning della barriera Schottky 10

2.5 Giunzioni Schottky su semiconduttori altamente disomogenei 12

2.6 Principio di funzionamento degli SB-FET 13

3 Processo tecnologico e realizzazione degli SB-FET 17

3.1 Deposizione di silicio amorfo: tecnica PECVD 17

3.2 Deposizione di SiO_2: tecnica ECR 19

3.3 Deposizione di strati metallici: evaporazione termica e sputtering 21

3.4 Litografia ed etching selettivo 23

3.5 Ricristallizzazione del silicio amorfo: tecnica ELC 28

3.6 Processo di realizzazione dei transistor SB-FET 31

4 Metodi di caratterizzazione 46

4.1 Tensione di soglia 46

4.2 Transconduttanza 48

4.3 Mobilità di canale 49

4.4 Altezza della barriera Schottky 50

5 Caratterizzazione dei transistor SB-FET 54

5.1 SB-FET in Cr-Si 54

5.2 SB-FET in NiSi-Si 69

5.3 SB-FET in Ti-Si 71

5.4 Impiego dei transistor Cr-Si come amplificatori 83

6 Conclusioni 87

7 Ringraziamenti 89

8 Riferimenti 90

1 Prefazione

L'elettronica integrata è stata, fin dai suoi albori, caratterizzata da un'evoluzione tecnologica estremamente rapida che ha permesso la diffusione capillare dei dispositivi elettronici ad altissima scala di integrazione. Nell'ultimo decennio, tuttavia, molti sforzi tecnologici e di innovazione sono stati rivolti anche ad ambiti in cui non sono richiesti elevati livelli di integrazione ma dove, al contrario, è preferibile ottenere dispositivi polifunzionali, estremamente leggeri e con consumi particolarmente ridotti. È proprio in questa ottica di sviluppo di dispositivi "more than Moore" che si inserisce lo studio dei transistor a film sottile che possano essere realizzati con processi a bassa temperatura e compatibili con substrati flessibili. Nel corso di questa tesi sarà spiegata l'importanza dei transistor TFT e sarà messa in luce la necessità di individuare nuove tecnologie volte alla semplificazione del processo fabbricativo dei transistor ed al miglioramento delle loro prestazioni. La soluzione qui proposta consiste nell'utilizzare transistor le cui giunzioni di source e drain siano rimpiazzate da barriere metallo-semiconduttore realizzate direttamente sulla superficie del film di silicio che costituisce il body del transistor. Nel seguito del testo, si provvederà a fornire un'accurata descrizione del principio di funzionamento dei transistor a barriera Schottky e saranno approfonditamente analizzati gli aspetti tecnologici del loro processo fabbricativo. Si mostreranno, inoltre, i risultati della caratterizzazione di tre diverse tipologie di transistor mostrando la possibilità di ottenere dispositivi a canale n ed a canale p con prestazioni paragonabili a quelle attualmente riportate in letteratura per analoghi transistor a film sottile.

2 Introduzione

2.1 Background e motivazioni

Fin dalla sua invenzione nel 1947, il Transistor ad Effetto di Campo Metallo-Ossido-Semiconduttore (MOSFET) è divenuto il mattone fondamentale per la realizzazione di circuiti elettronici integrati; inizialmente diffusosi soprattutto in ambito digitale, grazie alla sua bassa dissipazione di potenza e ridotte correnti di gate, il MOSFET è, ad oggi, ampiamente utilizzato anche nella circuiteria analogica e per la produzione di amplificatori e circuiti per il trattamento di segnale. Il rapido avanzamento della tecnologia dei semiconduttori ha permesso, negli anni, di ridurre costantemente le dimensioni dei transistor con una progressione identificata fin dal 1965 come legge di Moore. Dispositivi di dimensioni nanometriche, tuttavia, soffrono di numerosi problemi (detti effetti di canale corto) che ne limitano notevolmente le prestazioni come, ad esempio, il tunneling dei portatori attraverso l'ossido di gate ed attraverso lo strato di body, la riduzione del rapporto fra la corrente di ON e quella di OFF, l'aumento degli effetti di modulazione della lunghezza di canale e l'aumento delle resistenze parassite dovute alle zone drogate di drain e source [1] [2] [3]. Per mitigare tali effetti è stato necessario ricorrere ad approcci sempre più complessi e sofisticati per la realizzazione dei dispositivi fino ad arrivare, negli ultimi anni, alla radicale modifica della struttura dei MOSFET con l'abbandono del processo planare e la realizzazione di strutture tridimensionali [4]. In questo contesto, una delle soluzioni proposte per fronteggiare gli effetti di canale corto senza dover ulteriormente modificare la struttura dei MOSFET è l'adozione dei transistor a barriera Schottky (SB-FET). In questo tipo di dispositivi i drogaggi di source e drain sono eliminati e sostituiti da contatti di tipo Schottky. In Figura 1 sono rappresentati schematicamente un transistor MOSFET convenzionale ed un SB-FET entrambi a canale n.

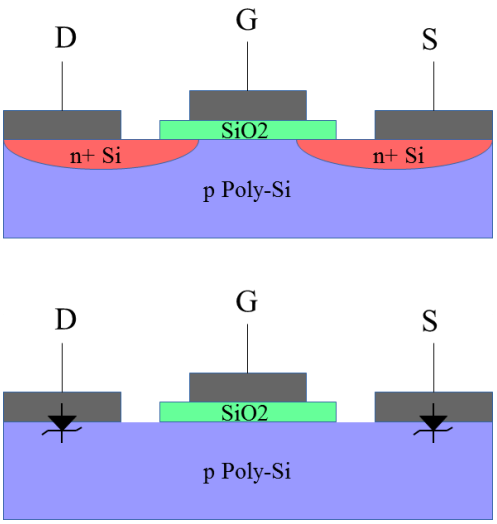

Figura 1 Struttura in sezione di un MOSFET (in alto) e di un SB-FET (in basso)

Gli SB-FET presentano numerosi vantaggi se paragonati ai MOSFET; in primo luogo la semplificazione del processo di fabbricazione permette di abbattere i costi di realizzazione dei dispositivi. A dimensioni nanometriche, inoltre, l'eliminazione delle zone drogate di source e drain e la loro sostituzione con strati metallici a bassa resistività provoca una diminuzione della resistenza di contatto a vantaggio della corrente di ON mentre la presenza di due giunzioni metallo-semiconduttore contrapposte contribuisce alla riduzione della corrente di OFF; entrambi questi effetti contribuiscono, di conseguenza, al miglioramento del rapporto ON/OFF. L'eliminazione delle giunzioni PN ai contatti di source e drain, infine, fa sì che gli effetti di latch-up, tipici delle strutture CMOS, siano completamente eliminati permettendo un notevole miglioramento delle caratteristiche dei circuiti digitali senza necessità di introdurre trench profonde fra i MOSFET complementari adiacenti. Poiché la corrente di ON dei transistor SB-FET è limitata esclusivamente dalla barriera Schottky al contatto di source o di drain (rispettivamente nel caso di transistor a canale n e canale p) e non dalla resistenza di canale, l'effetto di modulazione di canale è quasi completamente eliminato; allo stesso modo le correnti di saturazione sono, tipicamente, raggiunte a basse tensioni V_{DS} consentendo, pertanto, di realizzare circuiti analogici con un range di linearità

molto esteso. È importante osservare, tuttavia, che gli SB-FET possono avere prestazioni paragonabili o superiori a quelle dei MOSFET (a parità di lunghezza di canale) solo nel caso in cui l'altezza della barriera Schottky sia accuratamente ottimizzata (come più approfonditamente dettagliato nel seguito del capitolo). Fino a questo momento, la gran parte della letteratura riguardante gli SB-FET si è concentrata proprio sull'ottimizzazione dei dispositivi nel tentativo di raggiungere e superare le caratteristiche dei MOSFET con lunghezze di canale al di sotto dei 100nm; al contrario, i vantaggi degli SB-FET per l'elettronica a larga area non sono stati ancora presi in considerazione. L'avvento di sistemi elettronici a basso grado di integrazione realizzati su substrati ultraleggeri e flessibili, tuttavia, sta ponendo nuove sfide all'industria ed al mondo della ricerca [5]. Benché siano ormai passati alcuni anni dai primi esempi di realizzazione di transistor MOSFET su substrati plastici e ultrasottili, infatti, vi sono alcuni problemi che restano tuttora irrisolti per questo tipo di dispositivi, come ad esempio la presenza di elevati effetti di modulazione della lunghezza di canale e le elevate tensioni di saturazione [6] [7] [8] [9]. I substrati plastici, inoltre, sono particolarmente sensibili alle alte temperature e limitano, pertanto, la possibilità di realizzare profili di drogaggio atti all'ottimizzazione delle caratteristiche dei transistor. In questo contesto, gli SB-FET possono offrire numerosi vantaggi e permettere un notevole aumento delle prestazioni dei circuiti analogici e digitali; i costi di realizzazione dei transitor possono essere, inoltre, notevolmente abbattuti grazie all'eliminazione dei processi di impiantazione e di drive-in degli atomi droganti. Obiettivo principale del lavoro di dottorato è stato quello di dimostrare l'effettiva possibilità di realizzare SB-FET con un processo tecnologico mutuato dai Thin Film Transistor (TFT) per elettronica a larga area su substrati di silicio policristallino e con temperature di processo compatibili con la realizzazione dei dispositivi su substrati ultraflessibili.

2.2 SB-FET: storia e stato dell'arte

Gli SB-FET furono proposti, per la prima volta, nel 1968 da Sze e Lepselter [10] ma, negli anni a seguire, non furono oggetto di ulteriori studi a causa delle loro scarse prestazioni se paragonati ai Doped Source and Drain MOSFET (DSD-FET). Solo verso la metà degli anni '90 gli SB-FET vennero riconsiderati come una valida soluzione ai problemi di scaling che si prospettavano per i MOSFET [11] [12]. Già a partire da quel periodo l'approccio più comune al miglioramento delle prestazioni degli SB-FET fu quello di utilizzare i siliciuri metallici come materiali per la realizzazione delle giunzioni di source e drain. Tali composti presentano, infatti, il vantaggio di avere resistività molto basse e permettono di realizzare giunzioni Schottky brusche e quasi completamente immuni a fenomeni di pinning. Inoltre, poiché il meccanismo dominante per la formazione dei siliciuri consiste nella diffusione degli atomi metallici all'interno del film di silicio, è possibile ottenere facilmente strutture autoallineate (come mostrato schematicamente in Figura 2).

Figura 2 Formazione di giunzioni Schottky in con siliciuri metallici

A seconda del tipo di siliciuro impiegato è possibile ottenere una diversa altezza della barriera Schottky favorendo, di conseguenza, la conduzione per un solo tipo di portatore ed ottimizzando il transistor per il funzionamento come dispositivo a canale n, nel caso in cui la barriera metallo-semiconduttore sia più bassa per gli elettroni che per le lacune, o a canale p nel caso contrario. Come sarà dettagliatamente spiegato di seguito, infatti, è necessario che l'altezza di barriera risulti estremamente piccola rispetto al portatore maggioritario nel canale in condizioni di inversione di popolazione così da permettere il raggiungimento di

correnti di ON elevate limitando, al contempo, il passaggio di carica nello stato di OFF. L'impiego di diversi metalli per la realizzazione dei siliciuri è stato, quindi, oggetto di numerosi studi volti all'ottimizzazione dell'altezza della barriera Schottky e, conseguentemente, al miglioramento delle caratteristiche dei dispositivi [13] [14] [15]. I gradi di libertà offerti dall'utilizzo di metalli diversi si sono dimostrati, tuttavia, insufficienti soprattutto per quanto riguarda la realizzazione di coppie di transistor complementari; recentemente, quindi, sono stati proposti diversi metodi alternativi per la modulazione dell'altezza di barriera come, ad esempio, l'introduzione di strati dielettrici ultrasottili [16] o di zone ad alta concentrazione di drogante all'interfaccia metallo/semiconduttore [17].

Approcci di questo tipo sono stati, recentemente, tentati anche per la realizzazione di transistor a film sottile (SB-TFT) [18] ma il processo utilizzato per la realizzazione di tali dispositivi ha richiesto, comunque, temperature elevate e l'impiego di droganti. I transistor ottenuti, sia a canale n che a canale p, hanno mostrato tensioni di soglia $|V_t|>5V$ e rapporti I_{on}/I_{off} compresi fra 10^4 e 10^5 con subthreshold swing (SS) pari a circa 0.24V/dec (canale p) e 1.44V/dec (canale n). Tali risultati sono stati ottenuti con processi con temperatura massima $T_{max}\geq400°C$. Un budget termico di questo tipo, tuttavia, non permette di realizzare i transistor su substrati plastici flessibili a meno di non utilizzare tecniche di layer transfer che, per quanto efficaci, limitano comunque la massima dimensione dei chip realizzabili e lo yield complessivo del processo [19].

In generale, gli sforzi di ricerca sono tutt'ora rivolti all'individuazione di strategie per l'ottimizzazione dell'altezza della barriera Schottky ai terminali di source e drain. Per quanto riguarda i transistor di tipo bulk body, invece, i migliori risultati al momento disponibili in letteratura sono stati tutti ottenuti su dispositivi con lunghezze di canale inferiori ai 100nm e sfruttando tecniche di segregazione del drogante all'interfaccia metallo-semiconduttore per l'ottimizzazione dell'altezza di barriera [20]. Grazie a questi approcci è stato possibile realizzare transistor con

alti rapporti I_{on}/I_{off} (10^9 per canale p, NiSi e 10^4 per canale n, CoSi), ed elevate transconduttanze (~500 mS/mm). Tali approcci, tuttavia, non sempre risultano applicabili alla realizzazione di SB-TFT con processi a bassa temperatura; l'impiego di atomi droganti, inoltre, aumenta i costi e la complessità dell'intero processo tecnologico e, pertanto, fa sì che gli SB-TFT non risultino competitivi nei confronti dei DSD-FET. L'approccio scelto per la realizzazione degli SB-FET oggetto della presente tesi, al contrario, ha previsto l'utilizzo di giunzioni Schottky realizzate con film di metallo evaporato direttamente sulla superficie del semiconduttore senza l'utilizzo di alcun layer dielettrico intermedio e senza la necessità di utilizzare alcun tipo di drogante. Questo sistema è stato scelto per limitare al minimo i costi di processo ed il numero di step litografici utilizzati e per permettere la contemporanea realizzazione di transistor a canale n ed a canale p sullo stesso substrato.

2.3 Barriere Schottky: principi di funzionamento e trasporto di carica

Per descrivere correttamente il principio di funzionamento di un transistor SB-FET è necessario, innanzitutto, analizzare i meccanismi di trasporto che caratterizzano le giunzioni Schottky. La Figura 3 rappresenta il diagramma a bande di una giunzione metallo-semiconduttore in tre differenti stati di polarizzazione.

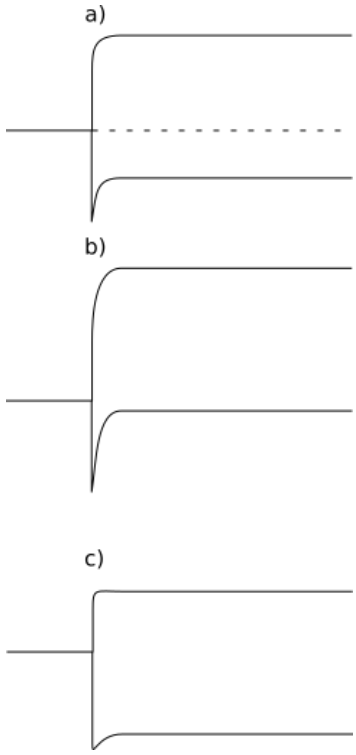

Figura 3 Diagramma a bande di una giunzione Schottky a) all'equilibrio b) in polarizzazione inversa e c) in polarizzazione diretta

Quando il metallo ed il semiconduttore entrano in contatto la giunzione si porta all'equilibrio termodinamico (Figura 3 a) e le bande subiscono un incurvamento all'interfaccia fra i due diversi materiali. In questa condizione si genera, all'interno del semiconduttore, una regione svuotata in cui sono presenti unicamente cariche fisse di segno opposto rispetto a quello del portatore maggioritario (cariche negative per semiconduttore di tipo p e positive per il tipo n). Applicando una tensione inversa al dispositivo (per l'esempio in figura, positiva sul metallo e negativa sul semiconduttore) la zona svuotata si espande e le bande subiscono un ulteriore incurvamento (Figura 3 b). In questa condizione le cariche minoritarie presenti nel semiconduttore possono fluire liberamente verso il metallo ma, al contrario, l'iniezione di cariche maggioritarie dal metallo verso il semiconduttore è inibita dalla presenza di una barriera di potenziale. Alcuni portatori, tuttavia, possono comunque superare tale barriera con diverse modalità; le cariche, infatti, possono essere emesse al di sopra della barriera per effetto termoionico e

possono attraversare la barriera per effetto tunnel o per tunneling assistito termicamente. Il passaggio di cariche può essere descritto dall'equazione 1, dove A* è la costante di Richardson ridotta del materiale, Φ_b è l'altezza della barriera Schottky per il portatore maggioritario, V è la tensione applicata alla giunzione, n è il coefficiente di idealità della giunzione, E_0, ε' e α sono delle quantità che dipendono dalla mobilità dei portatori e dalla permittività del semiconduttore e, infine, J_{FE} e J_{TFE} rappresentano i contributi di densità di corrente dovuti all'effetto tunnel ed al tunneling assistito termicamente. Si osservi che J_{FE} e J_{TFE} dipendono, rispettivamente, dalla tensione applicata e dalla sua radice quadrata.

$$J_r = A^* T^2 e^{\frac{-q\Phi_b}{kT}} + J_{FE}(V) A^* T e^{\frac{\alpha \Phi_b^{3/2}}{\sqrt{\Phi_b - V}}} + J_{TFE}(\sqrt{V}) A^* T e^{\frac{-q\Phi_b}{E_0}} e^{\frac{-qV}{\varepsilon'}} \quad (1.1)$$

Come è possibile osservare dalla precedente equazione, la corrente inversa della giunzione mostra una forte dipendenza dall'altezza della barriera Schottky e dalla temperatura. La componente di emissione termoionica, inoltre, non dipende dalla tensione applicata in quanto, se si trascura l'effetto Schottky di modulazione della barriera, l'altezza della barriera di potenziale resta costante al variare della polarizzazione del diodo. Si osservi che questa approssimazione può risultare alquanto grossolana nel caso in cui $\Phi_b >> kT/q$. Come si vedrà più avanti, tuttavia, una barriera di questo tipo limiterebbe notevolmente le prestazioni del transistor e risulta, pertanto, del tutto indesiderabile. Le correnti di tunneling mostrano, invece, una non trascurabile dipendenza dalla tensione dovuta all'effetto che quest'ultima esercita sulla larghezza della barriera. Per barriere basse ($\Phi_b \leq 4kT/q$) a temperatura ambiente e basse tensioni inverse, il contributo di corrente predominante sarà, in ogni caso, quello di emissione termoionica mentre, nel caso di barriere più elevate, i contributi di tunneling divengono predominanti soprattutto in presenza di elevate tensioni di polarizzazione. La giunzione Schottky polarizzata inversamente, quindi, mostrerà una corrente comunque dipendente dalla tensione applicata contrariamente a quanto accade, ad esempio, per i diodi

a giunzione PN. Nel caso in cui le correnti di tunneling siano prevalenti rispetto a quelle di emissione termoionica, inoltre, la corrente inversa del diodo Schottky può assumere valori anche molto elevati (casi del genere possono verificarsi, ad esempio, nel caso di semiconduttori molto drogati o in presenza di campi elevati). Quando, al contrario, si applica una polarizzazione diretta alla giunzione, le bande assumono la configurazione mostrata in Figura 3 (c); in questo caso il trasporto è dominato dalle cariche maggioritarie che, dal semiconduttore, fluiscono verso il metallo. All'aumentare della tensione applicata, infatti, la barriera di potenziale che tali portatori devono superare diventa sempre più bassa fino al limite di bande piatte. In questa condizione la componente di corrente dominante è quella dovuta all'emissione termoionica delle cariche al di sopra della barriera; mano a mano che aumenta la tensione diretta, infatti, la barriera di potenziale si abbassa ma, al tempo stesso, si allarga sempre di più inibendo, di conseguenza, l'effetto tunneling. L'equazione che descrive la densità di corrente della giunzione può essere, pertanto, approssimata considerando esclusivamente il contributo dovuto all'emissione termoionica:

$$J = A^{*}T^{2}e^{\frac{-q\Phi_b}{kT}}\left(e^{\frac{qV}{nkT}} - 1\right) \tag{1.2}$$

2.4 Effetti di abbassamento e pinning della barriera Schottky

Nel modello fin qui esposto si è fatto riferimento all'altezza della barriera come mostrata in Figura 3 e considerando l'altezza di quest'ultima come dipendente esclusivamente dalla funzione lavoro del metallo e dall'affinità elettronica del semiconduttore. In presenza di un campo elettrico perpendicolare all'interfaccia metallo-semiconduttore, tuttavia, la barriera subisce un abbassamento a causa dell'effetto Schottky. In particolare l'altezza di barriera varierà secondo la legge:

$$\Delta\Phi = \sqrt{\frac{qE}{4\pi\varepsilon}} \tag{1.3}$$

Dove E è il campo elettrico perpendicolare all'interfaccia. Si osservi che, a causa della presenza del potenziale di builtin, anche quando non vi è alcuna tensione esterna applicata al diodo è comunque presente un campo elettrico all'interfaccia fra i due materiali. L'altezza della barriera può essere, inoltre, modificata a causa di un secondo effetto, detto effetto di dipolo indotto, la cui entità dipende, ancora una volta, dal campo elettrico presente all'interfaccia metallo semiconduttore; le cariche presenti nel metallo in prossimità dell'interfaccia con il semiconduttore possono, infatti, indurre un dipolo all'interno di quest'ultimo e, di conseguenza, generare un potenziale elettrostatico che riduce l'altezza effettiva della barriera Schottky. In tal caso, l'equazione (3) può essere riscritta come:

$$\Delta\Phi = \sqrt{\frac{qE}{4\pi\varepsilon}} + \alpha E \tag{1.4}$$

dove α rappresenta un coefficiente di proporzionalità che dipende dalle caratteristiche dell'interfaccia metallo-semiconduttore.

L'altezza della barriera Schottky può variare rispetto a quanto determinato teoricamente anche in seguito a fenomeni detti di "pinning"; la presenza di difetti carichi all'interfaccia metallo-semiconduttore genera, infatti, un potenziale che interferisce con la naturale curvatura delle bande. L'altezza effettiva della barriera, in tal caso, dipenderà solo debolmente dalla funzione lavoro del metallo e tenderà, al contrario, ad assumere valori pressoché indipendenti dal tipo di materiale utilizzato. Nel caso in cui la densità di stati all'interfaccia sia particolarmente elevata è anche possibile che l'altezza della barriera Schottky diventi completamente indipendente dalla funzione lavoro del metallo. Per evitare effetti di questo tipo, pertanto, è necessario ridurre al minimo la quantità di impurità

presenti all'interfaccia utilizzando specifiche tecniche di pulizia o passivazione della superficie del semiconduttore prima di procedere con l'evaporazione del metallo (tale procedimento sarà approfondito nei prossimi capitoli).

2.5 Giunzioni Schottky su semiconduttori altamente disomogenei

Quanto esposto nei paragrafi precedenti può essere considerato valido nel caso di giunzioni Schottky realizzate su semiconduttori monocristallini o, più in generale, che presentino un'interfaccia con caratteristiche fisiche ed elettriche omogenee su superfici paragonabili a quelle della giunzione. Se, al contrario, il diodo Schottky è realizzato su semiconduttori nano o micro cristallini, la scarsa omogeneità dell'interfaccia modificherà le caratteristiche della giunzione; in particolare sarà possibile considerare il singolo diodo come costituito da diversi diodi posti in parallelo, ognuno con caratteristiche diverse [21]. Secondo la teoria sviluppata da Tung riguardo le caratteristiche di trasporto di diodi Schottky disomogenei, il comportamento risultante sarà quello di un diodo la cui altezza di barriera dipenderà fortemente dalla temperatura e dal campo elettrico e la cui superficie equivalente potrà essere molto diversa da quella geometricamente definita dalle dimensioni del contatto metallico [21]. In generale la corrente che scorre in una giunzione di questo tipo potrà essere definita come:

$$I = A^{*}T^{2}\left(e^{\frac{qV}{nkT}} - 1\right)\sum S_{eff}e^{\frac{-q\Phi_{beff}}{kT}} \tag{1.5}$$

dove S_{eff} e Φ_{beff} rappresentano la superficie e l'altezza di barriera dei singoli diodi equivalenti posti in parallelo fra loro. L'altezza di barriera e la superficie del diodo reale, pertanto, potranno risultare anche molto diverse rispetto a quelle calcolate in fase di progetto e dipenderanno fortemente dai parametri del processo tecnologico impiegato per la realizzazione del dispositivo.

2.6 Principio di funzionamento degli SB-FET

Un transistor SB-FET è costituito da due giunzioni Schottky contrapposte realizzate sullo stesso substrato di materiale semiconduttore; in Figura 4 sono mostrate le configurazioni energetiche di un SB-FET in varie condizioni di polarizzazione. Si osservi che la schematizzazione in figura rappresenta un transistor a canale n; per tutto il resto del capitolo si farà riferimento a questo tipo di dispositivo ma la trattazione può essere facilmente estesa anche a dispositivi a canale p.

In condizioni di assenza di polarizzazione, il diagramma a bande della struttura è quello riportato in Figura 4 (a). La banda di valenza e quella di conduzione del semiconduttore presentano un incurvamento all'interfaccia con il metallo e le due giunzioni di source e drain si trovano all'equilibrio termodinamico; in questa condizione il livello di fermi può essere considerato costante lungo tutto il dispositivo. All'aumentare della tensione V_{ds} il diagramma a bande diventa quello rappresentato in Figura 4 (b): il potenziale applicato fra source e drain polarizza direttamente la giunzione di source ed inversamente quella di drain; vi è, pertanto, un aumento della probabilità di emissione di lacune per effetto termoionico alla barriera metallo semiconduttore di source. Le cariche iniettate dal semiconduttore nel metallo di source, tuttavia, devono essere reintegrate dalla giunzione di drain polarizzata inversamente. In questa giunzione le lacune possono essere emesse sia per effetto termoionico che per tunneling a seconda della tensione applicata e della temperatura del dispositivo. A basse tensioni V_{ds} il fenomeno dominante sarà l'emissione termoionica ed il numero di cariche immesse nel semiconduttore sarà estremamente ridotto e fortemente dipendente dall'altezza della barriera Schottky; a tensioni di polarizzazione più alte, invece, cominceranno a prevalere gli effetti di tunneling e la corrente tenderà ad aumentare. Poiché la tensione fra gate e source è nulla, il transistor si trova, in ogni caso, nello stato di OFF. Perché il dispositivo abbia un buon funzionamento,

pertanto, è necessario che la corrente che scorre fra source e drain in queste condizioni di polarizzazione sia la più bassa possibile; di conseguenza è necessario che la barriera Schottky rispetto alla banda di valenza sia la più alta possibile. Quando viene applicato un campo fra il terminale di gate ed il terminale di source ed in assenza di una tensione V_{ds}, invece, la configurazione energetica del transistor è quella mostrata in Figura 4 (c). Come in un normale transistor MOSFET, il campo di gate modifica la struttura energetica del semiconduttore fino a portare quest'ultimo in condizioni di inversione di popolazione permettendo, così, la formazione di un canale di elettroni liberi. In queste condizioni il passaggio di corrente alle giunzioni di source e drain sarà dominato dal movimento degli elettroni e non più delle lacune. In presenza di una tensione positiva fra gate e source, il campo elettrico applicato fra drain e source polarizza le giunzioni come mostrato in Figura 4 (d); in questo caso, la giunzione di drain sarà polarizzata direttamente mentre quella di source si troverà in condizioni di polarizzazione inversa. La corrente che scorre nel transistor, pertanto, sarà limitata dalla barriera Schottky per gli elettroni al terminale di source. Poiché si sta considerando la condizione in cui $V_{gs}>V_t$ e $V_{ds}>0$ la corrente che scorre nel transistor sarà quella di ON e, pertanto, dovrà essere la maggiore possibile. Per assicurare che questa condizione sia verificata è necessario che la barriera Schottky rispetto alla banda di conduzione sia estremamente ridotta senza, tuttavia, rendere il contatto ohmico (in questo caso, infatti, sarebbe possibile far scorrere corrente nel dispositivo anche in condizioni di OFF).

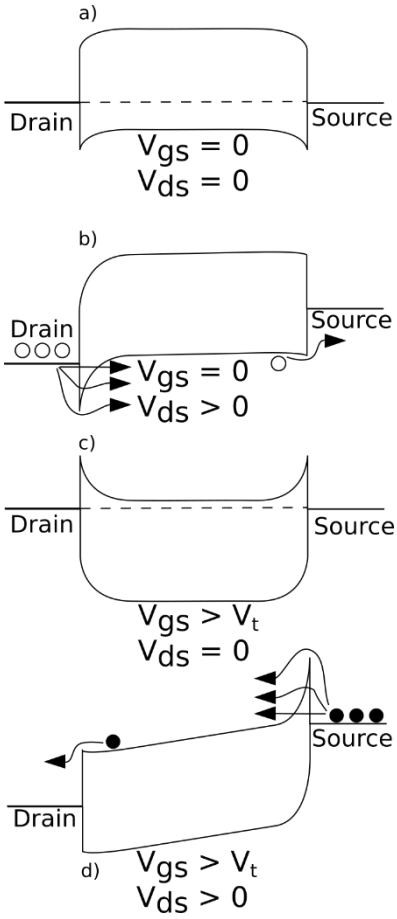

Figura 4 Diagramma a bande di un dispositivo SB-FET a canale n a) in stato di OFF b) con $V_{gs} = 0$ e $V_{ds} > 0$ c) con $V_{gs} > V_t$ e $V_{ds} = 0$ d) in stato di ON

È importante osservare che, anche in condizioni di ON, la corrente che scorre nel transistor è comunque limitata dalla presenza di una barriera Schottky polarizzata inversamente; anche su materiali con mobilità particolarmente scarsa il fenomeno di trasporto che dominerà la corrente complessiva, dunque, sarà l'emissione di portatori alla barriera e non il drift e la diffusione di questi ultimi nel canale. Di conseguenza, la corrente di drain mostrerà una dipendenza molto debole dalla lunghezza del canale e gli effetti di modulazione di canale, che tipicamente affliggono i transistor MOSFET, saranno notevolmente ridotti. Nel caso in cui, tuttavia, l'altezza della barriera Schottky non sia ben ottimizzata, ovvero nel caso in cui essa sia comunque troppo elevata nei confronti della banda di conduzione, la probabilità di tunneling avrà una forte dipendenza dalla tensione applicata e anche l'effetto di abbassamento di barriera diventerà particolarmente rilevante ai

fini dell'emissione termoionica dei portatori; in questo caso il transistor mostrerà un andamento della corrente in saturazione molto simile a quello dovuto alla modulazione della lunghezza di canale dei DSD-FET.

Dalla descrizione del principio di funzionamento degli SB-FET è possibile determinare quali debbano essere le caratteristiche di un transistor di questo tipo al fine di massimizzarne le prestazioni; in primo luogo sarà necessario ottimizzare l'altezza della barriera Schottky in funzione del tipo di transistor che si desidera realizzare di modo che essa sia il più bassa possibile nei confronti del portatore maggioritario in condizioni di inversione. Per ottenere questo risultato è necessario che la superficie del semiconduttore non presenti una densità di difetti abbastanza elevata da generare forti fenomeni di pinning; nel caso di materiali policristallini, inoltre, la presenza dei bordi di grano al di sotto dei contatti metallici di source e drain fa sì che le giunzioni Schottky presentino delle correnti di perdita in polarizzazione inversa la cui entità non dipende dalle caratteristiche della barriera; tali correnti tendono ad aumentare la densità di corrente nello stato di OFF diminuendo, di conseguenza, il rapporto ON/OFF del dispositivo. Maggiore la dimensione dei grani che compongono il substrato semiconduttore, quindi, e maggiori saranno le performance del transistor. Come per i DSD-FET, infine, la scelta del metallo di gate, a parità di qualità e spessore dello strato dielettrico, permette di modificare la tensione di soglia dei transistor; nel caso di dispositivi a film sottile con temperature di processo estremamente basse, tuttavia, non è sempre possibile scegliere arbitrariamente il tipo di metallo da utilizzare per realizzare gli elettrodi di gate e, pertanto, sarà necessario trovare un compromesso fra i parametri di processo e le performance dei transistor.

3 Processo tecnologico e realizzazione degli SB-FET

In questo capitolo sarà descritto il processo tecnologico utilizzato per la realizzazione dei transistor SB-FET; si discuteranno, in particolare, le tecniche di deposizione dei film semiconduttori, isolanti e metallici, i sistemi di ricristallizzazione del film di silicio, la fotolitografia ottica per la definizione delle geometrie dei dispositivi e i metodi per la rimozione selettiva di materiali con attacchi chimici in fase liquida ed a secco. Al fine di rendere la trattazione più chiara, si inizierà con una descrizione delle tecnologie impiegate per poi proseguire con la descrizione del processo completo per la realizzazione dei dispositivi.

3.1 Deposizione di silicio amorfo: tecnica PECVD

La deposizione di film a semiconduttore di elevata qualità cristallina è, tipicamente, eseguita impiegando tecniche di decomposizione pirolitica di gas precursori del materiale da depositare (Chemical Vapour Deposition, CVD). Il substrato su cui effettuare la deposizione viene inserito in una camera stagna e portato in condizioni di alto vuoto (~10^{-7} mBar) per ridurre al minimo la quantità di inquinanti presenti; una volta raggiunto un adeguato livello di vuoto, il substrato viene riscaldato (nel caso del silicio la temperatura della superficie su cui effettuare la deposizione è di circa 650°C) e i gas precursori vengono immessi nella camera di deposizione mantenendo costanti la pressione totale ed il flusso dei gas stessi. Quando il gas entra in contatto con la superficie ad alta temperatura si dissocia nelle sue componenti atomiche attraverso una reazione di pirolisi; nel caso di deposizione di silicio, il precursore tipicamente utilizzato è il silano e la reazione di pirolisi si svolge come di seguito mostrato.

$$SiH_4(g) \underset{T}{\Rightarrow} Si(s) + 2H_2(g)$$

Gli atomi di silicio tendono, quindi, a precipitare sulla superficie del substrato formando un film semiconduttivo. La velocità di deposizione e la qualità cristallina del film varieranno in base ai vari parametri di processo come, ad esempio, la temperatura del substrato, la pressione dei gasi presenti nella camera di deposizione e l'entità dei flussi di gas in ingresso. Se il substrato di deposizione è composto di silicio monocristallino, sotto opportune condizioni, anche il film assumerà una struttura monocristallina con una densità di difetti estremamente ridotta; laddove, invece, il substrato sia di materiale diverso (SiO_2, Si_3N_4, vetro ecc.) il film di silicio ottenuto sarà policristallino e la dimensione dei cristalli sarà strettamente dipendente dai parametri di processo. In generale, il parametro più importante per la definizione della velocità di deposizione e della qualità del film risultante è la temperatura del substrato. Essa, infatti, oltre a determinare la percentuale di molecole presenti nel gas che subiscono il processo di pirolisi, definisce anche il modo in cui gli atomi di silicio si muovono e vengono adsorbiti dalla superficie di deposizione. Al di sotto dei 600°C, inoltre, non vi è energia sufficiente perché si possa verificare la pirolisi del silano e, di conseguenza, non è possibile eseguire la deposizione del silicio. Poiché substrati plastici e flessibili non sono in grado di sopportare temperature di processo tanto elevate, la CVD non è utilizzabile come metodo di deposizione di film di silicio per la realizzazione di chip flessibili. Per ovviare a questo problema è possibile utilizzare una tecnica di deposizione detta CVD assistita da plasma (Plasma Enhanced CVD o PECVD). Questo tipo di sistema di deposizione permette di ottenere la dissociazione dei gas precursori grazie all'utilizzo di un campo elettrico a radiofrequenza; i gas a bassa pressione presenti nella camera di deposizione, infatti, vengono ionizzati grazie all'applicazione del campo attraverso due contatti metallici planari posti all'interno della camera stessa. La percentuale di gas che si ionizza passando allo stato di plasma è, tipicamente, molto ridotta e, di conseguenza, gli elettroni liberi all'interno del plasma interagiscono solo debolmente con le molecole non ionizzate. In tal modo, la temperatura equivalente degli elettroni liberi si mantiene estremamente elevata permettendo la pirolisi delle molecole circostanti. Grazie

alla presenza del plasma, quindi, è possibile ottenere la dissociazione dei gas precursori senza necessità di aumentare la temperatura del substrato di deposizione rendendo, pertanto, possibile la deposizione di film di silicio anche su substrati plastici. La temperatura del substrato permette, in ogni caso, di controllare la cinetica degli atomi di silicio sulla superficie e, conseguentemente, la qualità del film cristallino senza, tuttavia, definire in alcun modo la percentuale di molecole di gas che subiscono il processo di pirolisi. Utilizzando temperature compatibili con substrati plastici (<350°C anche nel caso di materiali ad alta temperatura di transizione vetrosa come la poliimmide) non è possibile, tuttavia, ottenere film di silicio policristallino. Il film risultante è, invece, composto di silicio amorfo idrogenato (a-Si:H); a causa della bassa temperatura del substrato, infatti, gli atomi di silicio vengono adsorbiti troppo velocemente sulla superficie di deposizione e non vi è, pertanto, il tempo sufficiente perché essi possano dirigersi sui siti atomici a più bassa energia e formare strutture cristalline. La bassa temperatura, inoltre, fa sì che gli atomi di idrogeno presenti all'interno della camera di deposizione possano essere momentaneamente adsorbiti sulla superficie e rimanere, così, intrappolati all'interno del film semiconduttore. Il silicio amorfo idrogenato ottenuto con deposizioni PECVD non è un materiale adatto alla realizzazione di transistor a causa della mobilità estremamente bassa dei portatori (<0.1 $cm^2V^{-1}s^{-1}$); per ottenere dispositivi con performance accettabili è, pertanto, necessario impiegare processi di ricristallizzazione che tramutino il film amorfo in un film policristallino. Tali processi saranno analizzati più avanti nel capitolo.

3.2 Deposizione di SiO_2: tecnica ECR

Il processo di fabbricazione dei transistor ad effetto di campo prevede l'utilizzo di strati dielettrici per realizzare la struttura metallo-ossido-semiconduttore di gate; nei transistor in silicio, tipicamente, il materiale dielettrico impiegato è l'ossido di

silicio (SiO_2). L'approccio classico alla realizzazione di film dielettrici prevede l'impiego di processi di ossidazione termica; in questi casi il film di silicio su cui si vuole accrescere lo strato di ossido viene inserito in una fornace in atmosfera satura di ossigeno. A temperature pari a circa 1000°C l'ossigeno reagisce con il film di silicio formando SiO_2; questo metodo di accrescimento è quello che, tipicamente, permette di ottenere i film dielettrici di qualità più elevata. Poiché, infatti, lo strato di ossido non è depositato sul silicio sottostante ma è accresciuto facendo reagire direttamente l'ossigeno con esso, l'interfaccia ossido-semiconduttore è particolarmente povera di difetti ed impurità e, pertanto, la densità di stati all'interfaccia risulta essere estremamente ridotta (~$10^{10}cm^{-2}eV^{-1}$) [22]. Il film di SiO_2, inoltre, risulta essere particolarmente compatto ed uniforme garantendo, così, una rigidità dielettrica tale da riuscire a sopportare campi elettrici nell'ordine dei $15MVcm^{-1}$ [23]. Come nel caso della deposizione del film di silicio, tuttavia, le temperature necessarie all'accrescimento del film di ossido termico risultano proibitive ai fini della compatibilità del processo di realizzazione dei transistor con materiali plastici. Per mantenere le temperature di processo più basse, tuttavia, è possibile utilizzare metodi assistiti da plasma per depositare un film di SiO_2 sul substrato di silicio. In particolare i migliori risultati si ottengono con apparati di tipo ECRCVD (Electron Cyclotron Resonance Chemival Vapour Deposition). Come per la PECVD descritta in precedenza, un sistema ECR genera un plasma eccitando i gas presenti nella camera di deposizione con l'ausilio di un campo elettrico. Nel caso degli apparati ECR, tuttavia, la frequenza del campo elettrico ricade nel range delle microonde (2.54GHz). Intorno alla camera di deposizione, inoltre, è posto un elettromagnete che genera un campo magnetico costante. Gli elettroni liberi presenti nel plasma, sottoposti alla forza di Lorentz impressa dal campo magnetico, seguiranno una traiettoria spiraleggiante con una frequenza di rotazione che dipende dall'intensità del campo magnetico e dalla loro massa; se tale frequenza corrisponde a quella del campo elettrico a microonde il sistema si trova in risonanza ed è possibile trasferire agli elettroni una grande quantità di energia. Sistemi di questo tipo, pertanto, permettono di generare dei

plasmi con elevata densità di ioni anche in miscele di gas con pressioni particolarmente ridotte (~10^{-3}mBar). Ne segue che è possibile ottenere deposizioni di SiO_2 utilizzando flussi di gas precursori del silicio particolarmente ridotti assicurando, così, una bassa densità di pinhole e di siti non stechiometrici all'interno del film dielettrico [24]. L'elevata densità di ioni in un plasma a bassa pressione, inoltre, fa sì che la superficie del film in accrescimento subisca un bombardamento ionico a bassa energia e che, di conseguenza, la quantità di idrogeno incorporata nel dielettrico risulti particolarmente ridotta [25]. Film di SiO_2 ottenuti con la tecnica ECR presentano, tipicamente, campi di rottura nell'ordine dei 10MV/cm e densità di stati all'interfaccia di circa $5 \cdot 10^{12} cm^{-2} eV^{-1}$. Pur non raggiungendo gli standard qualitativi dei dielettrici ottenuti con processi di ossidazione termica, l'ossido di silicio realizzato con ECR ha, in ogni caso, una qualità abbastanza elevata da poter essere impiegato per la realizzazione di transistor MOSFET. Il processo di crescita, inoltre, può essere eseguito a temperatura ambiente garantendo, così, piena compatibilità con substrati plastici. Infine, la qualità del film dielettrico può essere aumentata ulteriormente dopo la deposizione utilizzando processi di annealing a bassa temperatura grazie ai quali la densità dei stati superficiali può essere ridotta di circa un ordine di grandezza [26].

3.3 Deposizione di strati metallici: evaporazione termica e sputtering

La deposizione di film metallici può essere realizzata utilizzando due diversi tipi di processo: l'evaporazione termica e lo sputtering. In entrambi i casi il substrato di deposizione è inserito in una camera da vuoto all'interno della quale è presente una sorgente metallica ad elevata purezza. Nel caso dell'evaporazione termica, tale sorgente è rappresentata da granuli metallici inseriti all'interno di un crogiolo di tungsteno o di nitruro di boro (nel caso, rispettivamente, di metalli basso ed alto fondenti). I metalli basso fondenti vengono riscaldati per effetto Joule facendo

scorrere una corrente all'interno del crogiolo di tungsteno mentre gli alto fondenti vengono bombardati direttamente con un fascio focalizzato di elettroni emesso da un apposito cannone; quando la pressione di vapore del metallo uguaglia la pressione presente nella camera di deposizione (tipicamente ~10^{-6} mBar) il metallo comincia ad evaporare o a sublimare. Grazie alla bassa pressione, gli atomi di metallo che si allontanano dal crogiolo possono muoversi in linea retta con cammini liberi medi nell'ordine delle decine di centimetri; in questo modo, essi possono raggiungere il substrato di deposizione sul quale vengono adsorbiti formando, così, un film uniforme. I metalli alto fondenti possono essere depositati anche per sputtering; in questo caso la sorgente è rappresentata da un disco metallico del diametro di qualche centimetro. All'interno della camera di deposizione viene inserito un gas inerte (tipicamente Ar) a bassa pressione e, con l'applicazione di un campo elettrico DC, si genera un plasma. Gli ioni Ar^+, accelerati dal campo elettrico, colpiscono il target metallico con una forza sufficiente e staccare da esso gli atomi più superficiali; anche in questo caso, gli atomi metallici possono raggiungere la superficie del substrato di deposizione ed essere adsorbiti. Poiché il cammino libero medio degli atomi metallici è ridotto dalla presenza del gas ionizzato all'interno della camera di deposizione, è spesso necessario porre il substrato in rotazione in modo tale da assicurare l'uniformità dello spessore del film depositato. È possibile, inoltre, che gli ioni che colpiscono il target metallico liberino più di un atomo contemporaneamente portando, così, alla deposizione di cluster atomici e, conseguentemente, all'ottenimento di film metallici con roughness più elevata rispetto a quella ottenibile con sistemi di evaporazione termica. Tipicamente la deposizione di film metallici può avvenire, sia nel caso di evaporazione termica che nel caso dello sputtering, mantenendo il substrato a temperatura ambiente. Entrambi i processi, pertanto, risultano compatibili con l'impiego di materiali plastici e non presentano, in tal senso, criticità di rilievo.

3.4 Litografia ed etching selettivo

I vari strati metallici, semiconduttivi e dielettrici che compongono un transistor FET devono essere disposti l'uno sull'altro secondo una ben determinata geometria; le tecniche di deposizione fin qui esposte non sono selettive rispetto al substrato e, pertanto, l'intero wafer viene, di volta in volta, completamente ricoperto dal materiale depositato[1]. È pertanto necessario rimuovere selettivamente alcune parti dei film depositati così da poter definire la geometria del dispositivo. La rimozione dei materiali è effettuata chimicamente utilizzando degli attacchi liquidi (wet etching) o degli attacchi in fase gassosa (dry etching o Reactive Ion Etching, RIE). Nel primo caso il wafer viene immerso in soluzioni che reagiscono con il materiale da rimuovere pur essendo quasi del tutto inerti rispetto agli altri materiali presenti sul wafer. Gli attacchi in fase gassosa sono, invece, eseguiti all'interno di una camera da vuoto nella quale si inseriscono, a pressione controllata, dei gas che, una volta ionizzati per mezzo di un campo elettrico a radiofrequenza, generano dei radicali in grado di legarsi al materiale da rimuovere formando composti volatili che vengono rapidamente rimosi dai sistemi di pompaggio. Se applicati sull'intero wafer, gli attacchi chimici rimuoverebbero tutto il materiale indiscriminatamente; è, dunque, necessario proteggere alcune parti del film in modo tale da poter definire con esattezza le aree residue al termine dell'attacco. A tal fine si introducono degli strati polimerici mascheranti che, immuni agli attacchi chimici, proteggono il materiale sottostante impedendone la rimozione. Tali materiali, detti photoresist, sono fotosensibili nella gamma di lunghezze d'onda dell'ultravioletto; quando vengono illuminati divengono solubili (photoresist positivi) o insolubili (photoresist negativi) in specifiche soluzioni di sviluppo. Esponendo il photoresist ad una radiazione

[1] Le tecniche di deposizione in plasma (PECVD ed ECR) sono, in realtà, selettive rispetto al substrato. Nel caso specifico del processo utile alla realizzazione degli SB-FET, tuttavia, sia i processi di deposizione del silicio che quello dell'ossido vengono effettuati in condizioni tali per cui non vi è selettività.

ultravioletta attraverso una maschera semiriflettente, quindi, è possibile definire le aree del wafer che rimarranno ricoperte dal polimero (e quindi protette dagli attacchi chimici) e quelle che, al contrario, rimarranno esposte. Il processo di esposizione e sviluppo del photoresist è mostrato schematicamente in Figura 5.

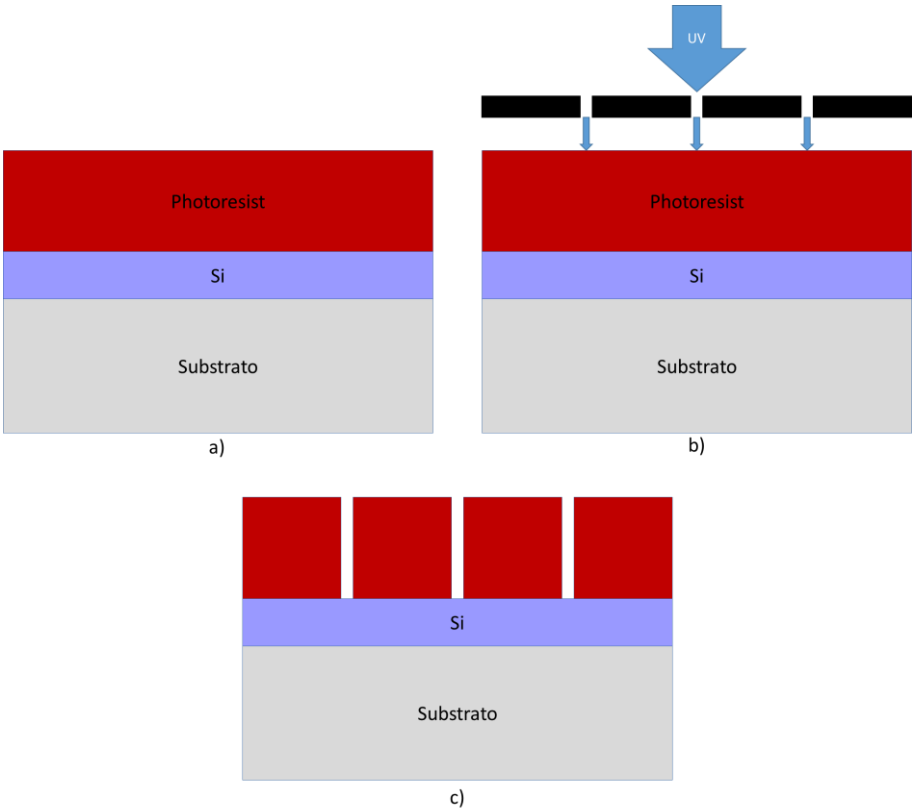

Figura 5 Fotolitografia di un film di photoresist positivo. a) Deposizione del film, b) esposizione attraverso una maschera semiriflettente e c) sviluppo

Al termine del processo fotolitografico il wafer si presenterà, ad esempio, come schematizzato in Figura 6 (a). Lo strato di photoresist residuo proteggerà il materiale sottostante dall'azione degli attacchi chimici permettendo di trasferire su di esso la geometria definita fotolitograficamente (come mostrato in Figura 6 b). Al termine dell'attacco chimico, il photoresist residuo può essere rimosso immergendo il wafer in acetone o in soluzioni specifiche fornite dal produttore del photoresist stesso.

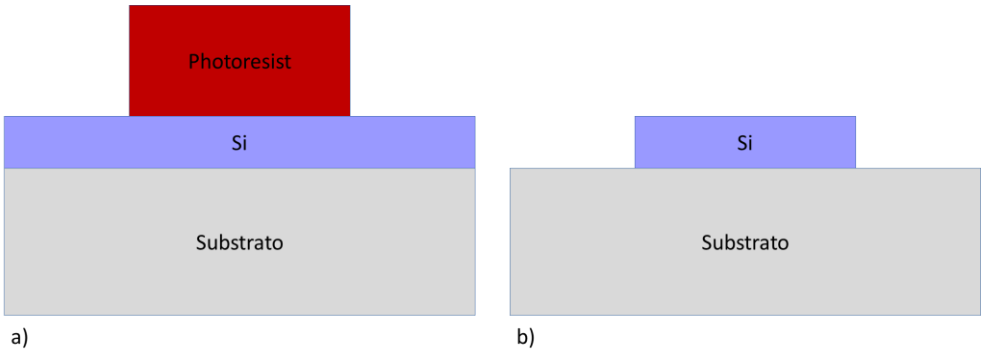

Figura 6 Rappresentazione schematica di un film di silicio ricoperto dal photoresist residuo al termine del processo fotolitografico (a) e dopo l'esecuzione dell'attacco chimico (b)

Il processo fotolitografico può essere impiegato indifferentemente sia nel caso di attacchi wet che nel caso di attacchi dry; i due tipi di etching hanno, tuttavia, caratteristiche molto diverse e vengono, pertanto, utilizzati per diversi fini. In primo luogo gli attacchi wet sono generalmente isotropi e, pertanto, rimuovono il materiale senza alcuna direzione preferenziale. Attacchi di questo tipo non sono, quindi, utilizzabili per realizzare strutture con rapporti altezza/larghezza particolarmente elevati. Mano a mano che gli strati superficiali di materiale vengono rimossi, infatti, la soluzione di attacco si inserisce al di sotto degli strati di maschera e comincia a rimuovere materiale anche dalle pareti laterali. Questo effetto, detto underetching, non permette di ottenere strutture con pareti laterali perfettamente verticali e, se non controllato, può provocare la completa rimozione del materiale anche al di sotto degli strati di maschera. In Figura 7 è mostrata una schematizzazione del fenomeno di underetching in seguito ad un attacco di tipo wet.

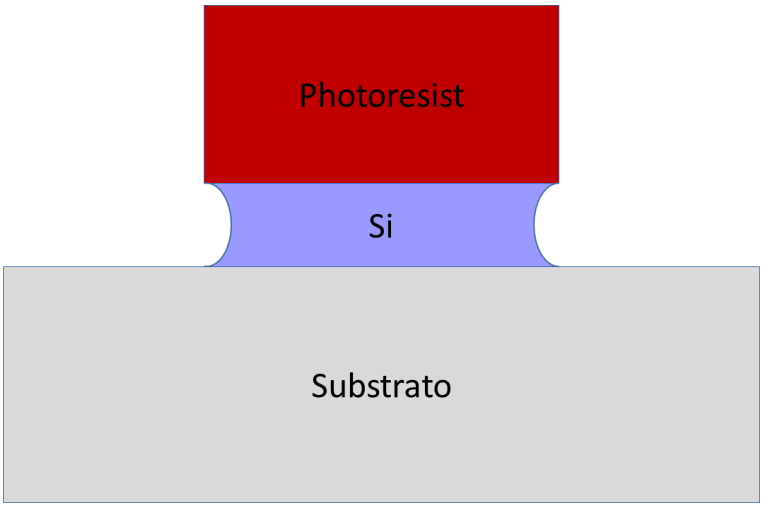

Figura 7 Effetto di underetching per attacchi wet

Nonostante l'andamento prettamente isotropo, gli attacchi wet sono estremamente utili e diffusi a causa della loro flessibilità, economicità e per la possibilità di operare uniformemente su aree molto grandi e su più wafer contemporaneamente. Attacchi di questo tipo, inoltre, sono facilmente controllabili agendo sui parametri di processo (temperatura del bagno chimico, agitazione della soluzione e del substrato, tempo di reazione, ecc.) o sulle proporzioni fra i vari reagenti che compongono le soluzioni di attacco. Nel caso in cui sia necessario ottenere strutture con pareti verticali ben definite si deve, invece, ricorrere ai metodi di attacco in gas. Tali sistemi di etching, infatti, permettono di realizzare attacchi con alto grado di anisotropia agendo sui parametri di processo e bilanciando l'effetto di rimozione del materiale ad opera dei radicali liberi presenti nel plasma (etching chimico, completamente isotropo) e l'effetto di bombardamento della superficie del wafer ad opera degli ioni accelerati dalla componente continua del campo elettrico (etching meccanico, altamente anisotropo). I gas più comunemente utilizzati nei sistemi RIE sono i composti di cloro, fluoro e carbonio, particolarmente adatti per la rimozione di strati di silicio e di SiO_2; tali gas, tuttavia, non possono essere utilizzati per la rimozione di molti altri materiali e ciò, tipicamente, limita il campo applicativo

dell'etching RIE solo ad alcune fasi specifiche del processo produttivo dei dispositivi elettronici. Durante i processi di etching di stati dielettrici, inoltre, questi ultimi possono subire un danneggiamento dovuto al passaggio di cariche al loro interno a causa degli elevati campi elettrici che si sviluppano all'interno del reattore RIE [27]. Nel caso di dielettrici di gate, effetti di questo tipo possono peggiorare drasticamente le performance dei transistor per cui, tipicamente, gli attacchi RIE devono essere evitati nelle ultime fasi di lavorazione dei dispositivi FET e, più in generale, dopo che siano stati realizzati i dielettrici di gate.

In alcuni casi particolari tali per cui non sia possibile identificare una soluzione o un processo di attacco abbastanza selettivo da permettere la rimozione di un singolo strato di materiale senza intaccare le strutture adiacenti e sottostanti, è necessario ricorrere a strategie di patterning che non fanno uso di alcun tipo di attacco chimico. L'approccio più comune, in questi casi, è quello del lift-off; questa particolare tecnica si avvale delle stesse maschere polimeriche normalmente utilizzate nei processi di etching ma, a differenza di quanto sopra esposto, il processo fotolitografico viene eseguito prima della deposizione del materiale di cui si vuole definire la geometria. In Figura 8 è mostrato schematicamente il processo di lift-off di un film metallico: la lavorazione inizia con la deposizione ed il patternirng (con tecnica fotolitografica) di uno strato di photoresist; per questo tipo di lavorazione sono normalmente impiegati dei photoresist con caratteristiche chimico-fisiche tali da permettere, a seguito del processo di sviluppo, di ottenere strutture di forma leggermente trapezoidale in cui la superficie a contatto con il substrato sia leggermente ridotta rispetto alla superficie superiore (undercut). Dopo aver sviluppato il photoresist è possibile procedere alla deposizione del metallo di cui è necessario definire la geometria; l'effetto di undercut fa sì che si creino, durante la deposizione, delle zone di ombra tali per cui il materiale depositato presenta delle discontinuità. A questo punto il wafer può essere immerso in una soluzione che rimuove il photoresist e, con esso, asporta anche il metallo soprastante.

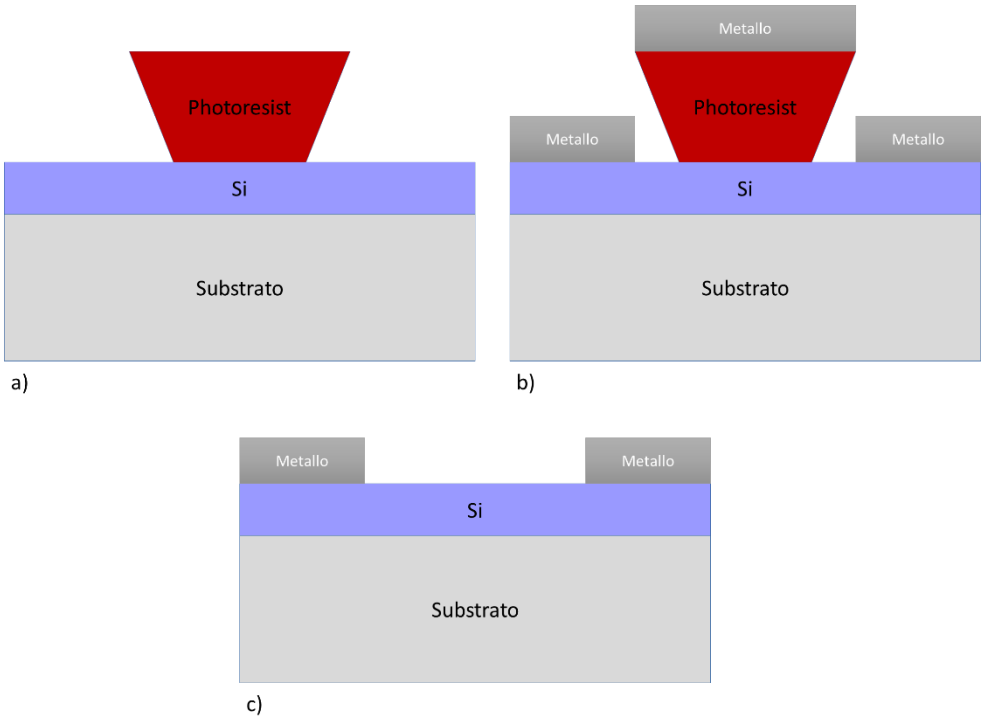

Figura 8 Patterning di uno strato metallico con tecnica lift-off. a) deposizione e patterning del photoresist, b) deposizione del film metallico, c) rimozione del photoresist e del metallo in eccesso.

Se il photoresist non avesse assunto la caratteristica forma trapezoidale, il metallo avrebbe potuto depositarsi creando dei "ponti" fra le zone a diretto contatto con il substrato e quelle poste al di sopra del photoresist. In tal caso la rimozione del polimero avrebbe potuto comportare anche la rimozione di alcune zone metalliche adiacenti impedendo la realizzazione del pattern desiderato. Oltre a risolvere i problemi di compatibilità di processo evitando l'utilizzo di attacchi non selettivi, il lift-off permette anche di ottenere strutture particolarmente definite e che non soffrono di problemi di underetching.

3.5 Ricristallizzazione del silicio amorfo: tecnica ELC

Il silicio amorfo depositato per PECVD non è adatto alla realizzazione di transistor sia a causa della bassa mobilità dei portatori sia perché il passaggio di corrente tende a modificare la distribuzione degli atomi di idrogeno all'interno del film

semiconduttivo generando, nel tempo, degli stati di trappola per i portatori e provocando, di conseguenza, una deriva delle caratteristiche dei dispositivi [28]. Effetti di questo tipo sono, al contrario, molto ridotti o del tutto assenti in film di silicio policristallino. Per tale motivo è necessario trasformare lo strato di a-Si:H depositato per PECVD in un film di silicio policristallino impiegando tecniche di ricristallizzazione. Tali processi prevedono l'impiego di elevate temperature grazie alle quali gli atomi presenti nel film di silicio amorfo acquisiscono energia sufficiente a rompere i legami atomici e a ridisporsi in reticoli ordinati. Fenomeni di questo tipo possono avvenire anche a temperature inferiori a quelle di fusione e, pertanto, ci si riferisce a queste tecniche di ricristallizzazione con il termine Solid Phase Crystallization (SPC) ad indicare come il fenomeno avvenga senza comportare alcun passaggio di fase all'interno del film di silicio [29]. Le temperature normalmente impiegate per ottenere film policristallini non sono, tuttavia, compatibili con la presenza di materiali plastici (T>470°C [29]). Se, come nel caso dei transistor oggetto di questa tesi, è necessario utilizzare un processo le cui temperature siano compatibili con materiali polimerici, è allora possibile impiegare tecniche di ricristallizzazione che sfruttino fenomeni diversi dalla SPC. In particolare è possibile utilizzare processi di cristallizzazione indotta da impulsi laser ad alta intensità generati da un laser ad eccimeri (Eccimer Laser Crystallization, ELC). I laser ad eccimeri sono sorgenti capaci di emettere impulsi della durata media di 20ns con densità di energia particolarmente elevate (E_d > 500mJ/cm^2) e lunghezze d'onda nel range ultravioletto (λ < 420nm); a queste lunghezze d'onda il silicio amorfo ha un coefficiente di assorbimento pari a ~10^6 cm^{-1}: uno strato di a-Si:H spesso 10nm è in grado di assorbire più del 60% della radiazione incidente. Assorbimenti così elevati permettono di utilizzare il fascio ottico generato da un laser ad eccimeri per riscaldare localmente il silicio amorfo portandolo a temperature anche superiori a quelle di fusione e permettendo, pertanto, la riorganizzazione degli atomi in un reticolo cristallino. Poiché la quasi totalità della radiazione luminosa è assorbita dal film di silicio, il substrato di deposizione subisce un riscaldamento estremamente ridotto e, dunque, eventuali

film polimerici non subiscono danneggiamenti. È, inoltre, possibile inserire degli strati dielettrici fra il silicio ed il substrato plastico in modo tale da ottenere un ulteriore incremento dell'isolamento termico per salvaguardare il film polimerico. Perché la ricristallizzazione possa avere inizio è necessario che il silicio assorba abbastanza energia da iniziare un processo di fusione; a seconda dell'energia utilizzata, il regime di cristallizzazione cambia radicalmente portando a forti variazioni nella dimensione media dei cristalli e, conseguentemente, nella mobilità dei portatori [30]. A basse energie solo una piccola frazione del film di silicio raggiunge temperature abbastanza elevate da permettere la fusione; si creano, così, piccole zone fuse in una matrice di silicio amorfo. All'interfaccia fra le regioni fuse e quelle ancora solide la probabilità di nucleazione è particolarmente elevata e le regioni fuse iniziando a solidificare in forma cristallina. Si genera, in questo modo, una serie di cristalli di piccole dimensioni in una matrice di silicio amorfo. Ripetendo più volte l'irraggiamento si ottiene un film completamente ricristallizzato in cui la dimensione dei cristalli è, tuttavia, molto ridotta. All'aumentare dell'energia del singolo impulso laser, la dimensione delle zone fuse aumenta ma il meccanismo di riscristallizzazione resta quello descritto in precedenza. In questa gamma di energie la dimensione laterale dei cristalli dipende, sostanzialmente, dall'energia dell'impulso ma, in ogni caso, difficilmente supera le decine di nanometri. Aumentando ulteriormente l'energia della radiazione luminosa, tuttavia, si arriva ad una condizione tale per cui la maggior parte del film fonde mentre solo alcune zone restano solide. Queste zone si comportano, quindi, come centri di nucleazione e stimolano la solidificazione del silicio nelle immediate vicinanze. Mano a mano che il silicio assume forma solida e cristallina emette energia sotto forma di calore latente di solidificazione; tale energia può essere sufficiente a riscaldare ulteriormente il materiale fuso circostante ritardando la nucleazione spontanea di nuovi cristalli di silicio. Il primo cristallo che ha iniziato a formarsi, pertanto, può continuare a crescere arrivando a raggiungere dimensioni di diversi μm. Questo particolare regime di crescita, detta Super Lateral Growth (SLG), si verifica, tuttavia, solo per intervalli di energia

molto ristretti; aumentando ulteriormente la densità di energia degli impulsi, infatti, la percentuale di materiale che passa allo stato fuso è troppo elevata e il numero di centri di nucleazione stimolati dalla presenza di grani solidi si riduce eccessivamente. In queste condizioni la probabilità di nucleazione spontanea tende ad aumentare e il silicio fuso comincia a solidificarsi casualmente in diversi punti allo stesso momento. Il numero di centri di nucleazione spontanea diviene, pertanto, troppo elevato perché i grani risultanti possano assumere dimensioni superiori alle centinaia di nm [31]. È chiaro, pertanto, che il regime di ricristallizzazione più desiderabile per la realizzazione di transistor sia quello di SLG, così da assicurare elevate mobilità. È importante osservare, a questo punto della discussione, che la presenza di idrogeno all'interno del film di silicio amorfo può rappresentare un serio ostacolo alla corretta ricristallizzazione del materiale. Quando il film viene scaldato dagli impulsi laser, infatti, l'idrogeno presente in esso tende a desorbire; se la percentuale di idrogeno è, tuttavia, troppo elevata, le molecole di gas tendono a formare delle bolle ed a generare spaccature all'interno del film arrivando, in alcuni casi, a distruggere letteralmente lo strato di silicio. Per ovviare a questi problemi è necessario ridurre la quantità di idrogeno all'interno dello strato di silicio amorfo prima di procedere alla ricristalizzazione. Per ottenere questo risultato è necessario sottoporre il wafer ad una procedura di annealing (T=350°C) per diverse ore così da permettere all'idrogeno in eccesso di desorbire lentamente senza danneggiare il film (processo di deidrogenazione).

3.6 Processo di realizzazione dei transistor SB-FET

Tutto il processo di realizzazione degli SB-FET parte da un substrato di silicio cristallino ossidato che funge unicamente da supporto meccanico per i dispositivi; la scelta del silicio ossidato si deve alla necessità di rendere il processo completamente compatibile con i substrati plastici. Laddove, infatti, si utilizzasse un substrato polimerico, sarebbe necessario realizzare su di esso uno strato di

ossido di silicio prima di iniziare la deposizione degli strati attivi componenti il transistor così da assicurare la buona aderenza dei dispositivi al substrato ottenendo, al contempo, un effetto di isolamento termico a protezione della plastica per gli step di ricristallizzazione. Il silicio ossidato rappresenta, quindi, una buona approssimazione del substrato di crescita che si avrebbe a disposizione nel caso di realizzazione dei dispositivi su supporti flessibili.

Il primo step di fabbricazione consiste nella deposizione del film di a-Si:H con tecnica PECVD. Il reattore utilizzato è di tipo custom ed è costituito da una camera di deposizione in alluminio collegata a due diversi sistemi di pompaggio. Il primo sistema è composto da una pompa rotativa primaria per la realizzazione del pre-vuoto (~10^{-2}mBar) e da una pompa turbomolecolare secondaria per la generazione dell'alto vuoto necessario ad assicurare la totale assenza di impurità nella camera di deposizione (~10^{-7}mBar). Il secondo sistema di pompaggio, invece, è costituito da una sola pompa rotativa primaria. Il substrato di crescita viene caricato nel sistema attraverso un meccanismo load-lock per assicurare il costante mantenimento delle condizioni di vuoto nella camera di deposizione. Il sistema di pompaggio principale, successivamente, viene utilizzato per mantenere la camera in condizioni di alto vuoto durante la fase di riscaldamento del substrato. La deposizione viene eseguita, invece, collegando alla camera il secondo sistema di pompaggio. Il sistema dotato di pompa turbomolecolare, infatti, non permetterebbe di raggiungere le pressioni necessarie ad effettuare la deposizione di silicio. Il film viene depositato utilizzando un flusso di 6sccm di SiH_4, una pressione di 0.3mBar ed una potenza RF di 2W. La temperatura del substrato è pari a 350°C. Il rate di crescita, in queste condizioni, è pari a 3.3nm/min ed il film di silicio depositato ha uno spessore complessivo di circa 40nm. Al termine della deposizione il wafer si presenza come schematizzato in Figura 9.

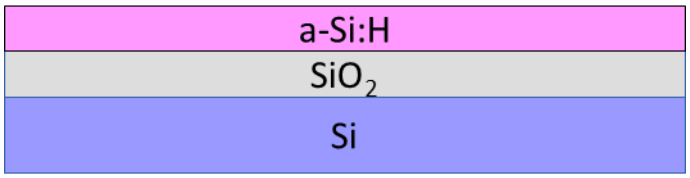

Figura 9 Rappresentazione schematica della struttura trasversale del wafer dopo la deposizione del film di a-Si:H

La percentuale di idrogeno incorporata nello strato di silicio è pari a circa il 10% [32] e deve essere ridotta prima di poter procedere al processo di ricristallizzazione. Il wafer viene, quindi, inserito in forno e sottoposto ad un processo di annealing in atmosfera di azoto secondo il profilo termico mostrato in Figura 10. La massima temperatura di processo è di circa 350°C così da assicurare totale compatibilità con substrati plastici; per quanto temperature così ridotte siano effettivamente utilizzabili per provocare il desorbimento degli atomi di idrogeno dal film di silicio, è tuttavia necessario prolungare oltre le 5 ore il tempo di annealing per ottenere risultati soddisfacenti [33].

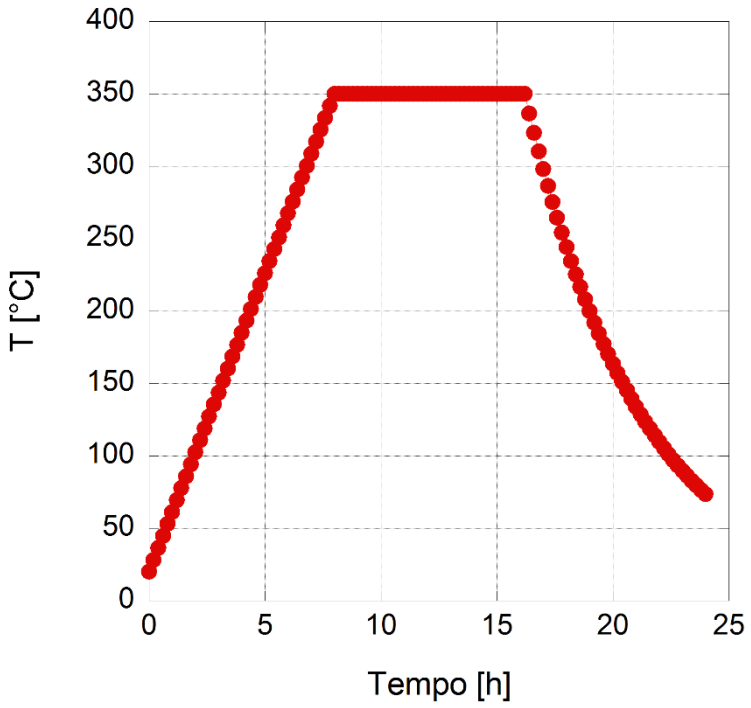

Figura 10 Profilo termico del processo di deidrogenazione

Al termine del processo di deidrogenazione la percentuale di idrogeno nel film di silicio si è ridotta a circa il 6% ed è abbastanza bassa da poter sottoporre il materiale all'irraggiamento con il laser ad eccimeri senza rischiare di danneggiarlo [33].

Il wafer, a questo punto, può essere caricato in una camera a vuoto dotata di una finestra in quarzo e posta su una coppia di motori passo-passo. Il fascio focalizzato del laser ad eccimeri viene fatto passare attraverso la finestra di quarzo e colpisce il wafer provocando la ricristallizzazione del film di silicio. Dopo ogni impulso emesso dal laser la camera viene spostata leggermente in modo da permettere l'irraggiamento di una porzione successiva del wafer. Il processo viene ripetuto finché tutto il wafer non è stato irraggiato ed il film di silicio è stato completamente ricristallizzato. I primi dispositivi realizzati nel corso del dottorato sono stati sottoposti ad un processo di ricristallizzazione che impiegava un fascio laser con

profilo di energia quasi-gaussiano tale per cui l'energia di irraggiamento tendeva a diminuire mano a mano che il wafer veniva spostato fra uno shot ed il successivo [34]. Questo sistema permetteva di attivare il meccanismo di ricristallizzazione SLG ottenendo, così, dispositivi con dimensioni dei grani dell'ordine di 1μm e mobilità di canale pari a circa $65cm^2V^{-1}s^{-1}$ [33]. Il fascio laser, tuttavia, aveva dimensioni particolarmente ridotte (6x6mm) ed era quindi necessario eseguire un gran numero di scansioni per ottenere la completa ricristallizzazione del film di silicio. Di conseguenza, a causa delle fluttuazioni nell'energia emessa dal laser, la riproducibilità e l'omogeneità della qualità cristallina erano eccessivamente ridotte e i dispositivi realizzati sullo stesso wafer erano, spesso, molto diversi fra loro. Nel tentativo di migliorare l'omogeneità del processo di fabbricazione dei transistor il sistema di irraggiamento è stato modificato adottando un laser capace di creare un fascio con distribuzione di energia omogenea e dimensioni 6x0.1cm. L'estensione di questo fascio ha permesso di irraggiare contemporaneamente il wafer lungo tutto il suo diametro, aumentando, di conseguenza, l'omogeneità delle caratteristiche del film cristallino. Di contro, tuttavia, l'assenza di un profilo di intensità come quello descritto in precedenza ha reso più complessa l'identificazione delle condizioni necessarie all'instaurarsi del regime SLG. I transistor realizzati con il nuovo sistema di ricristallizzazione, pertanto, ancora mostrano caratteristiche di mobilità notevolmente inferiori rispetto a quelli ottenuti con il sistema precedente. Per ovviare a questo problema è possibile introdurre delle strutture dielettriche o metalliche al di sopra del silicio amorfo che permettano di variare localmente l'intensità del fascio luminoso e, di conseguenza, introdurre un gradiente termico nel film di Si e innescare meccanismi di crescita di tipo SLG [35]. Strategie di questo tipo, tuttavia, non sono state implementate per la realizzazione dei dispositivi oggetto della presente tesi poiché avrebbero richiesto uno studio approfondito e numerosi test di diverse strutture dielettriche al fine di ottimizzare la qualità critallina del film semiconduttore.

Terminata la ricristallizzazione si possono definire le aree attive dei dispositivi attraverso un primo processo fotolitografico. Grazie ad un sistema di spin-coating, il wafer viene ricoperto da uno strato di photoresist positivo di tipo SPR1813 spesso 1.3μm; il film polimerico viene sottoposto ad un riscaldamento a 115°C per 1 minuto così da rimuovere i solventi in eccesso. Il wafer viene, successivamente, inserito in un mask aligner[2] con il quale è possibile esporre il photoresist alla radiazione ultravioletta attraverso una maschera semiriflettente in vetro. Una volta esposto, il photoresist può essere inserito nella soluzione di sviluppo che rimuove completamente tutto il polimero precedentemente irraggiato. Le zone rimaste in ombra, invece, restano coperte dal photoresist. Il wafer viene inserito, a questo punto, in un sistema RIE commerciale (PlasmaLab) per eseguire l'attacco per la rimozione del silicio non coperto dal photoresist. Il procedimento di etching si sviluppa in tre diverse fasi:

1. Esposizione del wafer ad un plasma a bassa potenza in atmosfera di ossigeno; questo step serve a rimuovere eventuali inquinanti organici presenti sulla superficie del silicio e che potrebbero inibire il vero e proprio processo di etching. È essenziale ridurre al minimo la durata di questa prima fase di processo in quanto il plasma ossigeno attacca e rimuove il photoresist dalla superficie del silicio.
2. Esposizione del wafer ad un plasma di CHF_3 a bassa pressione; questo step permette di rimuovere eventuali strati di ossido formatisi sul film di silicio.
3. Esposizione del wafer ad un plasma a bassa potenza (P_{RF} = 27W) di CF_4 e O_2 al 20%. Questa miscela di gas rimuove il silicio con un andamento anisotropo secondo la seguente reazione:

$$2CF_4 + O_2 \rightarrow 2F^* + 2COF_3$$
$$4F^* + Si \rightarrow SiF_4(g)$$

[2] Il mask aligner utilizzato è un macchinario Karl-Suss MA150 capace di ospitare wafer di dimensione massima 4" e maschere di 5". Lo strumento è, inoltre, dotato di una lampada a vapori di mercurio e di uno specchio dicroico per l'estrazione della componente luminosa a lunghezza d'onda 365nm (linea i).

L'aggiunta di ossigeno permette di ottenere una notevole selettività rispetto al substrato di ossido di silicio così da evitare il danneggiamento dei dispositivi in caso di etching eccessivamente prolungato.

Il wafer, estratto dall'apparato RIE, viene immerso in acetone per rimuovere il photoresist residuo. A questo punto il wafer si presenta come mostrato in Figura 11.

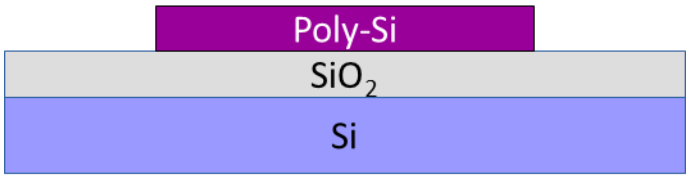

Figura 11 Rappresentazione schematica della struttura trasversale del wafer dopo il patterning del film di silicio

A questo punto si eseguono la deposizione ed il patterning del metallo per la realizzazione delle giunzioni Schottky di source e drain. A seconda del tipo di metallo utilizzato si esegue un processo di tipo lift-off oppure un wet etching. Nel primo caso la litografia sarà eseguita prima della deposizione del metallo mentre, nel secondo caso, sarà eseguita successivamente. In ogni caso, subito prima di depositare il metallo, è necessario eseguire una accurata pulizia della superficie del silicio per cercare di minimizzare gli effetti di pinning della barriera Schottky. Il processo di pulizia utilizzato prevedeva l'immersione dell'intero wafer in una soluzione di acido solforico ed acqua ossigenata al 50% (piranha etch) e, successivamente, in una soluzione di acqua ed acido fluoridrico al 10%. La prima soluzione permette di rimuovere tutti gli inquinanti organici eventualmente presenti sulla superficie del silicio e, inoltre, permette di creare un sottile strato di ossido dello spessore di circa 2nm. La successiva immersione del wafer nella soluzione di HF permette di rimuovere tale strato di ossido e di esporre una superficie di silicio terminata idrogeno che, per brevi periodi, è stabile ed inerte in

atmosfera. Questa procedura di pulizia è stata utilizzata solo nel caso in cui il patterning del film metallico potesse avvenire in seguito alla deposizione del metallo stesso. La soluzione piranha, infatti, è altamente aggressiva nei confronti del photoresist e, pertanto, non può essere utilizzata per pulire la superficie del silicio nel caso in cui la geometria del metallo debba essere definita per lift-off. In questi casi l'immersione in H_2SO_4 + H_2O_2 è stata sostituita con una immersione in alcool isopropilico. Immediatamente dopo la procedura di pulizia, il wafer viene caricato in un apparato per la deposizione del metallo (evaporatore o sputtering).

Successivamente alla deposizione del film metallico è possibile eseguire il processo litografico e di etching o completare il processo di lift-off. I dispositivi, a questo punto della lavorazione, avranno la struttura mostrata in Figura 12.

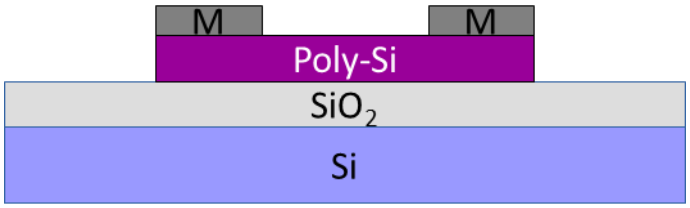

Figura 12 Struttura tarsversale del dispositivo SB-FET al termine del processo di deposizione e patterning del metallo costituente le giunzioni Schottky di source e drain

Una volta realizzate le giunzioni di source e drain è necessario procedere alla deposizione del SiO_2 di gate. Anche in questo caso è necessario procedere ad una accurata pulizia della superficie del silicio onde diminuire la densità di stati all'interfaccia ossido/semiconduttore. La procedura di pulizia è uguale a quella descritta precedentemente a meno che il metallo di source e drain non presenti problemi di compatibilità chimica con una delle due soluzioni utilizzate: questo è, ad esempio, il caso del titanio o del nickel che vengono attaccati, rispettivamente, dall'acido fluoridrico e dalla soluzione piranha. In tal caso è necessario modificare la procedura di pulizia sostituendo l'attacco piranha con una soluzione di

rimozione delle impurità organiche meno aggressiva (acetone, alcool isopropilico) e l'HF con una soluzione BHF (NH_4F + HF 7:1). Immediatamente dopo la pulizia, il wafer viene inserito nel sistema ECR per la deposizione dell'ossido di silicio. Il sistema di deposizione è di tipo custom ed è composto da una camera in alluminio collegata ad un sistema di pompaggio costituito da una pompa rotativa primaria e da una pompa turbomolecolare secondaria. Quest'ultima pompa è, inoltre, dotata di uno stadio di pre-pompaggio di tipo "drag" che ne permette l'utilizzo anche ad elevate pressioni (~10^{-3}mBar). Alla parte superiore della camera di deposizione è connessa una guida d'onda collegata ad una antenna in rame placcato in oro per l'iniezione del campo a microonde all'interno della camera. L'antenna è inserita in una tazza di quarzo così da evitare che possa entrare in contatto con i gas presenti in camera. Attorno alla zona di deposizione, inoltre, è presente la bobina di un elettromagnete per la generazione del campo magnetico necessario a portare gli elettroni del plasma in condizione di risonanza con il campo a microonde. La deposizine viene effettuata con flussi di silano, ossigeno ed elio pari, rispettivamente, a 0.3sccm, 60sccm e 7.5sccm. La pressione nella camera di deposizione è mantenuta costante a $4 \cdot 10^{-3}$mBar e la potenza emessa dal generatore a microonde è pari a 35W. Il substrato di deposizione è, invece, mantenuto a temperatura ambiente. In queste condizioni il rate di deposizione è pari a 1.2nm/min e lo spessore finale dello strato di ossido è pari a 50nm. Spessori più sottili risultano inutilizzabili a causa dell'elevata densità di pinhole e, conseguentemente, delle eccessive correnti di perdita sul gate dei transistor. A causa dei flussi di silano particolarmente ridotti, la deposizione del SiO_2 risulta essere uno dei passaggi più critici di tutto il processo realizzativo dei transistor. È necessario, infatti, impiegare dei flussimetri che permettano di controllare con estrema precisione il flusso di silano immesso nella camera di deposizione; all'aumentare della concentrazione di SiH_4, infatti, il rate di deposizione aumenta velocemente provocando un rapido peggioramento della qualità dell'ossido ed un aumento nella densità di pinhole.

Terminata la deposizione dell'ossido di gate è possibile procedere al patterning di quest'ultimo ed all'apertura dei via holes che permettono di esporre nuovamente i contatti di source e drain. Il patterning dell'ossido si esegue con un processo fotolitografico con resist negativo così da facilitare il processo di allineamento della maschera con i layer di materiali già presenti sul wafer. L'utilizzo di un resist positivo, infatti, imporrebbe l'impiego di maschere quasi completamente riflettenti che ostacolerebbero l'operazione di allineamento. La rimozione dell'ossido di silicio viene effettuata con un wet etching in BHF 7:1, ovvero una soluzione di NH_4F e HF in proporzione 7:1. La presenza del fluoruro di ammonio rallenta la reazione del HF con l'ossido di silicio permettendo di ottenere un rate di attacco minore e, conseguentemente, un processo più facilmente controllabile. La velocità dell'attacco chimico dipende, tuttavia, fortemente dalle condizioni ambientali quali temperatura ed umidità dell'aria. Lo strato di ossido, inoltre, risulta poco visibile a causa del suo spessore limitato e della sua elevata trasparenza. Per ottenere una corretta rimozione delle porzioni di ossido non necessarie, pertanto, è opportuno immergere più volte il wafer nella soluzione di etching per brevi periodi (~15s) per poi controllare l'avanzamento della reazione con un microscopio ottico dotato di filtri polarizzatori che permettono di aumentare il contrasto fra le zone con e senza ossido. Al termine della procedura di etching i dispositivi presentano una struttura del tipo mostrato in Figura 13.

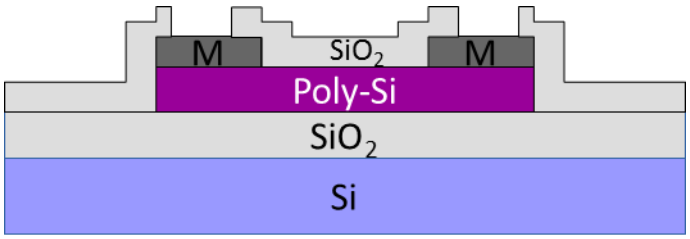

Figura 13 Struttura di un SB-FET al termine del processo di deposizione e patterning dell'ossido di gate

Il wafer viene, a questo punto, caricato in un sistema di evaporazione termica e ricoperto da un film di alluminio per la realizzazione dei contatti esterni di gate,

source e drain. Il film di alluminio viene selettivamente rimosso per la definizione della geometria dei contatti con un processo fotolitografico standard assumendo la struttura schematizzata in Figura 14.

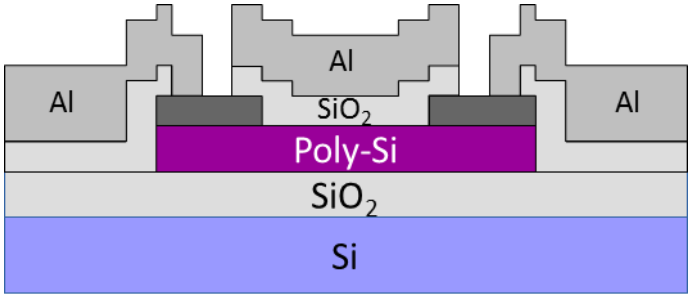

Figura 14 Sezione trasversale di un transistor SB-FET al termine del processo di fabbricazione

Terminata la litografia dell'alluminio, i dispositivi sarebbero, in teoria, già utilizzabili. È, tuttavia, necessario un ultimo trattamento termico utile al miglioramento delle caratteristiche dell'ossido di gate e, conseguentemente, delle prestazioni dei transistor [36]. Il wafer viene, quindi, sottoposto ad un riscaldamento a 350°C con il profilo termico mostrato in Figura 15. Tale processo permette di rimuovere i gruppi -OH presenti all'interno del film di SiO_2 e migliorando, di conseguenza, la qualità dell'ossido e della sua interfaccia con il silicio. I gruppi ossidrili, infatti, sono la causa della presenza sia di stati carichi all'interfaccia che di cariche intrappolate nel dielettrico e, di conseguenza, alterano la tensione di soglia dei transistor e ne impediscono il corretto funzionamento.

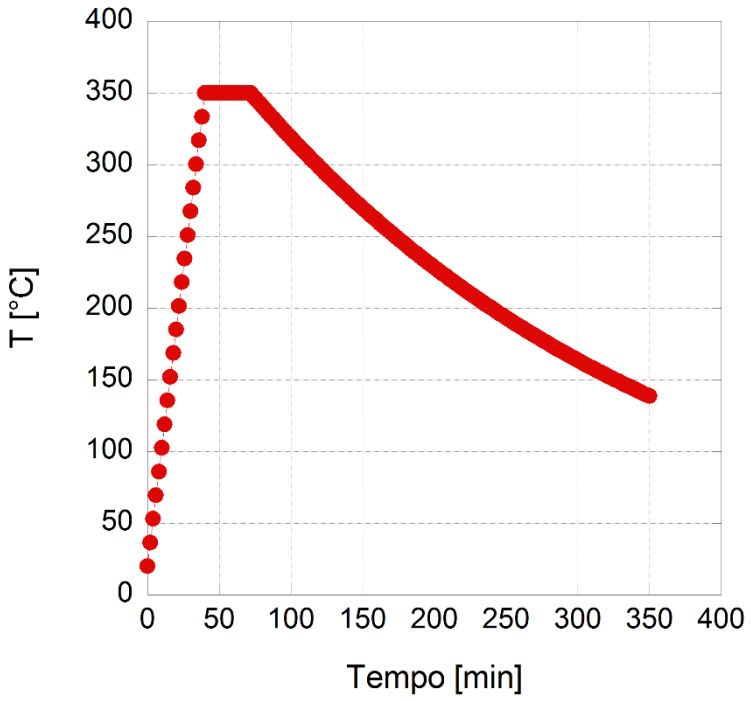

Figura 15 Profilo termico del processo di annealing per la riduzione dei difetti nel film di SiO_2

In Figura 16 è rappresentato schematicamente l'intero processo realizzativo dei transistor.

Nel corso del dottorato sono stati realizzati tre diversi tipi di transistor SB-FET, ognuno dei quali è stato dotato di una diversa coppia di giunzioni Schottky di source e drain. In particolare i metalli impiegati sono stati: il cromo, il titanio ed il nickel. Il cromo è stato scelto a causa della sua semplicità di lavorazione e della sua totale compatibilità con tutti gli step di processo necessari alla realizzazione dei transistor; il titanio, invece, è stato scelto al fine di ottimizzare l'altezza della barriera Schottky e migliorare le caratteristiche dei transistor. Il nickel, infine, è stato utilizzato nel tentativo di dimostrare la possibilità di ottenere transistor con giunzioni Schottky in siliciuro di nickel e strati interfacciali di atomi droganti pur continuando ad utilizzare un processo a bassa temperatura. Le caratteristiche e le peculiarità delle diverse tipologie di dispositivi saranno discusse nei prossimi capitoli.

Ognuno dei tre tipi di dispositivi realizzati ha imposto un'accurata revisione di tutto il processo realizzativo in modo da assicurare la compatibilità di tutti gli step di processo con i materiali utilizzati; laddove, infatti, i dispositivi in cromo non hanno presentato alcun tipo di criticità in quanto tale metallo non viene attaccato dalle soluzioni utilizzate per effettuare i vari step di pulizia della superficie del silicio e di attacco dell'ossido di gate, il titano ed il nickel hanno, invece, imposto particolare attenzione rispetto al tipo di soluzioni di attacco utilizzate. Per quanto riguarda il nickel, il passo del processo che ha mostrato maggiori criticità è stato quello di pulizia della superficie del silicio per la preparazione dell'interfaccia alla deposizione dell'ossido; il nickel, infatti, viene attaccato dalla soluzione piranha normalmente utilizzata proprio per la pulizia dell'interfaccia [37]. In tal caso è stato necessario modificare la procedura di pulizia immergendo il wafer in acetone caldo (per la rimozione degli inquinanti organici) e, successivamente, inserendolo per tempi molto brevi (~5 secondi) in una soluzione di HF diluito. Questa seconda soluzione non è del tutto innocua e può comunque attaccare lo strato di nickel; è importante, allora, che l'immersione del wafer in HF duri il meno possibile ma comunque per il tempo necessario ad assicurare la presenza di una terminazione H sulla superficie del silicio. Per quanto riguarda i dispositivi in titanio, invece, sono state individuate diverse criticità. In primo luogo il titanio, come il nickel, viene attaccato dalla soluzione piranha e quindi, anche in questo caso, è stato necessario sostituire quest'ultima con acetone caldo durante il processo di pulizia dell'intrerfaccia. Anche l'acido fluoridrico è fortemente attivo nei confronti del titanio e, di conseguenza, non può essere utilizzato nemmeno con forti diluizioni. È possibile, tuttavia, sostituire l'HF con una soluzione di NH_4F e HF (buffered oxide etch) che permette di ottenere la terminazione della superficie del silicio con atomi di idrogeno e che, al contempo, risulta molto meno aggressiva nei confronti del metallo. Si osservi che, in ogni caso, anche il BHF può provocare danni al film di titanio se lasciato agire per tempi prolungati; è stato, pertanto, necessario porre particolare attenzione al fine di individuare un tempo di immersione del wafer in BHF tale da assicurare la pulizia della superficie senza provocare danni eccessivi

alle zone ricoperte di titanio. Il titanio, inoltre, presenta notevoli difficoltà legate al suo processo di etching. Esso, infatti, può essere rimosso solamente con soluzioni di acido fluoridrico o con soluzione piranha; nel primo caso, tuttavia, l'attacco è eccessivamente veloce e difficile da controllare mentre la soluzione piranha non può essere impiegata in quanto non compatibile con i photoresist normalmente utilizzati per la litografia. Per ovviare a tutti questi problemi, si è optato per un processo lift-off impiegando un photoresist invertente di tipo AZ5214 che assicura, con la corretta procedura di sviluppo, un undercut adatto all'esecuzione della procedura.

In Figura 16 è mostrata la procedura completa per la realizzazione dei dispositivi. Si osservi come, per semplicità, lo step di patterning del metallo di source e drain sia stato rappresentato come un processo di litografia ed etching selettivo. Il processo in figura, pertanto, è da intendersi valido per dispositivi con contatti in Cromo.

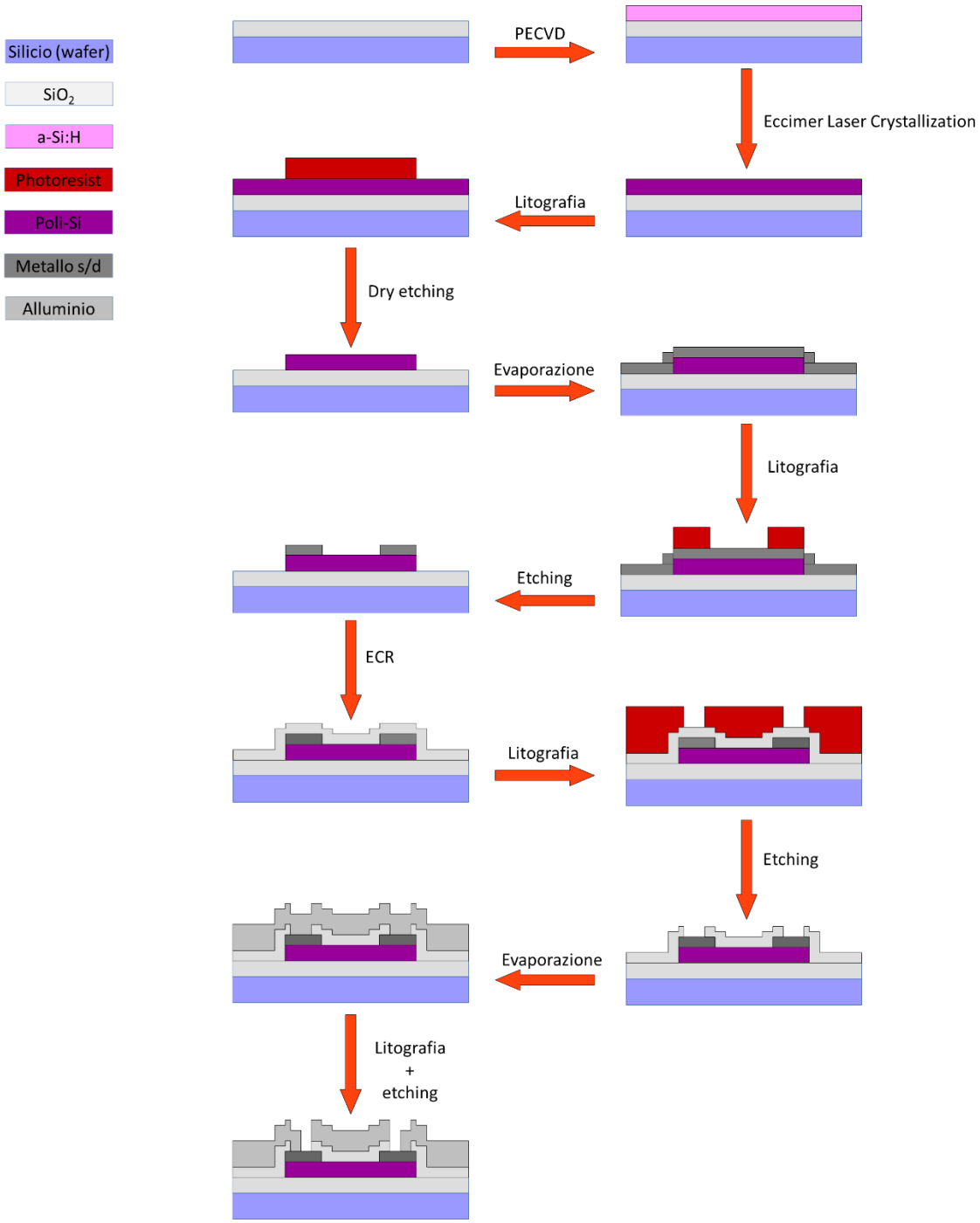

Figura 16 Schema di processo per la realizzazione degli SB-FET

4 Metodi di caratterizzazione

La qualità e le caratteristiche dei transistor possono essere determinate eseguendo una serie di misurazioni corrente-tensione ed elaborando i dati acquisiti per mezzo di modelli fisici e analitici. Le grandezze di maggiore interesse per la determinazione delle prestazioni del dispositivo sono la tensione di soglia, le correnti di off e on, la corrente di perdita sul gate, la transconduttanza e la mobilità di canale. Poiché le caratteristiche del transistor SB-FET sono fortemente dipendenti dall'altezza della barriera Schottky ai terminali di source e drain, inoltre, utili informazioni possono provenire dalla misurazione di quest'ultima. In questo capitolo saranno mostrati i metodi per l'estrazione di tutte le grandezze citate e saranno discusse le difficoltà e le problematiche legate all'esecuzione delle misurazioni.

4.1 Tensione di soglia

Il problema dell'estrazione della tensione di soglia dei transistor MOSFET è stato più volte affrontato e, nel corso degli anni, sono stati proposti numerosi e diversi metodi di calcolo [38]. La maggior parte degli approcci proposti si basa sulla misurazione della caratteristica I_d-V_{gs} dei transistor a basse tensioni V_{ds}; in queste condizioni la corrente che scorre nel transistor può essere approssimata come segue:

$$I_d \cong \mu C_{ox} \frac{W}{L} \left(V_{gs} - V_t\right) V_{ds} \tag{3.1}$$

Il metodo più diffuso per l'estrazione della V_t si basa sulla dipendenza lineare della corrente di drain dalla tensione V_{gs} mostrata dalla equazione 3.1. La tensione di soglia può, infatti, essere ricavata dalla caratteristica corrente-tensione a bassa V_{ds} con una semplice estrapolazione lineare. Tale metodo di calcolo è estremamente

semplice dal punto di vista computazionale e garantisce, tipicamente, risultati affidabili. Tuttavia, nel caso in cui la corrente del dispositivo risulti limitata da effetti di resistenza serie ai contatti o da effetti di degradamento della mobilità ad elevati campi di gate, i risultati ottenuti con questo metodo divengono inaffidabili [39]. I transistor oggetto di questo lavoro sono stati realizzati su substrati di silicio non intenzionalmente drogato; l'assenza di atomi droganti e lo spessore limitato del film di silicio fanno sì che esso presenti una resistività estremamente elevata e che, di conseguenza, il flusso di corrente fra source e drain risulti fortemente dipendente dalla presenza di resistenze serie ai contatti. L'estrapolazione lineare non è, pertanto, utilizzabile per la determinazione della tensione di soglia degli SB-FET. Esistono, tuttavia, diversi metodi utili all'estrazione della tensione di soglia anche in presenza di resistenze parassite non trascurabili; in particolare, uno dei metodi più utilizzati in tal senso identifica la V_t di un transistor come il punto di massimo della derivata della transconduttanza rispetto alla tensione dei gate ($\frac{\delta g_m}{\delta V_{gs}} = \frac{\delta^2 I_d}{\delta {V_{gs}}^2}$). Tale metodo, proposto originariamente da Wong et. al. [40] e la cui dimostrazione esula dagli scopi di questa tesi, può essere facilmente compreso se si utilizza un modello ideale per la caratteristica corrente-tensione di un transistor con V_{ds} bassa; in particolare, se si suppone I_d=0 per $V_{gs} < V_t$ e $I_d = \alpha V_{gs}$ per $V_{gs} > V_t$ è allora chiaro che la transconduttanza sarà una funzione gradino, con valore nullo prima della tensione di soglia e valore costante pari ad α subito dopo V_t. La derivata della transconduttanza, allora, presenterà un asintoto proprio in corrispondenza della tensione di soglia. In un transistor reale, ovviamente, non è possibile aspettarsi un vero e proprio comportamento asintotico ma è comunque possibile dimostrare che la derivata della transconduttanza assume il suo valore massimo in corrispondenza della tensione di soglia. Tale metodo, per quanto matematicamente corretto ed effettivamente immune agli effetti di resistenza serie, ha, tuttavia, il difetto di amplificare il rumore intrinsecamente presente in qualsiasi misura elettronica rendendo, spesso, particolarmente difficile identificare con certezza il punto di massimo della caratteristica $\frac{\delta g_m}{\delta V_{gs}}$. Nel 2002,

tuttavia, è stato proposto da He [41] un metodo innovativo per l'estrazione della V_t che risolve tutti i problemi fin qui citati. Per ottenere la tensione di soglia è necessario, in primo luogo, calcolare la funzione $P(V_{gs})$ definita come nella seguente equazione:

$$P(V_{gs}) = \frac{\int_0^{I_d} V_{gs} dI_d - \int_0^{V_{gs}} I_d dV_{gs}}{I_d V_{gs}} \tag{3.2}$$

Secondo quanto riportato da He, la funzione P mostra un massimo esattamente in corrispondenza della tensione di soglia a causa del passaggio fra un regime di conduzione dominato dalla diffusione dei portatori nel canale ad uno dominato dal drift. Nel caso di dispositivi SB-FET la funzione, invece, assumerà un massimo là dove la corrente nel canale smette di essere limitata da fenomeni di emissione termoionica e diviene controllata da fenomeni di field emission. Secondo quanto riportato in letteratura [42], il passaggio dal regime termoionico a quello di field emission può essere effettivamente attribuito al superamento della soglia da parte della tensione di gate e la tensione in cui la funzione P assume valore massimo può, quindi, essere considerata come la V_t anche nel caso di transistor a barriera Schottky.

4.2 Transconduttanza

Il calcolo della transconduttanza degli SB-FET non presenta particolari difficoltà ed è stato eseguito a partire dalle caratteristiche I_d-V_{gs} a varie tensioni di drain. Poiché la transconduttanza si ottiene derivando le caratteristiche corrente-tensione, le curve ottenute risultato spesso di difficile intrepretazione a causa dell'effetto di amplificazione del rumore di misura in seguito alla derivazione. Quando necessario, pertanto, le caratteristiche I_d-V_{gs} sono state trattate con algoritmi di smoothing e denoising al fine di semplificare il calcolo della transconduttanza.

4.3 Mobilità di canale

La mobilità di canale (o mobilità efficace, μ_{eff}) è, tipicamente, estratta dalle caratteristiche I_d-V_{ds} dei MOSFET a basse tensioni V_{ds} sfruttando la possibilità di linearizzare la caratteristica come mostrato dall'equazione 3.1. Utilizzando questo approccio non vi è alcuna incertezza rispetto alla dimensione effettiva del canale in quanto, a basse tensioni V_{ds}, essa è univocamente definita dalla geometria del transistor. Tale approccio è sicuramente valido nel caso di transistor DSD-FET in cui, al di sopra della tensione di soglia, qualsiasi tensione applicata fra drain e source genera un campo equidistribuito lungo tutto il canale. Nel caso dei transistor SB-FET, invece, il campo tenderà ad essere concentrato nella zona svuotata della giunzione Schottky polarizzata inversamente. Non potendo conoscere a priori, quindi, l'effettivo campo che provoca il drift delle cariche nel canale, non è possibile effettuare con accuratezza il calcolo della mobilità. Per fronteggiare questa difficoltà, il calcolo della mobilità per i dispositivi SB-FET è stato effettuato in condizioni di saturazione. In particolare sono state acquisite una serie di caratteristiche I_d-V_{ds} ed è stato estratto il valore di corrente al margine minimo della saturazione; in questo modo si è cercato di limitare l'effetto di restringimento del canale ed il conseguente errore nel calcolo della mobilità. I valori di corrente estratti sono stati utilizzati per definire una curva I_d-V_{gs} al pinch-off dalla quale è stato estratto il valore di mobilità con una procedura di fit. Si osservi che i valori di mobilità ottenuti con questo metodo sono, tipicamente, ridotti rispetto a quelli normalmente derivati dalle caratteristiche corrente-tensione in zona lineare in quanto viene completamente trascurata la dipendenza della mobilità dal campo trasversale di gate [43]. Non potendo, tuttavia, fare affidamento sulla tensione V_{ds} applicata agli elettrodi di source e drain per eseguire il calcolo della mobilità, il metodo di estrazione proposto è l'unico che permette di ottenere dei valori utili al confronto fra differenti famiglie di transistor anche senza conoscere le caratteristiche delle giunzioni Schottky di source drain.

4.4 Altezza della barriera Schottky

Come discusso in precedenza, l'altezza della barriera Schottky determina le prestazioni generali dei transistor SB-FET ed è quindi utile avere a disposizione strumenti per la sua misurazione. A tal fine, la prima serie di transistor realizzati nel corso del dottorato (giunzioni Cr-Si) è stata dotata di alcuni dispositivi di test, ovvero diodi di dimensioni variabili la cui giunzione metallo-semiconduttore avesse le stesse caratteristiche di quelle realizzate sui contatti di source e drain dei transistor. I dispositivi di test, invece, non erano presenti sulle serie successive di transistor.

La misurazione dell'altezza di barriera di un diodo Schottky può essere realizzata sfruttando diversi approcci ben noti in letteratura come, ad esempio, l'estrapolazione della corrente inversa di saturazione a partire dalle caratteristiche corrente-tensione dei diodi o l'estrazione della caratteristica corrente-temperatura a tensione costante (plot di Richardson) [43]. Si osservi, tuttavia, che, nel caso specifico di giunzioni Schottky realizzate su substrati ultrasottili di silicio policristallino non drogato, i diodi ottenuti hanno caratteristiche molto diverse rispetto a quelle ideali normalmente prese in considerazione per la misurazione dell'altezza di barriera. In primo luogo, l'elevata resistività del substrato fa sì che la corrente che, in polarizzazione diretta, attraversa i dispositivi sia dominata da effetti di resistenza serie. In secondo luogo, l'elevata disomogeneità del silicio policristallino fa sì che il fattore di idealità n che si trova al denominatore dell'argomento dell'esponenziale che caratterizza l'equazione corrente-tensione dei diodi, mostri delle dipendenze non trascurabili sia dalla tensione applicata che dalla temperatura della giunzione [44]. Inoltre, il coefficiente di Richardson, i cui valori sono stati tabulati per molti diversi materiali cristallini, mostra delle forti variazioni in dipendenza dalla qualità cristallina del materiale e dalle caratteristiche della sua superficie [45]. Infine, giunzioni realizzate su substrati

altamente disomogenei possono mostrare una superficie equivalente anche molto diversa rispetto a quella definita geometricamente dalle dimensioni del contatto metallico [21]. Se, nel corso degli anni, molte diverse tecniche di misurazione sono state sviluppate nel tentativo di ottenere valori affidabili per l'altezza di barriera anche in presenza di resistenze serie elevate e forti dipendenze di n dalla tensione applicata [46] [47] [48], non è mai stato proposto nessun approccio che fosse in grado di fornire risultati affidabili per l'altezza di barriera in diodi che presentassero contemporaneamente tutte le non idealità sopra citate. È stato, quindi, necessario sviluppare un nuovo metodo di misurazione che permettesse di caratterizzare i diodi [49].

La tecnica proposta si basa sull'analisi di una serie di caratteristiche corrente-tensione ottenute al variare della temperatura di giunzione. Il primo passaggio consiste nel calcolare la resistenza serie ad ogni temperatura utilizzando il metodo proposto da Cheung [47] ed applicando la formula 3.3.

$$\frac{dV}{dln(I)} = RI + \frac{kTn}{q} \tag{3.3}$$

La formula suggerita da Cheung trascura la dipendenza del fattore di idealità dalla corrente che scorre nel diodo; ciononostante, è sempre possibile individuare una zona della caratteristica dV/dln(I) che sia effettivamente lineare rispetto alla corrente. Poiché la resistenza serie non dipende in alcun modo dalla tensione applicata e dalla corrente che scorre nel diodo, la sua determinazione può essere eseguita con una procedura di fit applicata alla sola parte lineare della funzione descritta dalla formula 3.3. A questo punto è possibile procedere al calcolo del coefficiente di idealità. Si osservi che, per tensioni abbastanza elevate tali che $V - RI \gg \frac{q}{kT}$, l'equazione che descrive la corrente che scorre nel diodo può essere riscritta come:

$$\ln(I) = \ln(SA^{*}T^{2}) - \frac{q\phi_b}{kT} + \frac{q(V-RI)}{nkT} \tag{3.4}$$

Poiché la dipendenza di *n* dalla tensione applicata ha, tipicamente, un andamento non monotono e presenta dei tratti a derivata quasi nulla [48], è possibile, nel plot del ln(I) rispetto a (V-RI), identificare delle zone lineari dalla cui pendenza è possibile ricavare il valore del coefficiente di idealità. Il valore ottenuto, tuttavia, potrà essere ritenuto affidabile solo nell'intorno delle tensioni per cui il ln(I) ha effettivamente un andamento lineare. Per ogni temperatura a cui è stato caratterizzato il dispositivo, a questo punto, è disponibile un set di parametri composto da: resistenza serie, coefficiente di idealità e la coppia tensione-corrente a cui è stato calcolato *n*. Tale set di parametri permette di ottenere un plot di Richardson modificato come specificato dall'equazione 3.5.

$$\ln\left(\frac{I}{T^2}\right) - ln\left(e^{\left(\frac{q(V-RI)}{nkT}\right)} - 1\right) = \ln(SA^{*}) - \frac{q\phi}{kT} \tag{3.5}$$

Il Richardson-plot modificato permette, così come la sua controparte originale, di ricavare l'altezza della barriera Schottky a 0K per mezzo di una estrapolazione lineare. Nel caso di substrati disomogenei, tuttavia, non è possibile trascurare la dipendenza dell'altezza di barriera dalla temperatura e, pertanto, è necessario riscrivere la 3.5 come:

$$\ln\left(\frac{I}{T^2}\right) - ln\left(e^{\left(\frac{q(V-RI)}{nkT}\right)} - 1\right) = \ln(SA^{*}) + \frac{q\xi}{k} - \frac{q\phi_{0K}}{kT} \tag{3.6}$$

Dove ξ è il coefficiente lineare che lega l'altezza di barriera alla temperatura [21].

Dalla 3.6 è possibile osservare che, all'aumentare della dipendenza di ϕ dalla temperatura, aumenta l'indeterminazione del prodotto SA^{*} che, a causa della presenza del fattore ξ, non può più essere determinato con precisione. Con una

semplificazione della teoria delle barriere Schottky disomogenee esposta da Tung [21], è possibile, quindi, attribuire la differenza fra il valore teorico del prodotto SA^* e quello ottenuto per estrapolazione dalla 3.6 al solo effetto della dipendenza dell'altezza di barriera dalla temperatura. Calcolando la corrente inversa di saturazione del diodo con la 3.7 (dove SA^* e ϕ_{0K} sono i valori estratti dalla 3.6),

$$I_s = SA^* T^2 e^{\frac{-q\phi_{0K}}{kT}} \tag{3.7}$$

è possibile ottenere la funzione $\phi(T)$ utilizzando la seguente equazione:

$$\phi(T) = \frac{kT}{q} ln\left(\frac{SA^*{}_{ideale} T^2}{I_s}\right) \tag{3.8}$$

Dove $SA^*{}_{ideale}$ indica il valore ottenuto considerando la superficie geometrica del diodo e il valore della costante di Richardson tabulato per il semiconduttore.

In una recente pubblicazione sono stati illustrati e discussi i risultati dello studio che ha dimostrato che tale metodo per l'estrazione dell'altezza di barriera e, più un generale, delle caratteristiche di un diodo a giunzione Schottky permette di ottenere risultati particolarmente soddisfacenti anche in presenza di giunzioni altamente non ideali e realizzate su substrati resistivi e disomogenei [49].

Tutte le tecniche di caratterizzazione fin qui esposte sono state impiegate per determinare le prestazioni dei transistor e per definire i parametri utili al confronto fra le varie tipologie di dispositivi realizzati.

5 Caratterizzazione dei transistor SB-FET

In questo capitolo saranno presentati e discussi i risultati delle caratterizzazioni dei transistor SB-FET. In primo luogo saranno mostrate ed analizzate le caratteristiche delle tre famiglie di transistor (Cr-Si, NiSi-Si, Ti-Si) e, solo successivamente, si procederà alla valutazione generale delle prestazioni dei dispositivi in confronto allo stato dell'arte dei TFT a bassa temperatura.

5.1 SB-FET in Cr-Si

La scelta di realizzare transistor le cui giunzioni Schottky fossero composte da un layer di Cromo depositato sul substrato di Silicio è stata suggerita dalla semplicità del processo tecnologico e dalla totale compatibilità di tutti i composti chimici utilizzati durante gli step di lavorazione del Cromo con gli altri materiali presenti sul wafer. Nonostante i numerosi vantaggi dal punto di vista tecnologico, la scelta del Cromo ha, tuttavia, presentato delle difficoltà rispetto all'ottimizzazione dell'altezza della barriera Schottky nell'ottica della massimizzazione delle prestazioni dei transistor. Come mostrato in Figura 17, infatti, il Cromo ha una funzione lavoro posta circa a metà della banda proibita del silicio cristallino e, in assenza di fenomeni di pinning, dovrebbe formare con esso una giunzione Schottky con barriere pressoché uguali sia rispetto alla banda di valenza che alla banda di conduzione. È possibile, pertanto, supporre che i transistor in Cr-Si presenteranno un comportamento prettamente ambipolare.

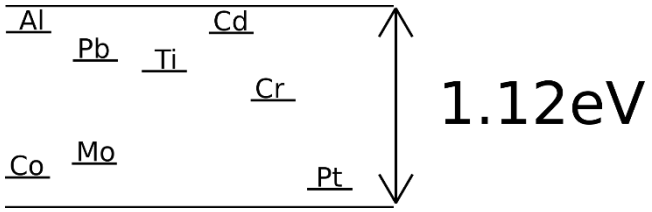

Figura 17 Rappresentazione qualitativa delle funzioni lavoro di alcuni metalli utilizzabili per la realizzazione di transistor SB-FET

In presenza di substrati policristallini che presentino un elevato numero di difetti, tuttavia, è possibile che l'altezza della barriera Schottky sia modificata da fenomeni di pinning e che, di conseguenza, i transistor abbiano prestazioni differenti se utilizzati come dispositivi a canale n o a canale p.

Al fine di accertare le caratteristiche della barriera Schottky Cr-Si, sono stati realizzati, assieme ai transistor, anche dei diodi Schottky di areee differenti. Le caratteristiche dei diodi sono state misurate e analizzate secondo le modalità descritte nel paragrafo 4.4. In Tabella 1 sono mostrate le caratteristiche di una famiglia di diodi con diversa area di giunzione; l'altezza di barriera si intende rispetto alla banda di conduzione mentre resistenza e fattore di idealità sono calcolati a 300K. Si osservi la forte dipendenza dell'altezza di barriera dalla temperatura e come, pur avendo i diodi valori di ϕ_{0K} anche molto diversi fra loro, l'altezza della barriera a temperatura ambiente tenda a raggiungere un valore circa uguale per tutti i dispositivi. Rispetto al valore teorico dell'altezza di barriera calcolata utilizzando i dati tabulati per la funzione lavoro del cromo (~0.45eV) [50], le caratterizzazioni effettuate hanno mostrato risultati molto diversi suggerendo la presenza di rilevanti fenomeni di pinning che modificano la struttura energetica della barriera Schottky rispetto alla condizione ideale. Il valore ottenuto (~0.7eV) è tuttavia confrontabile con quanto riportato in letteratura per i diodi in Silicio affetti da pinning all'interfaccia metallo-semiconduttore [51].

Tabella 1 Caratteristiche di una famiglia di diodi in Cr-Si. La superficie S_{geom} è quella definita geometricamente dalla dimensione del contatto Schottky

	A	B	C	D	E
ϕ_{0K} [eV]	0.26	0.08	0.2	0.11	0.29
ϕ_{300K} [eV]	0.74	0.72	0.7	0.7	0.7
SA^* [AK^{-1}]	4.36e-9	5.94e-12	3.58e-10	8.17e-12	2.5e-9
S_{geom} [cm^2]	2.592e-3	1.326e-3	0.806e-3	0.44e-3	0.24e-3
R [Ω]	2.17e3	2.15e3	6.37e3	4.57e3	6.98e3
n	2.75	2.88	2.9	2.95	2.75

Come mostrato in Figura 18, anche il coefficiente di idealità ha mostrato forti dipendenze dalla temperatura e dalla tensione applicata. Effetti di questo tipo sono tipicamente osservati in dispositivi realizzati su substrati altamente disomogenei [21] e confermano, pertanto, l'attesa natura microcristallina del film di Silicio.

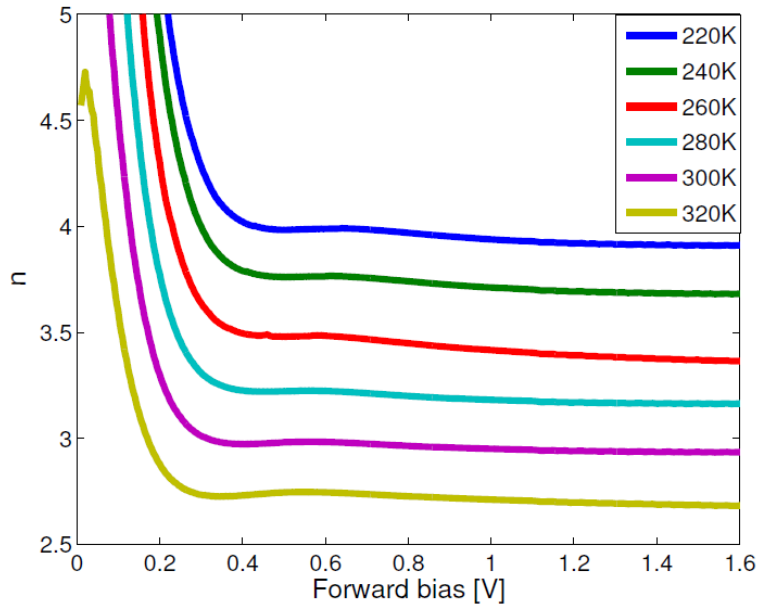

Figura 18 Coefficiente di idealità del diodo A calcolato al variare della tensione e della temperatura di giunzione

La forte dipendenza delle caratteristiche della barriera dalla temperatura determina un'elevata incertezza nell'estrazione del prodotto SA^* (così come dettagliatamente discusso nei precedenti capitoli). Ciononostante, tale fattore risulta comunque utile all'analisi delle caratteristiche dei dispositivi; si osservi, infatti, che i diodi hanno aree comprese fra i $26 \cdot 10^{-4}$ cm^2 e i $2.4 \cdot 10^{-4} cm^2$ mentre tutti i fattori SA^* ricavati durante la caratterizzazione sono inferiori a $10^{-9} AK^{-1}$. Se si considera che, secondo quanto riportato in letteratura, i valori della costante di Richardson ridotta per il silicio sono, tipicamente, maggiori dell'unità [52], la differenza di diversi ordini di grandezza fra il prodotto SA^* misurato e quello ideale può essere attribuita alla presenza di una superficie di giunzione equivalente molto ridotta rispetto a quella definita geometricamente dalle dimensioni del contatto metallico. Tale osservazione, in accordo con la teoria di Tung [21], conferma ulteriormente la natura altamente disomogenea del film di semiconduttore e la conseguente non idealità delle giunzioni Schottky ottenute.

In Figura 19 sono riportate le caratteristiche I-V dei diodi in Cromo su Silicio così come ottenute a seguito della misurazione (punti) e ricalcolate inserendo nell'equazione della corrente del diodo tutti i parametri mostrati in Tabella 1 (linee continue). Si osservi come le curve calcolate ricalchino esattamente quelle misurate assicurando, pertanto, la validità del set di parametri estratto.

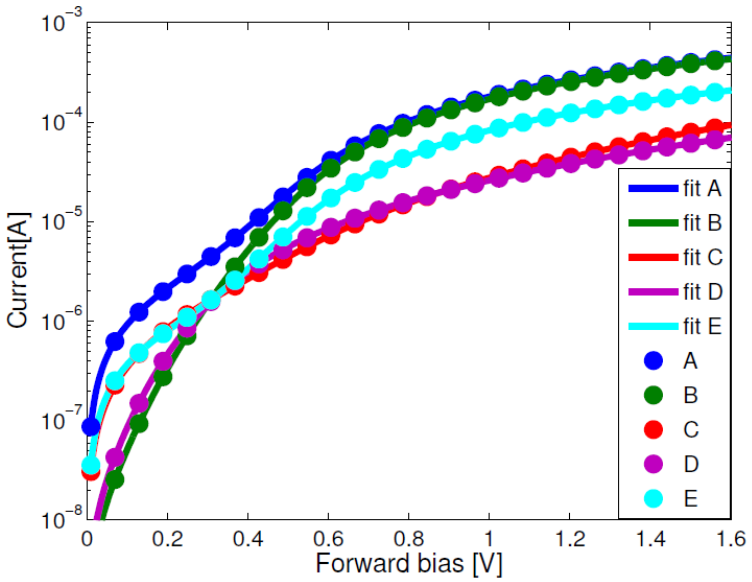

Figura 19 Caratteristiche I-V dei diodi in Cr-Si. Le linee continue rappresentano le caratteristiche calcolate utilizzando i parametri riportati in Tabella 1

I risultati ottenuti dalla caratterizzazione delle barriere Schottky hanno permesso di formulare alcune ipotesi preliminari rispetto al funzionamento dei transistor; in particolare, data la piccola differenza fra la barriera rispetto alla banda di conduzione (~0.7eV) e quella rispetto alla banda di valenza (~0.42eV) è possibile supporre che i transistor mostreranno un comportamento prettamente ambipolare. Poiché la barriera risulta minore rispetto alla banda di valenza, inoltre, si può supporre che i dispositivi avranno prestazioni maggiori laddove vengano impiegati come transistor a canale p. La forte dipendenza dell'altezza di barriera dalla temperatura e il ridotto ordine di grandezza del prodotto SA^*, inoltre, possono essere considerati degli indicatori della natura microcristallina del film di silicio e, pertanto, lasciano supporre che i transistor presenteranno ridotte mobilità di canale.

Le caratteristiche Id-Vgs dei transistor, mostrate in Figura 20, confermano quanto fin qui postulato evidenziando un comportamento ambipolare con una certa asimmetria fra il ramo della caratteristica a tensioni V_{gs} positive e quello a tensioni

negative. In particolare, il transistor mostra prestazioni migliori se utilizzato come dispositivo a canale p ad ulteriore conferma di quanto ipotizzato dall'analisi delle caratteristiche della barriera Schottky. Tutte le caratterizzazioni di seguito riportate sono, quindi, state eseguite utilizzando i transistor come dispositivi a canale p. In Figura 20 è anche possibile osservare l'andamento della corrente di perdita sul gate al variare della tensione applicata; anche alle massime tensioni operative, tali correnti si mantengono minori di $5 \cdot 10^{-10}$ A confermando, quindi, la buona qualità dell'ossido di gate. Tali risultati sono, inoltre, in accordo con quanto riportato in letteratura per transistor il cui ossido di gate è stato realizzato con la stessa tecnica di deposizione qui impiegata [26].

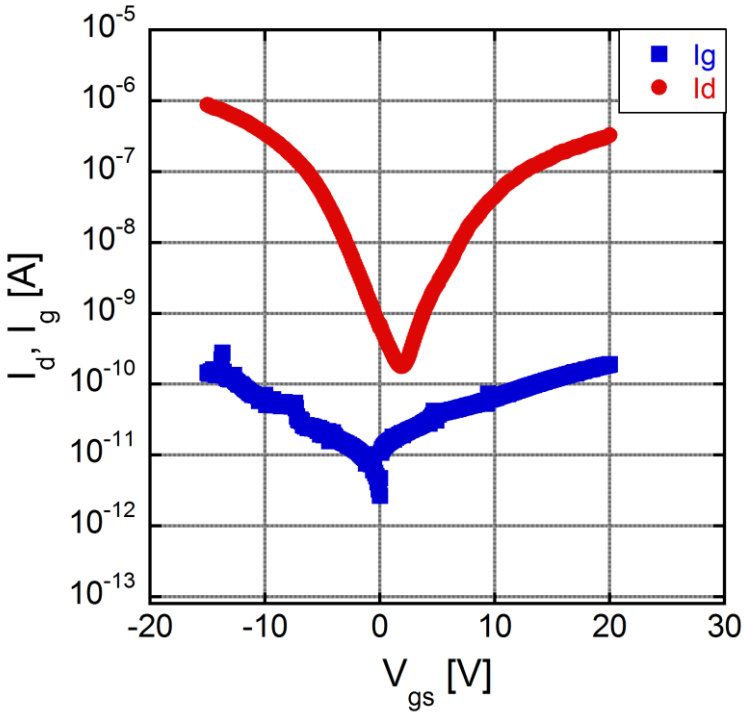

Figura 20 Caratteristica I_d-V_{gs} di un transistor con giunzione Cr-Si e lunghezza di canale 2μm. V_{ds} = 0.1V

In Figura 21 sono mostrate le caratteristiche I_d-V_{gs} (normalizzate rispetto al rapporto W/L) di una serie di transistor Cr-Si realizzati tutti sullo stesso wafer. Si osservi la dispersione delle curve ad indicare una scarsa riproducibilità delle

caratteristiche dei dispositivi anche a parità di processo fabbricativo. In particolare, sia le correnti di on che quelle di off risultano distribuite in un intervallo di circa due ordini di grandezza. Problemi di questo tipo sono legati alla scarsa omogeneità delle caratteristiche cristalline del substrato di silicio in seguito al processo di ricristallizzazione con laser ad eccimeri. È importante ricordare, a questo punto, che i dispositivi in Cr-Si sono stati realizzati sfruttando il sistema laser con fascio ad intensità graduale che, come discusso precedentemente, assicura l'instaurarsi del regime di SLG. A causa delle fluttuazioni dell'energia del fascio ottico e delle sue ridotte dimensioni, tuttavia, è possibile che, in diverse zone del wafer, la dimensione dei grani vari sensibilmente provocando, di conseguenza, la variazione delle caratteristiche dei transistor. La disomogeneità del substrato su larga scala è stata, inoltre, osservata anche durante l'analisi delle caratteristiche dei diodi che, pur mostrando altezze di barriera paragonabili a temperatura ambiente, presentano spesso caratteristiche corrente-tensione molto diverse fra loro [49].

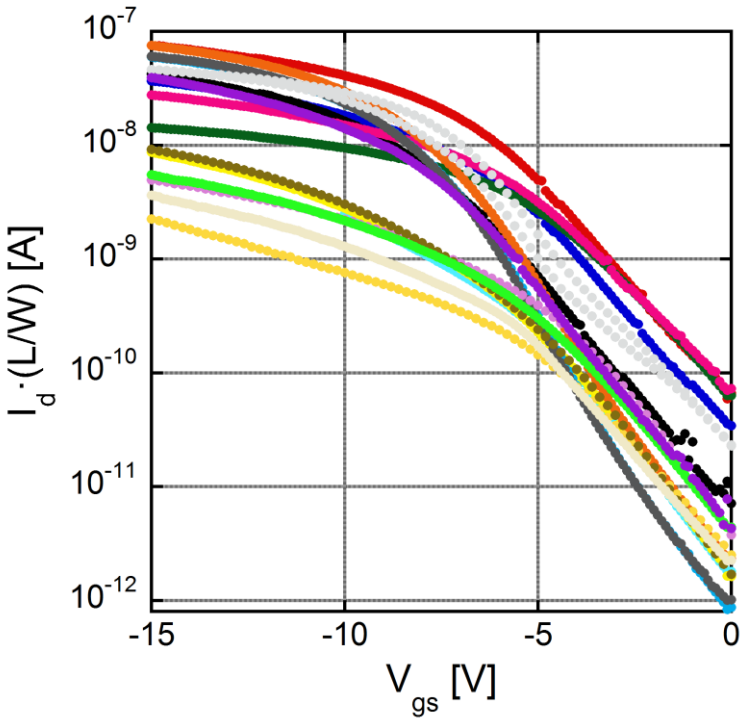

Figura 21 Caratteristiche I_d-V_{gs} di una famiglia di transistor con giunzione Schottky in Cr-Si. V_{ds} = 0.1V

Le caratteristiche I_d-V_{gs} sono state utilizzate, come dettagliatamente spiegato nel capitolo 4, per l'estrazione della tensione di soglia, del rapporto I_{on}/I_{off} e del Subthreshold Swing (SS).

In Figura 22 è mostrata la distribuzione statistica delle tensioni di soglia dei transistor Cr-Si. Il valor medio della V_{th} è pari a circa -5.8V con picchi minimi e massimi pari, rispettivamente, a -4.8V e -8.1V. Come già evidenziato dall'analisi delle caratteristiche I_d-V_{gs}, anche le tensioni di soglia mostrano una notevole dispersione rendendo, pertanto, complessa la valutazione delle prestazioni dei dispositivi ed il confronto con lo stato dall'arte. Si osservi, in ogni caso, che dispositivi DSD-FET a canale p realizzati con tecniche di deposizione e ricristallizzazione simili a quelle impiegate per la realizzazione degli SB-FET mostrano tensioni di soglia comprese fra -8V e -10V [53]. Laddove, invece, siano state impiegate tecniche di riscristallizzazione e deposizione dell'ossido più complesse è stato possibile ottenere dispositivi con tensioni di soglia comprese fra -2V e -0.3V [8] [9]. Si osservi, tuttavia, che la tensione di soglia è strettamente collegata alla dimensione dei grani che compongono il substrato di silicio e alla qualità dell'ossido e dell'interfaccia fra quest'ultimo ed il silicio [54]. I migliori risultati riportati in letteratura sono stati ottenuti impiegando tecnologie avanzate che hanno permesso di realizzare i dispositivi all'interno di un singolo grano di silicio cristallino e di ottenere un'interfaccia ossido-semiconduttore con una concentrazione di stati superficiali estremamente ridotta [8] [9].

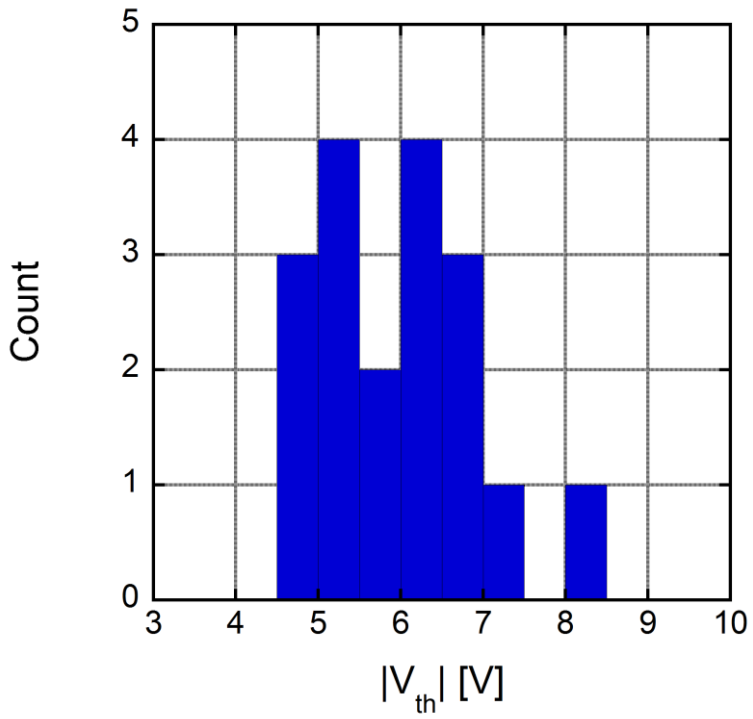

Figura 22 Distribuzione statistica delle tensioni di soglia dei transistor Cr-Si

In Figura 23 è rappresentata la distribuzione statistica del SS per i dispositivi in Cr-Si. Si osservi come, anche in questo caso, vi sia una notevole dispersione delle caratteristiche ma come, al contempo, il valor medio del SS sia pari a 0.25V/dec e, in generale, il SS sia sempre inferiore a 0.44V/dev. Un Subthreshold Swing di questa entità risulta migliore rispetto a molti dispositivi a canale p realizzati a bassa temperatura su silicio ricristallizzato [8] [9] e paragonabile a quello ottenuto con dispositivi SB-FET in silicio monocristallino e lunghezze di canale inferiori al μm [20].

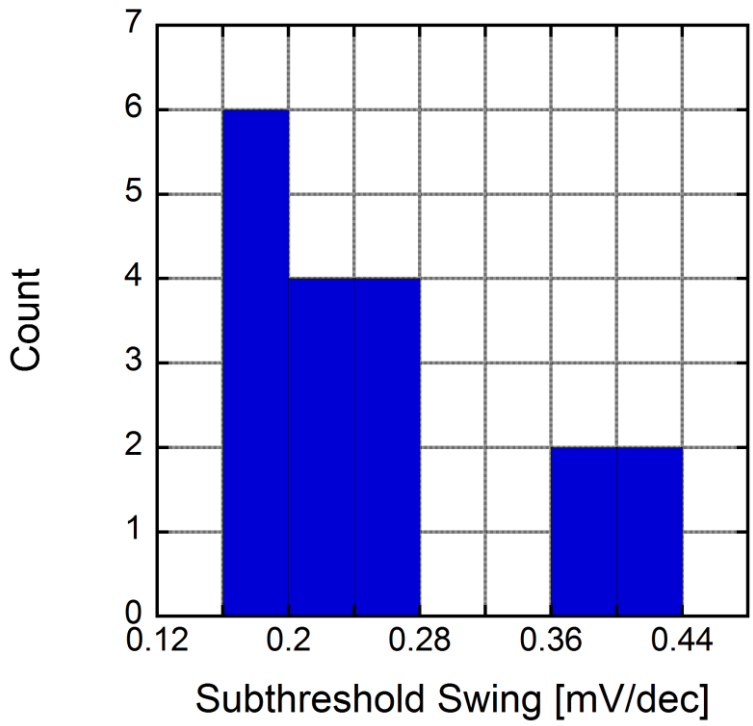

Figura 23 Distribuzione statistica del SS dei transistor Cr-Si

Un ulteriore parametro di grande importanza per la determinazione delle prestazioni di un transistor è il rapporto fra la corrente in stato di on e quella in stato di off. Insieme al SS, infatti, questo parametro permette di valutare le prestazioni dei transistor laddove si desideri utilizzarli come interruttori in circuiti digitali; in tal senso è necessario ottenere valori di SS più bassi possibile massimizzando, al contempo, il rapporto I_{on}/I_{off}.

In Figura 24 sono mostrati i rapporti I_{on}/I_{off} di un set di transistor Cr-Si; si osservi come la maggior parte dei dispositivi presenti un rapporto maggiore di 10^3 con picchi di circa $6\text{-}7\cdot10^4$. Valori di questo tipo sono paragonabili a quelli riportati in letteratura per la gran parte dei transistor a canale p a barriera Schottky [20], mentre risultano notevolmente ridotti rispetto a quelli ottenibili con transistor DSD-FET in silicio policristallino [8] [9] [26]. L'entità della corrente di on e, di conseguenza, del rapporto I_{on}/I_{off}, dipendono strettamente dal meccanismo di

iniezione delle cariche all'interno del canale del transistor; è importante ricordare, infatti, che i transistor SB-FET mostrano sempre una delle due giunzioni di source e drain polarizzata inversamente e che, pertanto, la corrente di on risulta fortemente limitata. L'ottimizzazione del rapporto on/off può essere affrontata con diverse strategie come la diminuzione dell'altezza della barriera Schottky e la realizzazione di dispositivi asimmetrici in cui le barriere ai contatti di s/d siano diverse fra loro [55]. Si consideri, in ogni caso, che la barriera Cr-Si risulta essere particolarmente elevata (~0.42eV rispetto alla banda di valenza); ciononostante, il rapporto on/off ottenuto resta comunque paragonabile a quello che, attualmente, risulta essere lo stato dell'arte per i dispositivi SB-FET a canale p. Si può, pertanto, ipotizzare che sia possibile, in futuro, ottenere risultati estremamente soddisfacenti operando una più accurata ingegnerizzazione della barriera o della geometria dei dispositivi.

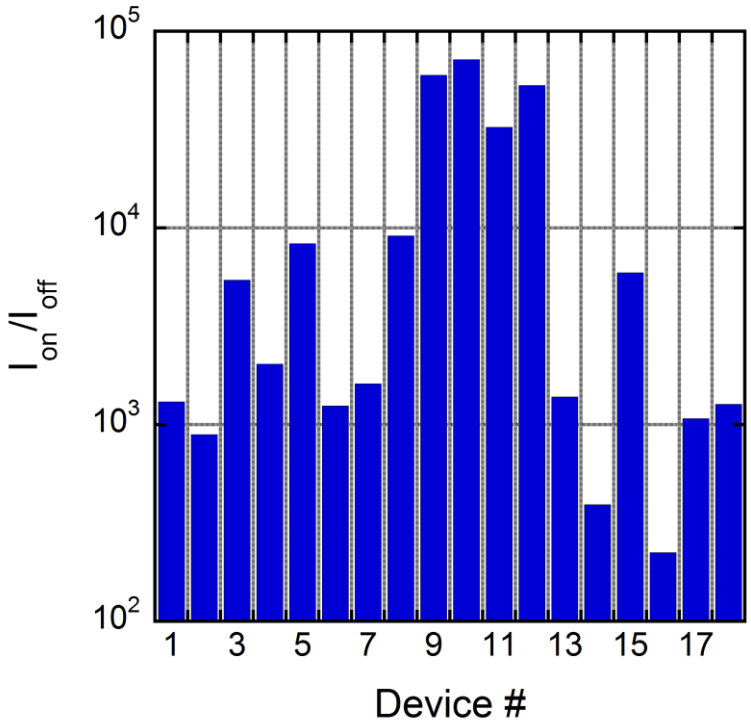

Figura 24 Rapporto I_{on}/I_{off} per il set di dispositivi in Cr-Si

La Figura 25 mostra le caratteristiche I_d-V_{ds} di uno dei transistor Cr-Si con tensione di soglia pari a -6.3V. Si osservi come, a basse tensioni V_{ds}, le curve presentino un andamento non lineare; questo effetto è tipico di transistor in cui i contatti di source e drain presentino resistenze elevate. Nel caso di transistor SB-FET, questo fenomeno si verifica qualora la barriera Schottky risulti eccessivamente elevata. Nel caso delle giunzioni Cr-Si la sublinearità della caratteristica I_d-V_{ds} era, pertanto, attesa e fornisce ulteriore conferma della non ottimizzazione dell'altezza di barriera.

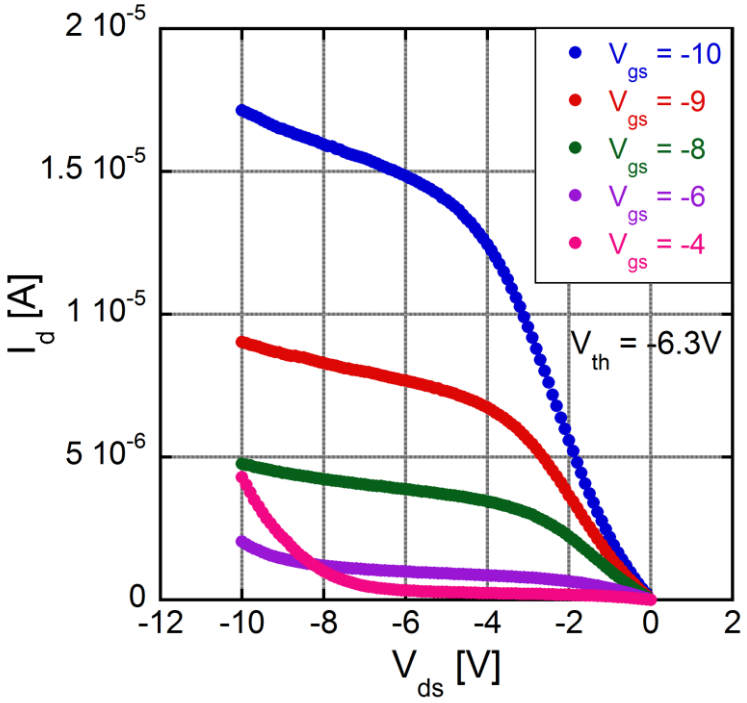

Figura 25 Caratteristiche I_d-V_{ds} di un transistor Cr-Si con V_{th} = -6.3V

Nel grafico sono state inserite anche due curve (V_{gs}=-6V e V_{gs}=-4V) ottenute tenendo il transistor sotto soglia. Si osservi come, a partire da una certa tensione di drain (pari a circa Vgs=-2V) la corrente tenda ad aumentare rapidamente. Questo fenomeno può essere imputato al breakdown della giunzione di drain che, polarizzata inversamente al di sopra di un certo potenziale critico, permette il

passaggio, per effetto tunneling assistito termicamente, di cariche altamente energetiche che possono instaurare fenomeni di generazione da impatto con conseguente aumento della corrente di canale. È possibile osservare come, all'aumentare della tensione di gate, sia necessario un maggiore potenziale di drain per provocare l'aumento di corrente; da ciò è possibile dedurre che l'effetto di breakdown della giunzione si sviluppi prevalentemente al bordo del contatto di drain. Poiché l'elettrodo di gate è in parte sovrapposto a quello di drain, infatti, esso influisce sulla struttura energetica della giunzione Schottky modificandone le caratteristiche e variando il potenziale di drain necessario a provocare il breakdown. Fenomeni di questo tipo sono, ovviamente, indesiderati in quanto diminuiscono la zona di linearità del transistor qualora esso debba essere impiegato come amplificatore. Effetti simili sono stati osservati anche in dispositivi a canale ultracorto realizzati su substrati monocristallini e, anche in questo caso, sono stati imputati all'iniezione di cariche nel canale da parte della giunzione Schottky [56]. L'energia delle cariche emesse all'interfaccia metallo-semiconduttore in presenza di un campo elettrico dipende, ovviamente, dall'altezza della barriera Schottky. A temperatura ambiente, in particolare, il meccanismo di emissione dominante ad alti campi sarà quello del tunneling assistito termicamente e le cariche emesse risulteranno essere tanto più energetiche quanto più elevata sarà l'altezza della barriera Schottky. Un possibile approccio per mitigare il fenomeno di aumento anomalo della corrente mostrato in Figura 25, pertanto, è quello di diminuire l'altezza della barriera metallo-semiconduttore.

A causa dell'effetto di modulazione dell'altezza di barriera da parte del campo di drain, inoltre, le curve I_d-V_{ds} presentano una non trascurabile pendenza nella regione di saturazione con un comportamento simile a quello dovuto alla modulazione della lunghezza di canale nei DSD-FET. Si osservi, tuttavia, che anche il campo emesso dal gate interviene nel modulare l'altezza della barriera Schottky; le proiezioni delle correnti a tensioni V_{ds} positive, pertanto, non convergono in un

unico punto, come ci si aspetterebbe nel caso di effetto di modulazione della lunghezza di canale, ma si spostano a tensioni sempre più elevate all'aumentare della tensione di gate (cfr. Figura 26). Anche l'effetto di modulazione della barriera può essere mitigato per mezzo di un'attenta ingegnerizzazione della giunzione metallo-semiconduttore; se, infatti, si riuscisse a ridurre l'altezza della barriera Schottky rispetto alla banda di valenza le lacune avrebbero, a temperatura ambiente, energia sufficiente a superare la barriera per effetto di emissione termoionica o per tunneling assistito termicamente già a bassi potenziali di drain e, di conseguenza, la corrente di canale resterebbe pressoché immutata al variare della tensione V_{ds}. Al contrario, in presenza di barriere elevate la componente di corrente dovuta al tunneling assistito dipende fortemente dalla tensione applicata alla barriera e, quindi, dalla V_{ds}.

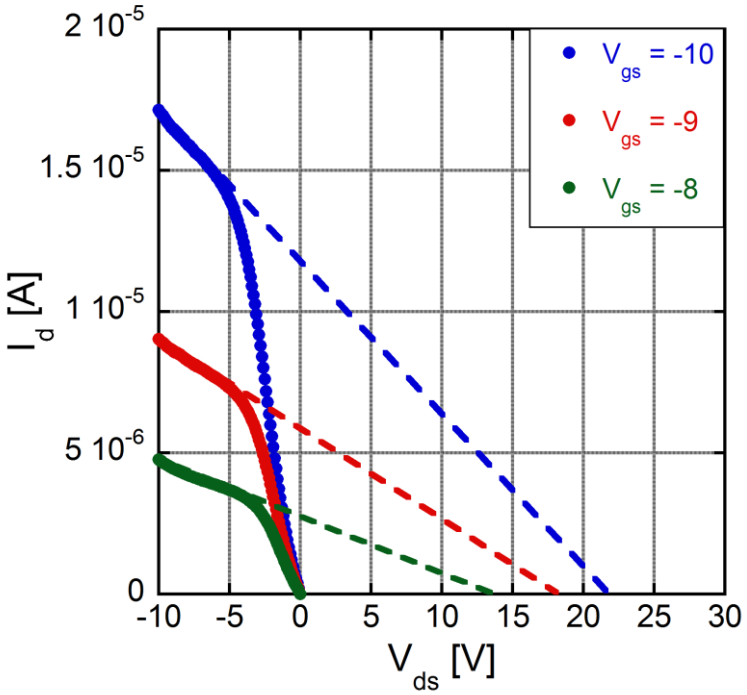

Figura 26 Effetto di modulazione dell'altezza di barriera al variare della tensione di gate.

Come già spiegato nei paragrafi precedenti, le caratteristiche I_d-V_{ds} sono state utilizzate anche per la determinazione della mobilità delle cariche maggioritarie all'interno del canale. In Figura 27 è mostrata la distribuzione statistica delle mobilità misurate sui vari dispositivi.

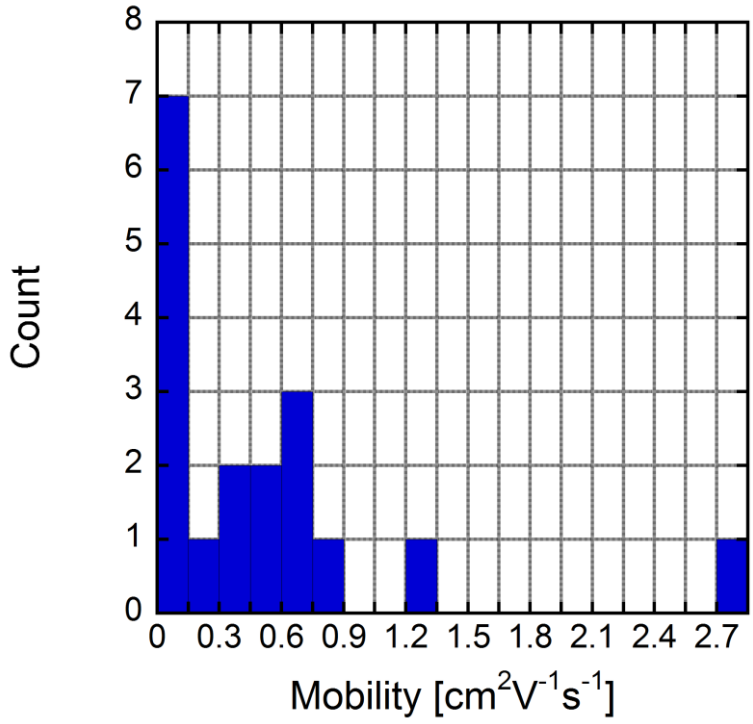

Figura 27 Distribuzione statistica della mobilità delle lacune nel canale dei transistor Cr-Si

Si osservi come la maggior parte dei dispositivi presentino una mobilità inferiore a $1cm^2V^{-1}s^{-1}$ mostrando chiaramente la ridotta qualità cristallina del film di silicio ricristallizzato. Materiali con mobilità così basse riducono, ovviamente, le prestazioni dei transistor SB-FET diminuendo, in particolare, la corrente di on e, conseguentemente, il rapporto I_{on}/I_{off}. Alla luce dei risultati ottenuti riguardo la mobilità delle cariche, pertanto, è possibile rivalutare le prestazioni complessive dei transistor Cr-Si: è possibile supporre, infatti, che dispositivi con la stessa struttura e geometria realizzati su substrati di migliore qualità possano offrire prestazioni particolarmente elevate. Se si considera, poi, che le caratteristiche dei

transistor Cr-Si qui presentate sono già paragonabili a quanto riportato in letteratura per transistor TFT realizzati con processi a bassa temperatura e compatibili con substrati plastici, è allora chiaro che i dispositivi qui proposti rappresentano una valida alternativa per la realizzazione di dispositivi a larga area in processi a basso costo.

5.2 SB-FET in NiSi-Si

I transitor Cr-Si si sono dimostrati dei dispositivi a canale p con buone prestazioni; si è cercato, pertanto, di produrre dei dispositivi a canale n che potessero essere utilizzati assieme ai Cr-Si per la realizzazione di circuiti complementari. Data l'ampia letteratura disponibile a riguardo, si è scelto di realizzare dei dispositivi le cui giunzioni Schottky fossero composte da NiSi (Siliciuro di Nickel) e Silicio. Il NiSi può essere formato per reazione termica fra un film di nickel metallico ed un substrato di silicio; la reazione avviene a temperature superiori ai 300°C [57] ma comunque compatibili con substrati plastici e polimerici ed il siliciuro formato presenta resistività estremamente ridotte. Poiché l'interfaccia metallo-semiconduttore si forma spontaneamente in seguito alla reazione di silicidizzazione e poiché essa viene a trovarsi all'interno del film del semiconduttore, lontano dalla superficie, non si verificano effetti di pinning e l'altezza della barriera Schottky che si forma è facilmente prevedibile. Il siliciuro di nickel, tuttavia, presenta una funzione lavoro pari a circa 4.5eV [58] che lo colloca all'incirca al centro della gap del silicio. La barriera ottenuta, pertanto, non permette di ottenere dei transistor a canale n con caratteristiche soddisfacenti. Per ottenere una barriera ottimizzata si è scelto di utilizzare la tecnica della segregazione di atomi droganti durante il processo di silicidizzazione. Tale tecnica consiste nell'interporre un film di atomi droganti (fosforo) fra il nickel ed il silicio. Alle temperature necessarie per far reagire il silicio con il nickel, il fosforo presenta diffusività estremamente bassa in entrambi i materiali e, di conseguenza, resta

intrappolato all'interfaccia fra il NiSi ed il silicio. Lo strato atomico che si viene a creare all'interfaccia metallo-semiconduttore modifica l'altezza di barriera e permette di ottenere giunzioni Schottky adatte alla realizzazione dei transistor [59]. Nel caso dei dispositivi oggetto del presente lavoro, lo strato di drogante è stato depositato con tecnica PECVD utilizzando come gas precursore una miscela di SiH_4 e PH_3 al 1%. Questa miscela permette di ottenere un film di silicio con un drogaggio equivalente pari a circa $10^{19}cm^{-3}$. Il film depositato, inoltre, è particolarmente poroso e può essere, quindi, rimosso con una soluzione alcalina di tipo MIF319 senza attaccare lo strato di silicio sottostante.

In Figura 28 sono mostrate le curve di corrente di drain e di gate al variare della tensione di gate.

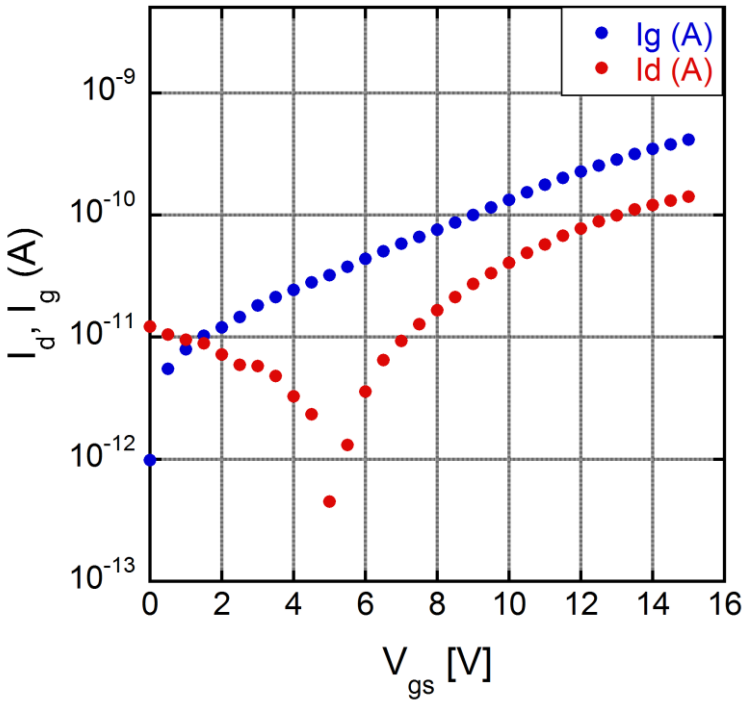

Figura 28 Caratteristiche Id-Vgs di transistor NiSi-Si. Vds = 0.1V

Si osservi come la corrente I_g sia sempre superiore alla corrente di drain rendendo, di fatto, il dispositivo inutilizzabile. Tutti i transistor di questo tipo hanno mostrato lo stesso andamento delle correnti lasciando, pertanto, supporre la presenza di un problema tecnologico comune. In particolare è possibile ipotizzare che, durante la fase finale di annealing del dispositivo che avrebbe dovuto sia permettere la formazione del NiSi e sia migliorare le caratteristiche dell'ossido, parte del nickel sia penetrato all'interno del film dielettrico generando dei percorsi conduttivi fra drain e source. In questo modo, non solo alcune cariche possono essere iniettate direttamente dal gate verso il terminale di source, ma la conformazione del campo elettrico E_{gs} si modifica in maniera tale da non poter più portare il canale in condizioni di inversione. I transistor, pertanto, risultano sempre spenti e le correnti di drain non riescono mai a superare quelle di gate.

Una problematica di questo tipo avrebbe richiesto una revisione completa del processo realizzativo dei transistor e avrebbe imposto l'eliminazione dei processi termici di annealing degli strati dielettrici. Un approccio di questo tipo, tuttavia, sarebbe stato eccessivamente complesso e, a causa della scarsa qualità dell'ossido non sottoposto a trattamento termico, avrebbe comunque offerto risultati poco soddisfacenti. Per questi motivi non sono stati realizzati altri transistor con giunzioni in siliciuro di nickel.

5.3 SB-FET in Ti-Si

La realizzazione di transistor a canale n era, in ogni caso, uno degli obiettivi primari del presente lavoro; si è, pertanto, deciso di realizzare dei nuovi dispositivi in cui la giunzione metallo-semiconduttore potesse essere realizzata, come nel caso dei transistor Cr-Si, per mezzo di una semplice deposizione di metallo direttamente sulla superficie del film di silicio senza dover utilizzare strati drogati intermedi e scegliendo metalli che avessero mobilità abbastanza ridotta da non poter

penetrare all'interno dell'ossido di gate alle temperature di processo. Il metallo scelto, inoltre, avrebbe dovuto presentare una funzione lavoro tale da permettere la creazione di una giunzione Schottky in cui la barriera rispetto alla banda di conduzione del silicio fosse la più bassa possibile. In Tabella 2 sono riportate le funzioni lavoro di alcuni dei metalli che, in teoria, potrebbero formare con il silicio una giunzione Schottky adatta alla realizzazione di transistor a canale n.

Tabella 2 Funzioni lavoro di alcuni metalli per la realizzazione di transistor a canale n

	Workfunction [eV]
Al	4.06-4.26
Pb	4.25
Ti	4.33
In	4.09
Mn	4.1

L'alluminio, pur essendo facilmente depositabile e presentando la funzione lavoro più adatta alla formazione di una barriera ridotta con la banda di conduzione del silicio, presenta due importanti problemi che lo rendono sostanzialmente inutilizzabile; in primo luogo esso si comporta come un drogante di tipo p per il silicio qualora venga inserito all'interno del reticolo cristallino e, in secondo luogo, la giunzione Al-Si soffre di fenomeni di elettromigrazione tali per cui, al passaggio di corrente, gli atomi di silicio tendono a diffondere all'interno del film di alluminio. Anche il piombo è stato scartato in quanto richiede particolari attenzioni durante la lavorazione sia per la sua elevata tossicità e sia per la sua propensione ad ossidarsi con estrema velocità in soluzioni contenenti acqua e se esposto all'aria. Allo stesso modo, anche il magnesio non rappresenta una soluzione accettabile in quanto la sua lavorazione risulta particolarmente complessa e pericolosa a causa

della violenta reazione esotermica che questo materiale compie quando entra in contatto con l'acqua. L'indio ed il titanio, invece, sono entrambi dei buoni candidati per la realizzazione dei transistor ma il titanio risulta una scelta più economica ed in linea con l'obiettivo di realizzare transistor con un basso costo di produzione.

Come già precedentemente accennato, tuttavia, il processo di lavorazione del titanio presenta alcune incompatibilità con gli altri materiali che compongono i transistor; in particolare, gli attacchi chimici utili alla rimozione del Ti risultano aggressivi anche nei confronti del silicio. Per la realizzazione dei transistor Ti-Si è stato, quindi, necessario utilizzare una procedura di lift-off per la definizione della geometria dei contatti metallici. Purtroppo, la necessità di modificare il processo di fabbricazione e, conseguentemente, le maschere utilizzate per la fotolitografia ha fatto sì che, per i transistor Ti-Si, non fosse possibile realizzare le strutture a diodi utili per la misurazione dell'altezza di barriera.

In Figura 29 è mostrata una tipica caratteristica Id-Vgs di un transistor in Ti-Si. Si osservi, in primo luogo, come la curva di corrente di drain sia fortemente asimmetrica e come, di conseguenza, il transistor possa funzionare al meglio solo se utilizzato come dispositivo a canale n. Una caratteristica di questo tipo lascia supporre che la barriera Schottky ottenuta alla giunzione metallo-semiconduttore sia effettivamente molto sbilanciata verso la banda di conduzione e che, pertanto, il metallo scelto e la tecnica di deposizione utilizzata siano effettivamente adatti alla realizzazione di transistor di tipo n. La caratteristica di Figura 29 mostra, tuttavia, correnti di on estremamente ridotte. Si consideri, per confronto, che il dispositivo Ti-Si di Figura 29 ed il transistor Cr-Si di Figura 20 hanno, rispettivamente, rapporti W/L pari a 20 e 32, non sufficienti a giustificare una differenza di due ordini di grandezza nella corrente di drain. Se, tuttavia, la barriera Schottky è effettivamente ottimizzata per facilitare il transito di elettroni non è possibile attribuire la bassa corrente di drain all'effetto della giunzione polarizzata

inversamente; si deve, allora, suppore che il fattore limitante per il transito di cariche nel canale sia costituito dall'elevata resistività del semiconduttore e, quindi, dalla bassa mobilità dei portatori. Ulteriori conferme a questa ipotesi saranno trovate di seguito, grazie all'analisi della mobilità delle cariche e della transconduttanza dei dispositivi. Si osservi, infine, che le correnti di gate sono sempre inferiori ai 10^{-10}A confermando, ancora una volta, le buone prestazione dell'ossido di gate.

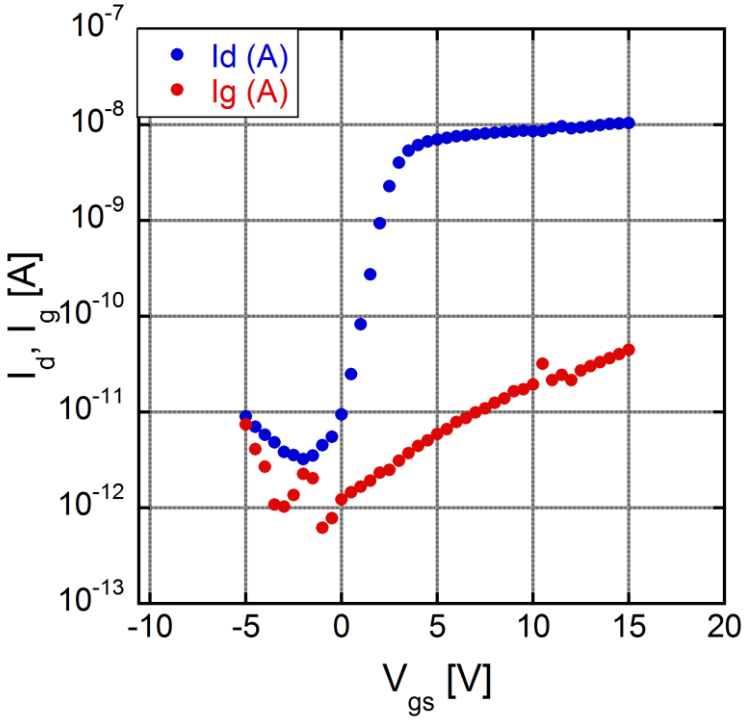

Figura 29 Caratteristica I_d-V_{gs} di un transistor Ti-Si. V_{ds} = 0.1V.

In Figura 30 è mostrata una famiglia di caratteristiche I_d-V_{gs} dei transistor con contatti di source e drain in titanio. Si osservi come, rispetto ai transistor in Cr-Si, le correnti di on tendano ad assumere valori simili fra loro limitando la dispersione delle curve a meno di un ordine di grandezza. Tale caratteristica suggerisce una maggiore uniformità su larga scala del film di silicio; se, però, si considera quanto precedentemente discusso a proposito della bassa corrente di on, è possibile

supporre che il silicio presenti una struttura microcristallina con grani di dimensioni estremamente ridotte ma uniformi su tutta la superficie del wafer. A tal proposito è importante ricordare che i transistor Ti-Si sono stati realizzati utilizzando il sistema di ricristallizzazione con fascio laser di grandi dimensioni ma senza il profilo di intensità necessario ad instaurare il regime di SLG. Non deve, allora, stupire che i dispositivi presentino una migliorata uniformità a discapito, tuttavia, delle loro prestazioni generali.

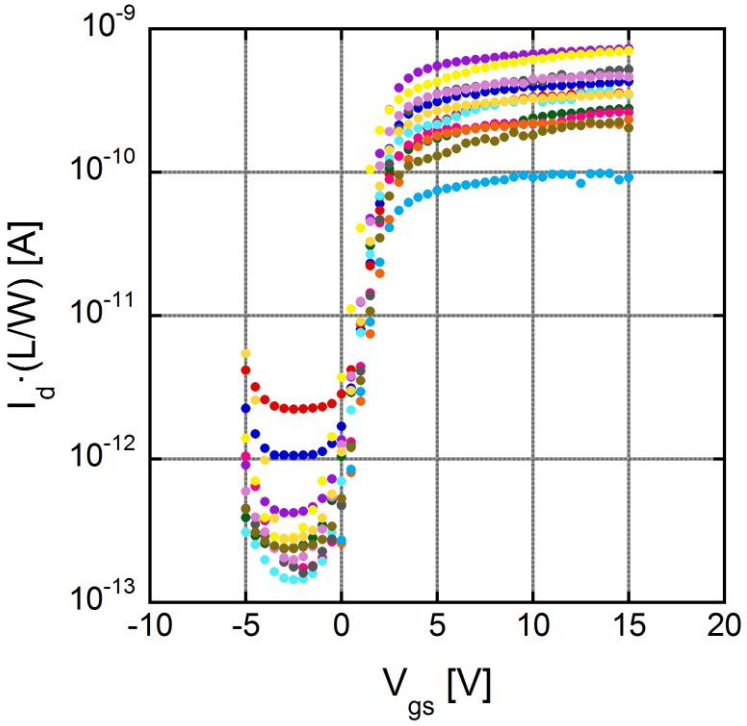

Figura 30 Caratteristiche I_d-V_{gs} di una famiglia di transistor Ti-Si. V_{ds} = 0.1V

La Figura 31 mostra i rapporti on/off estratti dalle caratteristiche I_d-V_{gs} discusse pocanzi; la maggior parte dei dispositivi presenta rapporto I_{on}/I_{off} compreso fra $5 \cdot 10^2$ e $2.5 \cdot 10^3$; valori di questo tipo sono, purtroppo decisamente ridotti rispetto a quanto riportato in letteratura per TFT con processi a bassa temperatura [26] [60] e comunque inferiori rispetto ai valori raggiunti dai transistor SB-FET a canale n allo stato dell'arte [20] [56] [61]. Il basso rapporto on/off è imputabile alla ridotta

corrente di on che, come già discusso, è da attribuirsi alla scarsa mobilità delle cariche. L'elevata asimmetria delle caratteristiche I_d-V_{gs} lascia supporre che l'altezza di barriera abbia valori abbastanza ridotti rispetto alla banda di conduzione da permettere, utilizzando substrati con mobilità di canale più elevata, di ottenere dispositivi con prestazioni sicuramente migliori rispetto a quelle qui riportate. È lecito supporre, pertanto, che l'introduzione di miglioramenti nelle tecniche impiegate per la ricristallizzazione del silicio possa portare ad un notevole aumento delle prestazioni dei dispositivi e, in particolare, all'aumento delle correnti di drain e del rapporto on/off.

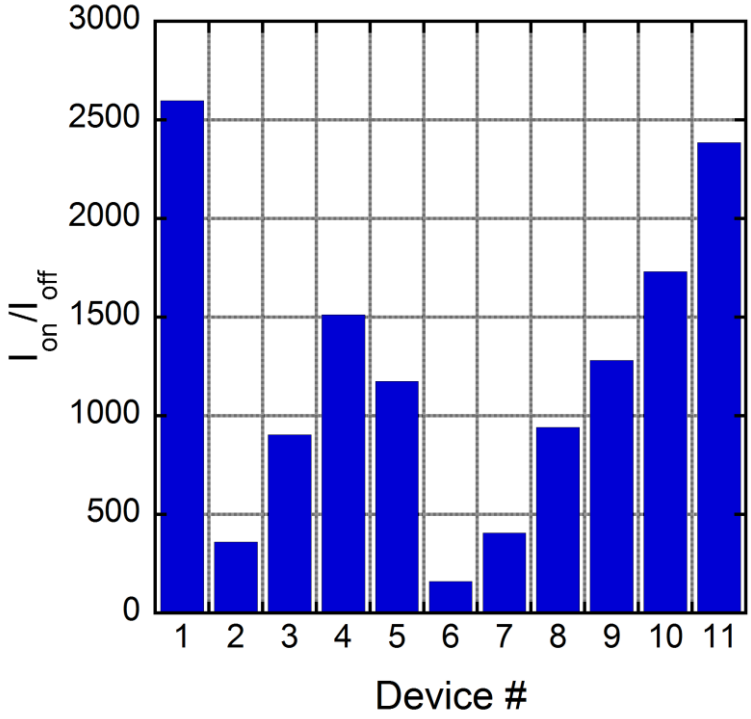

Figura 31 Rapporti I_{on}/I_{off} calcolati sui dispositivi in Ti-Si

In Figura 32 è mostrata la distribuzione statistica delle tensioni di soglia misurate sui dispositivi in Ti-Si; come per le caratteristiche I_d-V_{gs}, anche le tensioni di soglia tendono ad assumere valori molto simili fra loro e concentrati su tensioni pari a 3.5V. Solo alcuni dispositivi hanno mostrato V_{th} diverse ma, in ogni caso, sempre a

valori più bassi rispetto alla media. Il valore ottenuto per la tensione di soglia è migliore rispetto a quanto riportato in letteratura per transistor realizzati con processi a bassa temperatura su substrati in silicio policristallino [26] [60] ed è paragonabile ai risultati ottenuti impiegando tecniche di ricristallizzazione e deposizione dell'ossido più complesse e che permettono di realizzare i dispositivi su un singolo grano di silicio ottenendo, al contempo, un ridotto numero di stati carichi all'interfaccia dielettrico-semiconduttore [8] [59].

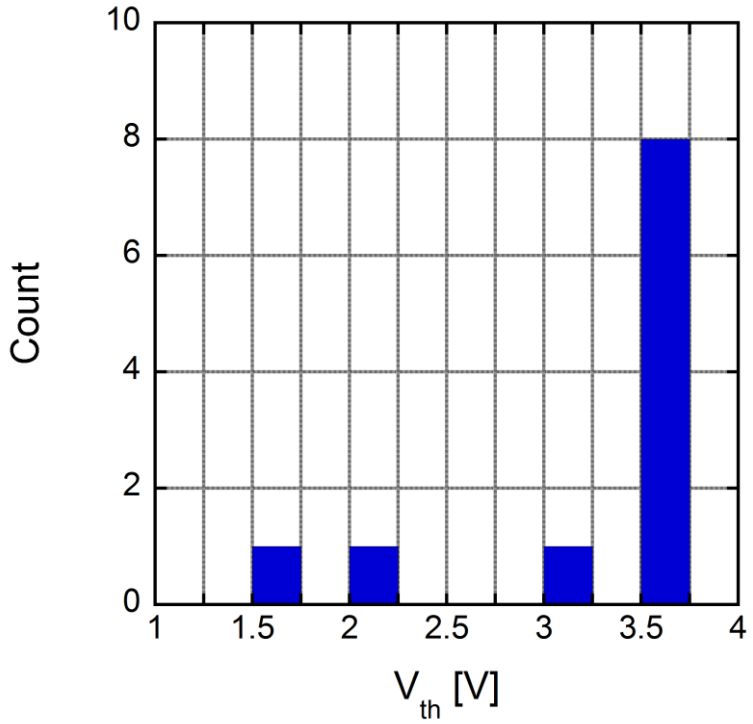

Figura 32 Distribuzione statistica delle tensioni di soglia dei transistor Ti-Si

In Figura 33, invece, sono mostrati i valori di Subthreshold Swing ottenuti dalla caratterizzazione dei dispositivi Ti-Si; ancora una volta, è possibile notare come la maggior parte dei dispositivi condivida lo stesso valore di SS pari a 0.9V/dec ad ulteriore conferma della buona uniformità del substrato e riproducibilità dei dispositivi.

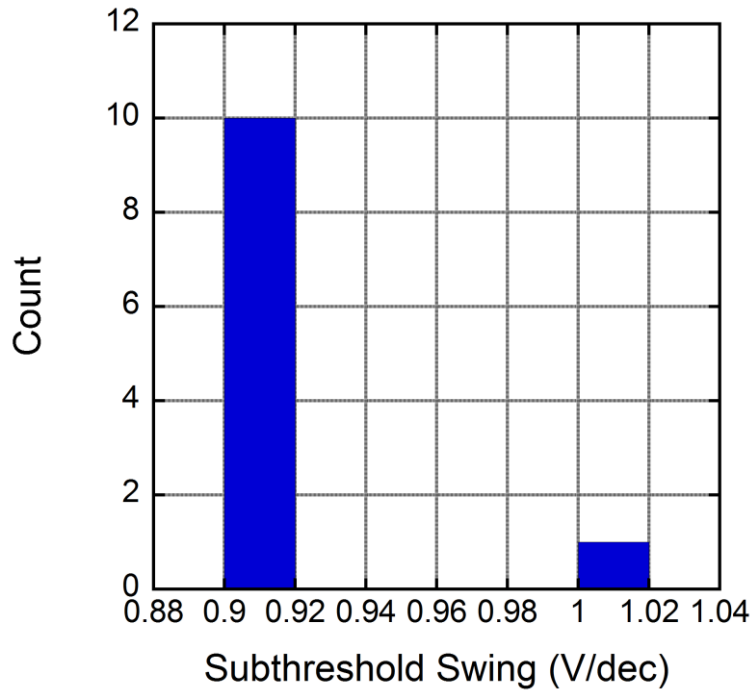

Figura 33 Distribuzione statistica del Subthreshold Swing per dispositivi Ti-Si

Il valore di SS ottenuto risulta peggiore rispetto a quanto riportato in letteratura sia nel caso di dispositivi DSD-FET sia per SB-FET. È utile osservare che, in un transistor con contatti di source e drain a barriera Schottky, la pendenza della caratteristica I_d-V_{gs} al di sotto della tensione di soglia dovrebbe dipendere unicamente dalle caratteristiche della barriera Schottky e dal modo in cui essa viene modificata dalla tensione applicata sul gate [62]; ciò, tuttavia, è vero solo fin tanto che la resistenza offerta dal substrato è trascurabile rispetto a quella equivalente dovuta alla presenza della barriera di potenziale al contatto Schottky. Le caratteristiche corrente-tensione dei transistor Ti-Si, lasciano supporre che la barriera fra il metallo ed il semiconduttore sia effettivamente abbastanza ridotta da non rappresentare, a temperatura ambiente, un ostacolo al passaggio delle cariche e, pertanto, sarebbe lecito aspettarsi un valore di SS decisamente più basso rispetto a quello osservato. Ancora una volta, quindi, si ritiene che le scarse prestazioni dei dispositivi siano da attribuire alla ridotta qualità cristallina del substrato di silicio e, conseguentemente, all'elevata resistività del canale.

Le caratteristiche I_d-V_{ds} di un transistor in Ti-Si sono mostrate in Figura 34 con tensioni di gate che variano fra 2 e 10V (la soglia è pari a 3.5V). Si osservi, in primo luogo, come le caratteristiche corrente-tensione sotto soglia non mostrino alcun aumento anomalo della corrente come, invece, avveniva nei transistor Cr-Si. La ridotta altezza della barriera Schottky per gli elettroni, infatti, fa sì che le cariche iniettate nel canale al di sotto della soglia di inversione non siano abbastanza energetiche da causare fenomeni di ionizzazione da impatto. L'ottimizzazione dell'altezza di barriera permette, inoltre, di avere caratteristiche I_d-V_{ds} che, in condizioni di saturazione, mostrano un andamento particolarmente piatto poiché la variazione dell'altezza di barriera per effetto Schottky al variare della tensione di drain non modifica in maniera sostanziale il numero di cariche che, per effetto tunneling e per effetto termoionico, possono attraversare la barriera stessa.

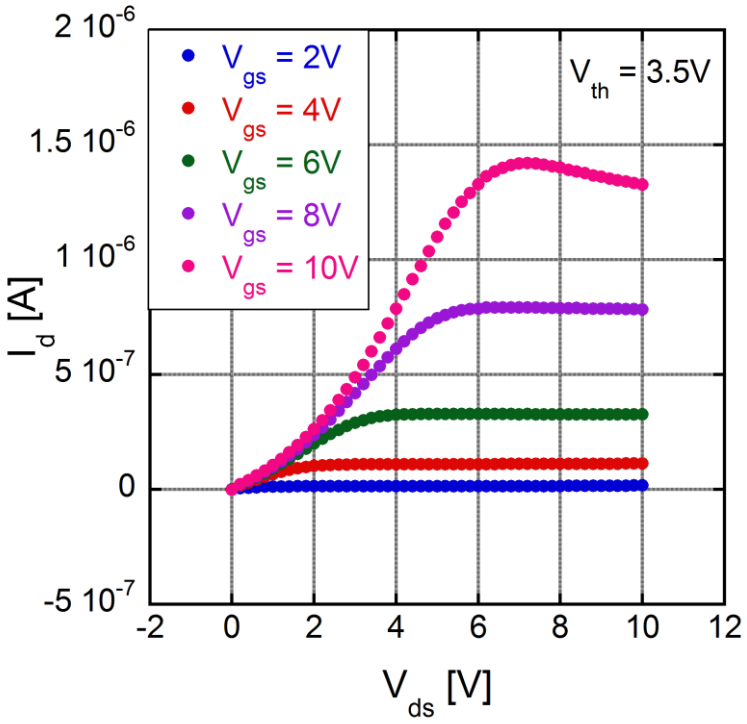

Figura 34 Caratteristiche I_d-V_{ds} di un transistor in Ti-Si con lunghezza di canale 10μm e larghezza 400μm

I transistor in Ti-Si, pertanto, hanno caratteristiche tali da poter essere efficacemente utilizzati come amplificatori ad elevata linearità. Si osservi, tuttavia, che a tensioni di gate particolarmente elevate (V_{gs} = 10V) le caratteristiche iniziano a mostrare, nella zona di saturazione, una resistenza differenziale negativa. Comportamenti di questo tipo sono stati osservati anche da altri autori [63] [64] e possono essere imputate all'instaurarsi di fenomeni di tunneling banda-banda assistiti da difetti. In particolare, ad elevate tensioni di gate e lontano dalla zona di inversione di popolazione, il diagramma a bande del transistor può essere schematizzato come in Figura 35. In queste condizioni il campo di drain può essere abbastanza elevato da permettere il tunneling delle cariche dalla banda di conduzione a quella di valenza con una conseguente diminuzione della corrente che attraversa il canale del transistor.

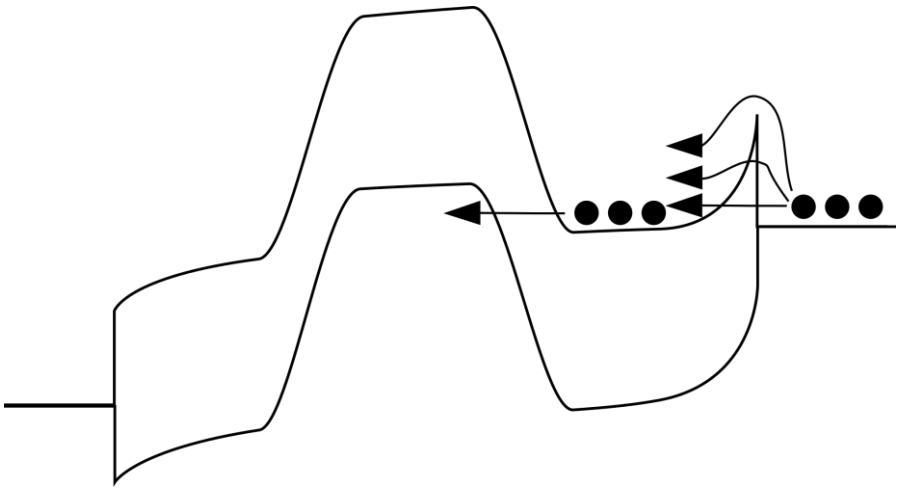

Figura 35 Diagramma a bande di un transistor SB-FET a canale n ad elevate tensioni di gate lontano dalla zona di inversione

I fenomeni di tunneling banda-banda possono essere notevolmente accentuati in presenza di difetti nel reticolo cristallino. I difetti, infatti, creano degli stati all'interno della banda proibita che può, quindi, essere attraversata dai portatori con un meccanismo a due passaggi; nei transistor Ti-Si, in pratica, gli elettroni liberi possono essere intrappolati dagli stati di difetto nella gap per poi,

successivamente, ricombinarsi con una lacuna in banda di valenza. A causa della distribuzione energetica dei difetti in banda, tuttavia, questo meccanismo può verificarsi solo in presenza di un campo elettrico sufficientemente elevato. La presenza di fenomeni di resistenza differenziale negativa, dunque, può essere interpretata come un'ulteriore conferma della ridotta qualità del film di silicio policristallino e dell'elevata concentrazioni di difetti.

Le caratteristiche I_d-V_{ds} sono state utilizzate per l'estrazione dei parametri di mobilità dei portatori e transconduttanza dei dispositivi; in Figura 36 è mostrata la distribuzione statistica delle mobilità dei transistor Ti-Si. Si osservi come, anche in questo caso, le caratteristiche mostrino solo una piccola dispersione ma come, al contempo, i valori di mobilità siano estremamente ridotti se paragonati a quelli ottenuti dalla caratterizzazione dei transistor Cr-Si. La maggior parte dei dispositivi, in particolare, presenta mobilità minori di $0.04 cm^2V^{-1}s^{-1}$ ad ulteriore conferma della ridotta qualità cristallina del substrato di silicio.

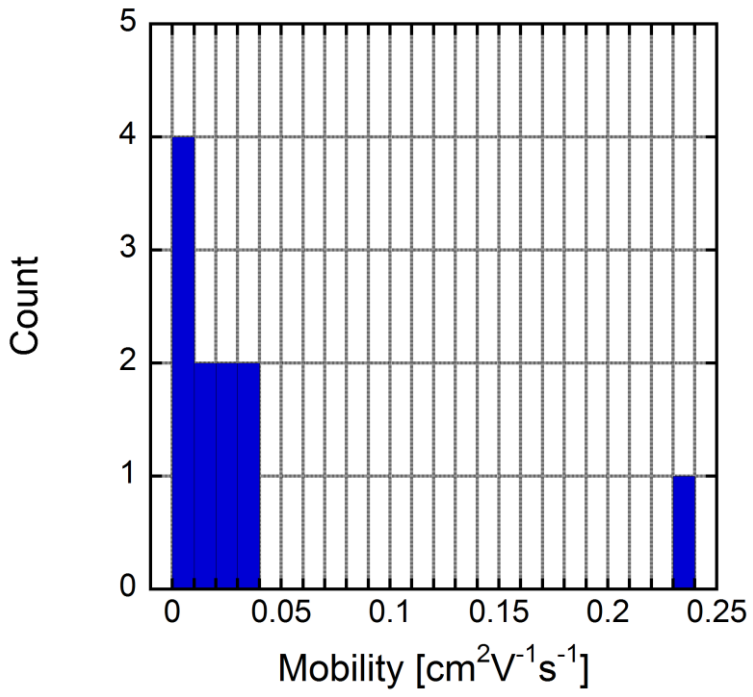

Figura 36 Distribuzione statistica della mobilità degli elettroni nel canale dei transistor Ti-Si

Valori di mobilità così bassi forniscono la definitiva conferma di quanto prima discusso riguardo la bassa corrente di on e l'elevato SS dei transistor; è possibile, quindi, concludere in maniera definitiva che l'elevata resistività del substrato è il principale fattore limitante per le caratteristiche dei dispositivi. Poiché la transconduttanza dei transistor è direttamente proporzionale alla mobilità delle cariche nel canale, è lecito supporre che anche quest'ultimo parametro presenterà valori estremamente ridotti. La distribuzione statistica della transconduttanza è mostrata in Figura 37; i valori ottenuti sono compresi fra gli 0.1 e gli 1.4 μS/mm e sono, purtroppo, decisamente inferiori sia rispetto a quelli ottenuti con i transistori Cr-Si sia rispetto a quanto riportato in letteratura per SB-FET a canale n [20] [59] [61] e per DSD-FET realizzati a bassa temperatura su substrati policristallini [5] [8] [9].

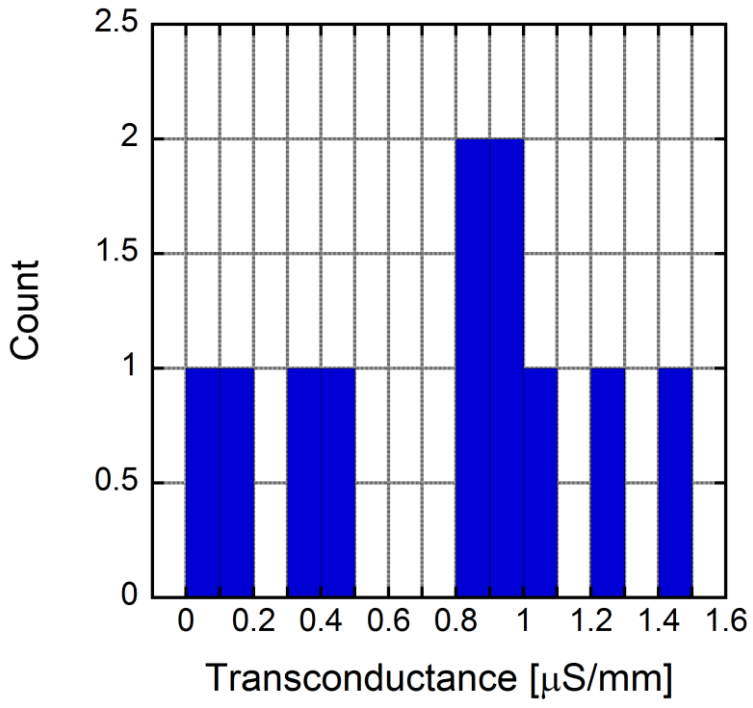

Figura 37 Distribuzione statistica della transconduttanza dei dispositivi Ti-Si

Nel complesso i transistori Ti-Si mostrano buone prospettive per quanto riguarda la realizzazione di transistor a canale n con giunzioni Schottky in titanio su silicio; la ridotta qualità cristallina del substrato di silicio ha, purtroppo, provocato un notevole degradamento delle prestazioni globali dei dispositivi che, tuttavia, hanno mostrato tensioni di soglia confrontabili con quanto riportato in letteratura e caratteristiche in saturazione con totale assenza di effetti di modulazione di lunghezza di canale o dell'altezza della barriera Schottky.

5.4 Impiego dei transistor Cr-Si come amplificatori

Al fine di testare i dispositivi in un'applicazione, si è scelto di impiegarli come amplificatori per un sensore di forza piezoelettrico; il sensore in questione è di tipo flessibile, realizzato in PVDF-TrFE, ed è, in prima approssimazione, simile ad un condensatore che presenta, fra i due terminali, una differenza di potenziale

proporzionale alla forza applicata su di esso [65]. Il sensore utilizzato è già stato precedentemente impiegato per la realizzazione di sistemi completamente flessibili per la misura della forza applicata ad una superficie ed è stato proposto come un possibile candidato per la realizzazione di epidermidi artificiali per arti robotici [50]. In Figura 38 è rappresentato lo schema circuitale impiegato per la realizzazione dell'amplificatore; il capacitore piezoelettrico è stato posto al di sotto della punta di uno shaker elettronico in grado di applicare al sensore uno stimolo sinusoidale con frequenza e forza prestabilite.

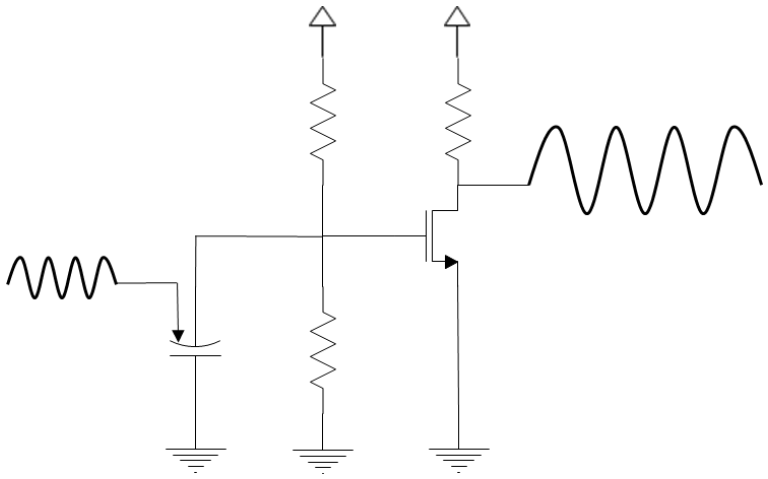

Figura 38 Schema circuitale dell'amplificatore per sensore piezoelettrico

Si è scelto, ai fini di questo test, di utilizzare i transistor in Cr-Si così da sfruttarne la maggiore transconduttanza e, di conseguenza, ottenere una maggiore amplificazione; per quanto, infatti, i transistor Ti-Si avrebbero offerto un range di linearità maggiore e tensioni di soglia minori, la loro transconduttanza estremamente ridotta non avrebbe permesso di ottenere un livello di amplificazione adeguato.

In Figura 39 sono mostrati i segnali di ingresso e di uscita dell'amplificatore; si osservi che, per una stimolazione di 2N a 200Hz (come quella mostrata in figura), il sensore piezoelettrico fornisce un segnale con tensione picco-picco pari a circa

100mV. Sul drain del transistor il segnale risulta amplificato all'incirca di un fattore 3 confermando, pertanto, la possibilità di utilizzare i dispositivi SB-FET come amplificatori.

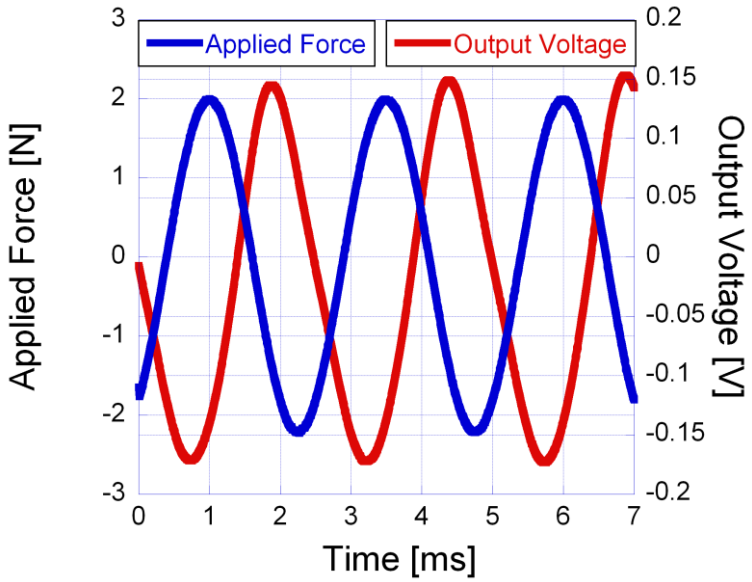

Figura 39 Forza applicata (in blu) e segnale in uscita (in rosso) per l'amplificatore a source comune rappresentato in Figura 38

Per confronto, si osservi che il circuito flessibile impiegato da Maita et al. [50] per la dimostrazione del sistema di forza piezoelettrico riusciva a realizzare un'amplificazione pari a circa 25V/V utilizzando, però, un circuito amplificatore a due stadi common source (CS). Nell'ipotesi in cui i due transistor impiegati fossero esattamente identici, è possibile supporre che il singolo stadio CS permettesse di ottenere un'amplificazione pari a 5V/V. I valori di amplificazione ottenuti con i transitor Cr-Si, pertanto, risultano essere paragonabili a quanto riportato in letteratura; se si considera, inoltre, che i transistor proposti in questa sede presentano ancora notevoli margini di ottimizzazione, è lecito supporre che essi possano effettivamente rappresentare una valida alternativa ai DSD-FET per la realizzazione di circuiteria analogica per sensoristica integrata.

È stato, infine, eseguito in test per determinare la linearità dell'amplificatore all'aumentare della tensione in ingresso; a tal fine la forza applicata al sensore è stata variata fra gli 0.5 N ed i 4 N ed è stata misurata l'ampiezza picco-picco del segnale in uscita. La Figura 40 mostra l'andamento delle tensioni picco-picco misurate; si osservi come la risposta dell'amplificatore appaia lineare entro il range di forza applicata al sensore piezoelettrico.

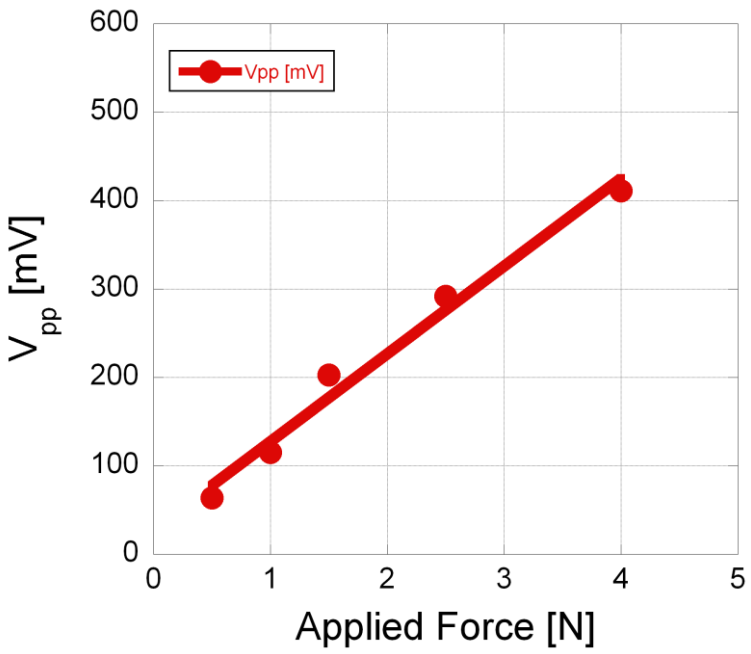

Figura 40 Tensione picco-picco in uscita dall'amplificatore al variare della forza applicata al sensore piezoelettrico. I punti rappresentano i dati sperimentali, la linea continua è il fit lineare di tali dati.

6 Conclusioni

Nel corso di questa tesi sono stati discussi i principi di funzionamento, il processo realizzativo e le caratteristiche elettriche di diverse tipologie di transistor con contatti di source e drain a barriera Schottky. Tutta l'analisi dei dispositivi si è focalizzata sulla necessità di ottenere dei transistor che, oltre ad offrire prestazioni paragonabili con quanto attualmente riportato in letteratura, godessero di un processo produttivo caratterizzato da un ridotto budget termico e da costi di produzione più bassi rispetto a quelli di DSD-FET omologhi.

Sono stati realizzati transistor sia a canale p che a canale n con processi realizzativi totalmente compatibili fra loro dimostrando, pertanto, la possibilità di realizzare dispostivi complementari sullo stesso substrato sfruttando tecniche di deposizione e litografia dei metalli ormai ampiamente diffuse in ambito industriale. I dispositivi a canale p hanno mostrato caratteristiche in larga parte paragonabili con quanto attualmente riportato in letteratura e, allo stato attuale, si presentano già come una possibile alternativa ai DSD-FET per elettronica a larga area. Alcuni dispositivi sono, inoltre, stati impiegati come amplificatori per dei sensori di forza capacitivi con risultati paragonabili a quelli ottenuti con sensori analoghi e transistor DSD-FET. I dispositivi a canale n, al contrario, non hanno raggiunto le prestazioni sperate; si consideri, tuttavia, che le scarse prestazioni di questi transistor sono da imputare completamente alla scarsa qualità del substrato cristallino impiegato per la loro realizzazione. Entrambi i tipi di dispositivi, in ogni caso, presentano numerosi margini di miglioramento ed offrono ampi spazi per future ottimizzazioni. In particolare, il miglioramento della qualità cristallina del film di silicio potrebbe permettere di ottenere dispositivi a canale n con buone prestazioni senza operare ulteriori modifiche al processo di realizzazione; anche la sostituzione dell'ossido di silicio, utilizzato come dielettrico di gate, con materiali diversi (ossidi ad alto K) potrebbe offrire notevoli vantaggi

soprattutto per quanto riguarda l'abbassamento della tensione di soglia dei dispositivi. Più in generale, un miglioramento della qualità dell'ossido di gate potrebbe permettere di ridurne lo spessore senza aumentare sensibilmente le correnti di perdita e ottenendo, al contempo, l'abbassamento delle V_{th}.

Ulteriori miglioramenti delle prestazioni potrebbero essere, invece, ottenuti apportando modifiche alla geometria dei dispositivi e ricorrendo a contatti di source e drain asimmetrici. Uno dei due contatti, inoltre, potrebbe essere reso ohmico così da permettere l'aumento del rapporto I_{on}/I_{off}. Infine, nonostante i risultati deludenti ottenuti dalla fabbricazione di transistor con contatti in siliciuro di nickel, sarà possibile tentare nuovamente la strada dell'ottimizzazione dell'altezza di barriera sfruttando il fenomeno della segregazione di atomi droganti all'interfaccia silicio-siliciuro o, in alternativa, inserendo strati dielettrici ultrasottili fra il metallo di source e drain ed il silicio. Poiché, in entrambi i casi, il trattamento termico necessario al miglioramento della qualità dell'ossido di gate risulterebbe deleterio, sarà comunque necessario impiegare tecniche di deposizione che permettano di ottenere un film di SiO_2 di migliore qualità senza necessità di annealing.

Le molteplici possibilità di ottimizzazione ed i risultati mostrati in questa tesi permettono, in ogni caso, di considerare i transistor SB-FET come dei dispositivi sicuramente promettenti e suggeriscono ulteriori investimenti in ricerca e sviluppo per migliorarne la qualità e le prestazioni. Data, infatti, la capillare diffusione dei TFT per elettronica a larga area, i dispositivi qui proposti potrebbero rappresentare una via per l'abbattimento dei costi di produzione e la completa eliminazione dal processo produttivo di gas e materiali pericolosi per l'ambiente e per la salute umana ma necessari alla realizzazione di strutture drogate.

7 Ringraziamenti

Al termine di questi tre anni di lavoro, trovo importante ringraziare tutte le persone che, in qualche modo, hanno contribuito al raggiungimento di un primo, importante, obiettivo per la mia carriera. In primo luogo devo ringraziare il Prof. Lorenzo Colace che, in questi anni, è stato per me guida e maestro. Il suo aiuto e la sua direzione non si sono limitati a quanto descritto in questa tesi ma, grazie a lui, ho avuto modo di comprendere la gioia e la soddisfazione che questo lavoro è capace di riservare, anche quando sembra che tutto stia andando per il verso sbagliato. Un ringraziamento particolare va anche ad Alessandro Pecora, Luca Maiolo, Antonio Minotti e Francesco Maita che mi hanno messo a disposizione la loro esperienza, le loro conoscenze ed il loro tempo offrendomi la possibilità di acquisire le capacità tecniche che mi hanno permesso di portare a termine il dottorato. È doveroso, inoltre, ringraziare Guglielmo Fortunato ed il Prof. Gaetano Assanto per avermi messo a disposizione le strutture ed i laboratori in cui tutto il lavoro qui descritto è stato effettivamente svolto. Un ringraziamento speciale è rivolto ad Alessandro Alberucci, Armando Piccardi e Vito Sorianello per tutto quello che, in questi anni, sono riusciti ad insegnarmi anche senza essere parte attiva nel mio lavoro. Ringrazio, infine, tutta la mia famiglia per il supporto e l'aiuto ricevuto in questi anni e ringrazio soprattutto Pasquale ed Orsél per aver sempre creduto in me e nelle mie scelte e per avermi supportato fin oltre le loro possibilità.

8 Riferimenti

[1] W. Keyes, «Fundamental limits of silicon technology,» *Proceedings IEEE,* vol. 89, 2001.

[2] P. Packan, «Pushing the limits,» *Science,* vol. 285, 1999.

[3] H. S. P. Wong, «Beyond the conventional transistor,» *IBM Journal of Research and Development,* vol. 46, n. 2, 2002.

[4] X. Huang, W. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y. Choi, K. Asano, V. Subramanian, T. King, J. Bokor e C. Hu, «Sub 50-nm FinFET: PMOS,» *IEEE Electron Devices Meeting Proceedings,* 1999.

[5] Xu e Yong, «Post-CMOS and Post-MEMS Compatible Flexible Skin Technologies: A Review,» *IEEE Sensors Journal,* vol. 13, n. 10, 2013.

[6] A. Pecora, L. Maiolo, M. Cuscunà, D. Simeone, A. Minotti, L. Mariucci e G. Fortunato, «Low-temperature polysilicon thin film transistors on polyimide substrates for electronics on plastic,» *Solid-State Electronics,* vol. 52, 2008.

[7] X. Gao, L. Lin, Y. Liu e X. Huang, «LTPS TFT Process on Polyimide Substrate for Flexible AMOLED,» *Journal of Display Technology,* vol. 11, n. 8, 2015.

[8] J. Zhang, M. van der Zwan e R. Ishihara, «Single-Grain Si TFTs Fabricated From Sputtered Si on a Polyimide Substrate,» *Journal of Display Technology,* vol. 10, n. 11, 2014.

[9] J. Zhang, M. Trifunovic, M. van der Zwan, H. Takagishi, R. Kawajiri, T. Shimoda, C. Beenakker e R. Ishihara, «Single-grain Si thin-film transistors on flexible polyimide substrate fabricated from doctor-blade coated liquid-Si,» *Applied Physics Letters,* vol. 102, n. 243502, 2013.

[10] M. Lepselter e S. Sze, «SB-IGFET: An insulated-gate field-effect transistor using Schottky barrier contacts for source and drain,» *Proceedings IEEE,* vol. 56, n. 8, 1968.

[11] J. Tucker, C. Wang e P. Scott Carney, «Silicon field-effect transistor based on quantum tunneling,» *Appl. Phys. Lett.,* vol. 65, n. 618, 1994.

[12] J. P. Snyder, C. R. Helms e Y. Nishi, «Experimental investigation of a PtSi source and drain field emission transistor,» *Appl. Phys. Lett,* vol. 67, n. 1420, 1995.

[13] L. Calveta, H. Luebbena, M. Reeda, C. Wangb, J. Snyderb e J. Tuckerc, «Subthreshold and scaling of PtSi Schottky barrier MOSFETs,» *Superlattices and Microstructures,* vol. 28, n. 5-6, 2000.

[14] E. Dubois e G. Larrieu, «Low Schottky barrier source/drain for advanced MOS architecture: device design and material considerations,» *Solid-State Electronics,* vol. 46, n. 7, 2002.

[15] G. Larrieu e E. Dubois, «Integration of PtSi-based Schottky-barrier p-MOSFETs with a midgap tungsten gate,» *IEEE Transaction on Electron Devices,* vol. 52, n. 12, 2005.

[16] D. Connelly, C. Faulkner, P. A. Clifton e D. Grupp, «Fermi-level depinning for low-barrier Schottky source/drain transistors,» *Appl. Phys. Lett.,* vol. 88, n. 012105, 2006.

[17] T. Kinoshita, R. Hasumi, M. Hamaguchi, K. Miyashita, T. Komoda, A. Kinoshita, J. Koga, K. Adachi, Y. Toyoshima, T. Nakayama, S. Yamada e F. Matsuoka, «Ultra Low Voltage Operations in Bulk CMOS Logic Circuits with Dopant Segregated Schottky Source/Drain Transistors,» *International Electron Devices Mettings,* 2006.

[18] J. Chen, M. Wang, D. Zhang, P. Lv e M. Wong, «Schottky Barrier Controlled Conduction in Poly-Si TFTs With Metal Source and Drain,» *IEEE Transaction on Electron Devices,* vol. 60, n. 6, 2013.

[19] D. Kim, Y. Kim, J. Wu, Z. Liu, J. Song, H. Kim, Y. Huang, K. Hwang e J. Rogers, «Ultrathin Silicon Circuits With Strain-Isolation Layers and Mesh Layouts for High-Performance Electronics on Fabric, Vinyl, Leather, and Paper,» *Advanced Materials,* vol. 21, n. 36, 2009.

[20] J. Larson e J. Snyder, «Overview and Status of Metal S/D Schottky-Barrier MOSFET Technology,» *IEEE Transaction on Electron Devices,* vol. 53, n. 5, 2006.

[21] R. Tung, «The physics and chemistry of the Schottky barrier height,» *Appl. Phys. Rev.,* vol. 1, n. 011304, 2014.

[22] J. Stasiak, J. Batey e E. Tierney, «High-Quality Deposited Gate Oxide MOSFET's and the Importance of Surface Preparation,» *IEEE Electron Device Letters,* vol. 10, n. 6, 1989.

[23] K. Lee, W. Liu e S. Campbell, «Growth Kinetics and Electrical Characteristics of Thermal Silicon Dioxide Grown at Low Temperatures,» *Journal of the Electrochemical Society,* vol. 140, n. 2, 1993.

[24] S. C. Deshmukh e E. S. Aydil, «Low-temperature plasma enhanced chemical vapor deposition of SiO2,» *Applied Physics Letters,* vol. 65, n. 3185, 1994.

[25] R. Rashid, A. Flewitt e J. Robertson, «Physical and electrical properties of low temperature (C) SiO 2 films deposited by electron cyclotron resonance plasmas,» *Journal of Vacuum Science and Technology A,* vol. 21, n. 728, 2003.

[26] G. Fortunato, A. Pecora e L. Maiolo, «Polysilicon thin-film transistors on polymer substrates,» *Materials Science in Semiconductor Processing,* vol. 15, 2012.

[27] H. Shin e C. Hu, «Thin gate oxide damage due to plasma process,» *Semicond. Sci. Technol.,* vol. 11, 1996.

[28] M. J. Powell, C. van Berkel, I. D. French e D. H. Nicholls, «Bias dependence of instability mechanisms in amorphous silicon thin-film transistors,» *Applied Physics Letters,* vol. 51, n. 1242, 1987.

[29] G. Olson e J. Roth, «Kinetics of solid phase crystallization in amorphous silicon,» *Materials Science Reports,* vol. 3, n. 1, 1988.

[30] N. H. Nickel, Laser Crystallization of Silicon-Fundamentals to Devices, Elsevier, 2003.

[31] M. Lee, S. Moon, M. Hatano, K. Suzuki e C. Grigoropoulos, «Relationship between fluence gradient and lateral grain growth in spatially controlled excimer laser crystallization of amorphous silicon films,» *Journal of Applied Physics,* vol. 88, n. 4994, 2000.

[32] A. A. D. T. Adikaari e S. R. P. Silva, «Thickness dependence of properties of excimer laser crystallized nano-polycrystalline silicon,» *Journal of Applies Physics,* vol. 97, n. 114305, 2005.

[33] V. Privitera, S. Scalese, A. La Magna, A. Pecora, M. Cuscunà, L. Maiolo, A. MInotti, D. Simeone, L. Mariucci, G. Fortunato, L. Caristia, F. Mangano, S. Di Marco, M. Camalleri, S. Ravesi, S. Coffa, M. Grimaldi, R. De Bastiani, P. Badalà e S. Bagiante, «Low-Temperature Annealing Combined with Laser Crystallization for Polycrystalline Silicon TFTs on Polymeric Substrate,» *Journal of the Electrochemical Society,* vol. 155, n. 10, 2008.

[34] M. Cuscunà, A. Bonfiglietti, R. Carluccio, L. Mariucci, F. Mecarini, A. Pecora, M. Stanizzi, A. Valletta e G. Fortunato, «A novel fabrication process for polysilicon thin film transistors with source/drain contacts formed by deposition and lift-off of highly doped layers,» *Solid-State Electronics,* vol. 46, n. 9, 2002.

[35] L. Mariucci, R. Carluccio, A. Pecora, V. Foglietti, G. Fortunato, P. Legagneux, D. Pribat, D. Della Sala e J. Stoemenos, «Lateral growth control in excimer laser crystallized polysilicon,» *Thin Solid Films,* vol. 337, 1999.

[36] S. Higashi, D. Abe, S. Inoue e T. Shimoda, «Low-Temperature Formation of Device-Quality SiO2/Si Interfaces Using Electron Cyclotron Resonance Plasma-Enhanced Chemical Vapor Deposition,» *Journal of Applied Physics,* vol. 40, n. 6A, 2001.

[37] K. R. Williams, K. Gupta e M. Wasilik, «Etch Rates for Micromachining Processing—Part II,» *Journal of Microelectromechanical Systems,* vol. 12, n. 6, 2003.

[38] A. Ortiz-Conde, F. García-Sánchez, J. Muci, A. Terán Barrios e J. Liou, «Revisiting MOSFET threshold voltage extraction methods,» *Microelectronics Reliability,* vol. 53, 2013.

[39] A. Ortiz-Conde, F. García-Sánchez, J. Liou, A. Cerdeira, M. Estrada e Y. Y., «A review of recent MOSFET threshold voltage extraction methods.,» *Microelectronics Reliability,* vol. 42, 2002.

[40] H. Wong, M. White, T. Krutsik e R. Booth, «Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's,» *Solid-State Electronics,* vol. 30, n. 9, 1987.

[41] J. He, X. Xi, M. Chan, K. Cao, C. Hu, Y. Li, X. Zhang, R. Huang e Y. Wang, «Normalized Mutual Integral Difference Method to Extract Threshold Voltage of MOSFETs,» *IEEE Electron Device Letters,* vol. 30, n. 7, 2002.

[42] L. E. Calvet, Electrical Transport in Schottky Barrier MOSFETs, Yale University, 2001.

[43] D. K. Schroder, Semiconductor material and device characterization 3rd ed., Wiley-Interscience, 2006.

[44] J. H. Güttler e W. H. H., «Barrier inhomogeneities at Schottky contacts,» *J. Appl. Phys.,* vol. 69, n. 3, 1991.

[45] S. Sze e K. Ng, Physics of semiconductor devices 3rd ed., Wiley-Interscience, 2007.

[46] H. Norde, «A modified forward I–V plot for Schottky diodes with high series resistance,» *J. Appl. Phys,* vol. 50, n. 7, 1979.

[47] S. K. Cheung e N. W. Cheung, «Extraction of Schottky diode parameters from forward current-voltage characteristics,» *Appl. Phys. Lett.,* vol. 49, n. 2, 1986.

[48] V. Mikhelashvili, G. Eisenstein e R. Uzdin, «Extraction of Schottky diode parameters with a bias dependent barrier height,» *Solid-State Electronics,* vol. 45, n. 1, 2001.

[49] A. De Iacovo, L. Colace, G. Assanto, L. Maiolo e A. Pecora, «Extraction of Schottky barrier parameters for metal-semiconductor junctions on high resistivity inhomogeneous semiconductors,» *IEEE Transactions on Electron Devices,* vol. 60, n. 2, 2015.

[50] F. Maita, L. Maiolo, A. Minotti, A. Pecora, G. Fortunato, D. Ricci e G. Metta, «Flexible Double Stage POSTFT Based on Poly-Si Technology for Robotic Skin Application,» in *Proceedings of the 15th IEEE International Conference on Nanotechnology*, 2015.

[51] M. Hamilton, S. Martin e J. Kanicki, «Field-Effect Mobility of Organic Polymer Thin-Film Transistors,» *Chem. Mater.,* vol. 16, 2004.

[52] W. Haynes, CRC Handbook of Chemistry and Physics, 96th ed., Taylor and Francis, 2015.

[53] W. Walukiewicz, «Defect Reactions at Metal-Semiconductor and Semiconductor-Semiconductor Interfaces,» *Mat. Res. Soc. Symp. Proc.,* vol. 148, 1989.

[54] N. Toyama, «Variation in the effective Richardson constant of a metal-silicon contact due to metal-film thickness,» *Journal of Applied Physics,* vol. 63, n. 2720, 1988.

[55] A. Di Gaspare, L. Mariucci, A. Pecora e G. Fortunato, «Stable p-channel polysilicon thin film transistors fabricated by laser dopung technique,» *Thin Solid Films,* vol. 48, pp. 232-236, 2005.

[56] M. Chandra, A. Panwar e B. Tyag, «Effect of grain size on the threshold voltage for double-gate polycristalline silicon MOSFET,» *J. Nano-Electron. Phys.,* vol. 3, n. 1, 2011.

[57] L. Sun, D. Li, S. Zhang, X. Liu, Y. Wang e R. Han, «A planar ssymmetric Schottky barrier source/drain structure for nano-scale MOSFETs,» *Semicond. Sci. Technol.,* vol. 21, pp. 608-611, 2006.

[58] M. Jang, Y. Kim, J. Shin e S. Lee, «A 50-nm-gate-length erbium-silicided n-type Schottky barrier metal-oxide-semiconductor field-effect transistor,» *Applied Physics Letters,* vol. 84, n. 5, 2004.

[59] C. Lavoie, F. d'Heurle, C. Detavernier e C. Cabral, «Towards implementation of a nickel silicide process for CMOS technologies,» *Microelectronic Engineering,* vol. 70, pp. 144-157, 2003.

[60] J. Kittl, M. Pawlak, A. Lauwers, C. Demeurisse, K. Opsomer, K. Anil, C. Vrancken, M. van Dal, A. Veloso, S. Kubicek, P. Absil, K. Maex e S. Biesemans, «Work Function of Ni Silicide Phases on HfSiON and SiO2: NiSi, Ni2Si, Ni31Si12, and Ni3Si Fully Silicided Gates,» *IEEE Electron Device Letters,* vol. 27, n. 1, 2006.

[61] M. Zhang, J. Knoch, Q. Zhao, S. Lenk, U. Breuer e S. Mantl, «Schottky barrier height modulation using dopant segregation in Schottky-barrier SOI-MOSFETs,» *Proceedings of ESSD ERC,* 2005.

[62] G. Fortunato, L. Maiolo, F. Maita, A. Minotti, S. MIrabella, V. Strano, G. Metta, D. Ricci e A. Pecora, «LTPS TFT technology on flexible substartes for sensor applications,» in *Active-Matrix Flatpanel Displays and Devices*, 2014.

[63] Q. Zhao, P. Kluth, S. Winnerl e S. Mantl, «Fabrication of Schottky barrier MOSFETs on SOI by a self-assembly CoSi2-patterning method,» *Solid-State Electronics,* vol. 47, pp. 1183-1186, 2003.

[64] L. Calvet, H. Luebben, M. Reed, C. Wang, J. Snyder e J. Tucker, «Subthreshold and scaling of PtSi Schottky barrier MOSFETs,» *Superlattices and Microstructures,* vol. 28, n. 5/6, 2000.

[65] A. Kinoshita, Y. Tsuchiya, A. Yagishita, K. Uchida e J. Koga, «Solution for High-Performance Schottky-Source/Drain MOSFETs: Schottky Barrier Height Engineering with Dopant Segregation Technique,» in *VLSI Technology Digest*, 2004.

[66] R. Vega, Schottky Field Effect Transistors and Schottky CMOS Circuitry, 2006.