



**SCUOLA DOTTORALE EDEMOM  
DALLE NANOSTRUTTURE AI SISTEMI  
- XXIII CICLO -**

***Sviluppo di un dispositivo Switch in Nitruro di  
Gallio (GaN) ad alta potenza per applicazioni nei  
front-end dei moduli T/R***

**ALESSIO PANTELLINI**

**A.A. 2010/2011**

**Coordinatore  
Prof. Giuseppe Schirripa Spagnolo**

**Docente guida  
Prof. Gennaro Conte**

**Tutor SELEX Sistemi Integrati  
Dott. Claudio Lanzieri**

**Dott. Marco Peroni**



# INDICE DEGLI ARGOMENTI

INTRODUZIONE.....	I
CAPITOLO 1 – IL GAN PER APPLICAZIONI DI POTENZA .....	1
1.1    IL NITRURO DI GALLIO.....	3
1.2    DISPOSITIVI GAN-HEMT .....	12
CAPITOLO 2 – GAN-HEMT COME SWITCH DI POTENZA NEI MODULI T/R .....	19
2.1    I MODULI T/R.....	21
2.2    CONFIGURAZIONI E CARATTERISTICHE DELLO SWITCH .....	26
2.3    STATO ON – ANALISI AD AMPIO SEGNALE .....	31
2.4    STATO OFF – ANALISI AD AMPIO SEGNALE.....	32
CAPITOLO 3 – MODELLO SCALABILE A PICCOLO SEGNALE.....	35
3.1    RISULTATI SPERIMENTALI A PICCOLO SEGNALE. ....	37
3.2    MODELLO SCALABILE A PICCOLO SEGNALE.....	39
3.2.1    Modello scalabile nello stato ON .....	41
3.2.2    Modello scalabile nello stato OFF.....	46
3.2.3    Modello scalabile in funzione della geometria del Gate. ....	53
CAPITOLO 4 – VALIDAZIONE DEL MODELLO DI SIMULAZIONE.....	61
4.1    RISULTATI SPERIMENTALI. ....	63
4.2    CARATTERIZZAZIONE DC. ....	64
4.3    CARATTERIZZAZIONE RF A PICCOLO SEGNALE .....	67
CAPITOLO 5 – SWITCH DUAL-GATE.....	69
5.1    STRUTTURA DUAL-GATE E SIMULAZIONI.....	71
CAPITOLO 6 – REALIZZAZIONE E CARATTERIZZAZIONE SWITCH DUAL-GATE .....	79
6.1    RISULTATI SPERIMENTALI DEL WAFER C. ....	81
6.2    CARATTERIZZAZIONE DC. ....	82
6.3    CARATTERIZZAZIONE RF A PICCOLO SEGNALE. ....	83
6.4    CARATTERIZZAZIONE RF AD AMPIO SEGNALE .....	86
CAPITOLO 7 – SWITCH COME POWER LIMITER.....	89
7.1    IL POWER LIMITER REALIZZATO CON LO SWITCH SHUNT.....	91
CONCLUSIONI E SVILUPPI FUTURI.....	95
BIBLIOGRAFIA .....	99
PUBBLICAZIONI.....	101

# INDICE DELLE FIGURE

FIGURA 1.1-1 - BANDGAP DEI PIÙ COMUNI MATERIALI IMPIEGATI PER APPLICAZIONI ELETTRONICHE IN FUNZIONE DELLA COSTANTE RETICOLARE.....	3
FIGURA 1.1-2 - DISTRIBUZIONE DI CARICA PER TERMINAZIONE GALLIO (SOPRA) E STRUTTURA MOLECOLARE PER TERMINAZIONE GA-FACE E N-FACE (SOTTO).....	5
FIGURA 1.1-3 - DIVERSI TIPI DI CRACK CHE POSSONO FORMARSI NEI SUBSTRATI $Al_2O_3$ (SOPRA) E SiC (SOTTO). ....	6
FIGURA 1.1-4 - STRAIN IN FUNZIONE DEL TIPO DI SEMICONDUITTORE. ....	7
FIGURA 1.1-5 – DIVERSI VETTORI DI POLARIZZAZIONE IN FUNZIONE DELLA TERMINAZIONE GA- O N-FACE.....	8
FIGURA 1.1-6 - STRUTTURA SCHEMATICA DEGLI STRATI EPITASSIALE CRESCIUTI SU SUBSTRATO SiC E 2DEG FORMATO.....	8
FIGURA 1.1-7 - MODELLO DEI DONORI SUPERFICIALI CON SPESSORE DI ALGAN INTRINSECO MINORE (A) E MAGGIORE (B) DELLO SPESSORE CRITICO DI BARRIERA; (C) DENSITÀ DEL 2DEG IN FUNZIONE DELLO SPESSORE DELLA BARRIERA. ....	9
FIGURA 1.1-8 - VARIAZIONE DELLA CONCENTRAZIONE DEL 2DEG IN FUNZIONE DELLA CONCENTRAZIONE DELL' ALLUMINIO. ....	10
FIGURA 1.1-9 - VELOCITÀ DI DRIFT PER ALTI CAMPI ELETTRICI.....	11
FIGURA 1.1-10 - STRUTTURA A BANDE DEL GAN.....	11
FIGURA 1.2-1 - RAPPRESENTAZIONE SCHEMATICA DI UN HEMT. ....	14
FIGURA 1.2-2 - FOTOGRAFIA DI UN DISPOSITIVO REALIZZATO (PER CORTESIA DI SELEX-SI).....	14
FIGURA 1.2-3 - (A) MODELLO DEL DISPOSITIVO CHE MOSTRA LA POSIZIONE DEL GATE VIRTUALE; (B) RAPPRESENTAZIONE SCHEMATICA DEL DISPOSITIVO INCLUDENDO IL GATE VIRTUALE. ....	15
FIGURA 1.2-4 - RAPPRESENTAZIONE SCHEMATICA DELLA DISTRIBUZIONE DI CAMPO ELETTRICO SOTTO GATE E FIELD PLATE, CON I DUE PICCHI CARATTERISTICI. ....	17
FIGURA 2.1-1 - SCHEMA DI PRINCIPIO DI UN TIPICO MODULO T/R IN ARSENIURO DI GALLIO. ....	21
FIGURA 2.1-2 - SCHEMA EQUIVALENTE DI UN CIRCOLATORE MEDIANTE SPDT. ....	24
FIGURA 2.1-3 –CONFRONTO TRA DIMENSIONI E PRESTAZIONI RF (SINISTRA) E DC (DESTRA) DEI DISPOSITIVI SU GAN E GAAS. ....	25
FIGURA 2.2-1 – STATI DI FUNZIONAMENTO DELLO SWITCH. ....	27
FIGURA 2.2-2 – CONFIGURAZIONI DELLO SWITCH.....	27
FIGURA 2.2-3 – RAPPRESENTAZIONE DELLO SWITCH COME UNA RETE 2-PORTE. ....	28
FIGURA 2.3-1 – SCHEMATIZZAZIONE DEL SEGNALE RF APPLICATO ALLO SWITCH E DELLA COMPRESSIONE ON. ....	31
FIGURA 2.4-1 – SCHEMATIZZAZIONE DELLA COMPRESSIONE OFF.....	32
FIGURA 3.1-1 – STRUTTURA T-GATE DELLO SWITCH REALIZZATO SUL WAFER A. ....	37
FIGURA 3.1-2 – IMMAGINI DEGLI SWITCH REALIZZATI SUL WAFER A (PER CORTESIA DI SELEX-SI). ....	38
FIGURA 3.1-3 – INSERTION LOSS E ISOLAMENTO DEGLI SWITCH REALIZZATI SUL WAFER A. ....	38
FIGURA 3.2-1 – CIRCUITO EQUIVALENTE DELLO SWITCH ASSOCIATO ALLE GRANDEZZE FISICHE... 40	40
FIGURA 3.2-2 – CIRCUITO EQUIVALENTE RELATIVO ALLO STATO ON.....	41
FIGURA 3.2-3 – CIRCUITO EQUIVALENTE SEMPLIFICATO PER LO STATO ON.....	42
FIGURA 3.2-4 – TLM E STRUTTURA EQUIVALENTE. ....	42
FIGURA 3.2-5 – FIT LINEARE PER L'ESTRAZIONE DI $R_C$ E $R_{SH}$ DALLA MISURA DEL TLM. ....	43
FIGURA 3.2-6 – TLM GATED E STRUTTURA EQUIVALENTE.....	43
FIGURA 3.2-7 - FIT LINEARE PER L'ESTRAZIONE DI $R_{CG}$ E $R_{SHG}$ DALLA MISURA DEL TLM GATED... 44	44
FIGURA 3.2-8 – CONFRONTO TRA I RISULTATI SPERIMENTALI E LE SIMULAZIONI CON IL MODELLO SEMPLIFICATO PER LO STATO ON.....	45

FIGURA 3.2-9 – CIRCUITO EQUIVALENTE DELLO SWITCH NELLO STATO OFF.....	46
FIGURA 3.2-10 – SCHEMA PER L’ESTRAZIONE DI $C_{GS}$ E $C_{GD}$ .....	47
FIGURA 3.2-11 – SCHEMA PER L’ESTRAZIONE DI $C_{DS}$ .....	48
FIGURA 3.2-12 – CONFRONTO TRA MISURE SPERIMENTALI E SIMULAZIONI MEDIANTE IL CIRCUITO EQUIVALENTE DELLO SWITCH PER LO STATO OFF. ....	51
FIGURA 3.2-13 –CONFRONTO TRA MISURE SPERIMENTALI E SIMULAZIONI DELL’INSERTION LOSS E ISOLAMENTO. ....	52
FIGURA 3.2-14 – INFLUENZA DELLA RESISTENZA DI BIAS SULL’ ACCOPPIAMENTO DEL SEGNALE RF CON IL GATE. ....	53
FIGURA 3.2-15 – ANDAMENTO DELLA CAPACITÀ DEL PIEDE (SX) E DELLA TESTA (DX) DEL GATE. ....	54
FIGURA 3.2-16 –STRUTTURE SIMULATE MEDIANTE IL CIRCUITO EQUIVALENTE SCALABILE. ....	55
FIGURA 3.2-17 – SIMULAZIONE DELLE PRESTAZIONI DELLA STRUTTURA I-GATE RISPETTO A QUELLA T-GATE.....	56
FIGURA 3.2-18 - SIMULAZIONE DELLE PRESTAZIONI DELLA STRUTTURA MIS-GATE RISPETTO A QUELLA T-GATE.....	56
FIGURA 3.2-19 – SIMULAZIONE DELLE STRUTTURE T-GATE, I-GATE E MIS-GATE AL VARIARE DELLA LUNGHEZZA $L_G$ . ....	58
FIGURA 3.2-20 – RAPPRESENTAZIONE SCHEMATICA DELLA CAPACITÀ TRA PAD ISOLATI E VERSO IL SUBSTRATO. ....	58
FIGURA 3.2-21 – STRUTTURA A PAD ISOLATI CON DISTANZA CRESCENTE TRA LORO.....	59
FIGURA 4.1-1 – DIVERSI LAYOUT DEL GATE REALIZZATI SULLO STESSO WAFER B. ....	63
FIGURA 4.2-1 – RIDUZIONE DELLA CAPACITÀ PARASSITA VISTA DAL GATE LEGATA ALLA PRESENZA DEL SiN.....	66
FIGURA 4.3-1 – CONFRONTO TRA LE SIMULAZIONI PREDITTIVE DEL CIRCUITO SCALABILE ED I RISULTATI SPERIMENTALI DEL WAFER B.....	67
FIGURA 5.1-1 – SCHEMA CIRCUITALE DELLA RISONANZA INDUTTIVA. ....	72
FIGURA 5.1-2 – SCHEMA CIRCUITALE DI DUE SWITCH IN CASCATA. ....	72
FIGURA 5.1-3 – SIMULAZIONE MEDIANTE DUE CIRCUITI EQUIVALENTI IN CASCATA.....	73
FIGURA 5.1-4 – CONFRONTO TRA LE SIMULAZIONI DELL’IL TRA SINGOLO E DUAL-GATE.....	73
FIGURA 5.1-5 - CONFRONTO TRA LE SIMULAZIONI DELL’ISOLAMENTO TRA SINGOLO E DUAL-GATE. ....	74
FIGURA 5.1-6 - SIMULAZIONE DEL DUAL-GATE SULLA BASE DEL CIRCUITO EQUIVALENTE DEL GATE SINGOLO. ....	75
FIGURA 5.1-7 – CONFRONTO DELL’IL TRA SINGOLO, DOPPIO E DUAL-GATE.....	75
FIGURA 5.1-8 – CONFRONTO DELL’ISOLAMENTO TRA SINGOLO, DOPPIO E DUAL-GATE. ....	76
FIGURA 6.1-1 – SWITCH SERIE CON $W_G=6 \times 300 \text{nm}$ IN CONFIGURAZIONE SINGOLO E DUAL-GATE (PER CORTESIA DI SELEX-SI).....	81
FIGURA 6.1-2 – SWITCH SHUNT CON $W_G=6 \times 150 \text{nm}$ IN CONFIGURAZIONE SINGOLO E DUAL-GATE (PER CORTESIA DI SELEX-SI).....	82
FIGURA 6.2-1 – TRANSCARATTERISTICHE A CONFRONTO DEGLI SWITCH SERIE SINGOLO E DUAL-GATE.....	83
FIGURA 6.3-1 – INSERTION LOSS E ISOLAMENTO DEGLI SWITCH $W_G=2 \times 50 \mu\text{m}$ SERIE IN CONFIGURAZIONE SINGOLO E DUAL-GATE NELLO STATO ON E OFF. ....	84
FIGURA 6.3-2 - INSERTION LOSS E ISOLAMENTO DEGLI SWITCH $W_G=6 \times 75 \mu\text{m}$ E $W_G=6 \times 150 \mu\text{m}$ SHUNT IN CONFIGURAZIONE SINGOLO E DUAL-GATE NELLO STATO ON E OFF. ...	85
FIGURA 6.4-1 – COMPRESSIONE RF NELLO STATO ON.....	87
FIGURA 6.4-2 – CONFRONTO DELLE PRESTAZIONI NELLO STATO ON E OFF PER GLI SWITCH MIS E SCHOTTKY DI TIPO SERIE NELLE CONFIGURAZIONI SINGOLO E DOUBLE-GATE.....	88
FIGURA 7.1-1 – APPLICAZIONE DELLO SWITCH COME POWER LIMITER SE POLARIZZATO AD UNA TENSIONE DI GATE VICINA AL PINCH-OFF. ....	92
FIGURA 7.1-2 – MISURE DI POTENZA SULLO SWITCH SHUNT CON $W_G=6 \times 150 \mu\text{m}$ AL VARIARE DELLA TENSIONE DI GATE. ....	92

FIGURA 7.1-3 – VARIAZIONE DELLA  $P_{IN}$  PER AVERE UNA VARIAZIONE DELL'IL IN USCITA DI -1DB E  
-3DB..... 93

## INDICE DELLE TABELLE

TABELLA 2.1.1 – SCHEMA DI UN CIRCOLATORE (SINISTRA) E VALORI TIPICI (DESTRA).....	23
TABELLA 2.1.2 - BENEFICI DEL GAN IN FUNZIONE DELLE SUE CARATTERISTICHE INTRINSECHE....	25
TABELLA 4.2.1 – CONFRONTO DELLE PRESTAZIONI DC TRA LE TRE TIPOLOGIE DI GATE. ....	64
TABELLA 4.3.1 – CONFRONTO TRA LE CAPACITÀ PARASSITE $C_{ISOL}$ E $C_{OFF}$ MISURATE SUL WAFER A E B.....	67
TABELLA 5.1.1 – CONFRONTO TRA VALORI SIMULATI DI IL E ISOLAMENTO PER LE TRE CONFIGURAZIONI. ....	76
TABELLA 6.2.1 – CONFRONTO TRA LE MISURE DC DEL SINGOLO E DUAL-GATE PER LE CONFIGURAZIONI I-GATE E MIS. ....	82





# INTRODUZIONE

Negli ultimi anni, la richiesta di sviluppare componenti elettronici di elevate prestazioni, sia nel campo dei sistemi di comunicazione civili sia in quello della difesa, ha promosso una crescente attività di ricerca verso semiconduttori innovativi per mezzo dei quali è possibile ottenere densità di potenza, frequenze di lavoro, efficienza e linearità non conseguibili con soluzioni tecnologiche convenzionali. Difatti, l'ormai consolidata *tecnologia di prima generazione* su Silicio, pur offrendo degli evidenti vantaggi dal punto di vista economico, della riproducibilità e dell'affidabilità dei componenti, è comunque limitata dalle caratteristiche intrinseche del materiale, che limitano fortemente la frequenza operativa, la densità di potenza e le perdite dei componenti passivi. Una prima soluzione tecnologica a queste restrizioni è stata offerta da quella che è stata definita *tecnologia di seconda generazione*, ormai anch'essa ben consolidata, sviluppata ad esempio su Arseniuro di Gallio (GaAs) così come nel caso dei dispositivi pHEMT (pseudomorphic High Electron Mobility Transistor). In particolare, il GaAs ha trovato ampio utilizzo per tutte le applicazioni di alta frequenza (> 1GHz) in ragione della sua elevata mobilità elettronica. Negli ultimi anni, difatti, lo sviluppo di eterostrutture più o meno complesse con materiali ternari quali AlGaAs e InGaAs ha portato ad applicazioni ad alte prestazioni ed altissima frequenza come ad esempio nel campo dell'informazione, delle telecomunicazioni wireless e nei moduli Trasmetti/Ricevi (moduli T/R) utilizzati nei radar attivi di ultima generazione. Anche in questo caso, però, i limiti intrinseci legati ad un materiale che viene impiegato per applicazioni di potenza pur presentando una bassa tensione di breakdown e delle basse densità di corrente, hanno determinato l'esigenza di identificare nuove soluzioni tecnologiche spingendo la ricerca verso quei materiali ad ampia banda proibita (bandgap), definiti come materiali di *terza generazione*.

In particolar modo, come si vede anche dalla Tabella 1 [1], nella famiglia III-V il Nitruro di Gallio (GaN) e le eterostrutture che esso forma con l'AlGaN, grazie all'elevata bandgap e all'elevato campo elettrico di breakdown, permettono di raggiungere tensioni di polarizzazione molto maggiori rispetto al GaAs o al Silicio [2], consentendo così lo sviluppo di dispositivi con densità di potenza molto maggiori, minori perdite di ricombinazione di potenza in amplificatori multi-stadio, maggiori efficienze e minore complessità circuitale. Inoltre, l'alta stabilità termica intrinseca dei materiali a larga bandgap, unita alla crescita del GaN su substrati ad alta conducibilità termica come il Carburo di Silicio (SiC), permette di lavorare a temperature più elevate e quindi di richiedere, a parità di potenza erogata, un sistema di raffreddamento meno oneroso.

	Si	GaAs	4H-SiC	GaN
$E_g$ (eV)	1.1	1.42	3.26	3.39
$n_i$ (cm <sup>-3</sup> )	$1.5 \times 10^{10}$	$1.5 \times 10^6$	$8.2 \times 10^{-9}$	$1.9 \times 10^{-10}$
$\epsilon_r$	11.8	13.1	10	9.0
$\mu_n$ (cm <sup>2</sup> /Vs)	1350	8500	700	1200(Bulk) 2000(2DEG)
$v_{sat}$ (10 <sup>7</sup> cm/s)	1.0	1.0	2.0	2.5
$E_{br}$ (MV/cm)	0.3	0.4	3.0	3.3
$\Theta$ (W/cm K)	1.5	0.43	3.3-4.5	1.3
$JM = \frac{E_{br} v_{sat}}{2\pi}$	1	2.7	20	27.5

**Tabella 1 - Tabella comparativa dei principali semiconduttori usati nel campo dell'elettronica.**

Questo Dottorato di Ricerca è stato svolto presso la Fonderia GaAs/GaN di SELEX Sistemi Integrati (SELEX-SI – Stabilimento di Roma), leader nazionale ed europeo nelle attività di produzione, ricerca e sviluppo della componentistica circuitale per applicazioni radar. In particolare, nei sistemi radar di nuova generazione di tipo Active Electronically Scanned Array (AESA), è richiesto l'utilizzo di un elevato numero di moduli T/R ad altissime prestazioni Potenza-

Rumore, ognuno dei quali gestisce una porzione d'antenna fornendo localmente la potenza necessaria all'impulso che viene trasmesso (da cui dipende direttamente la portata del radar) ed eventualmente rilevato. La commutazione tra le due diverse funzioni di trasmissione e ricezione avviene mediante un circolatore, e cioè un componente passivo che, come verrà più approfonditamente descritto in seguito, impone limitazioni nelle prestazioni, funzionalità e dimensione dei moduli T/R.

Lo scopo di questo lavoro di Dottorato è quello di identificare soluzioni tecnologiche innovative rispetto agli attuali circolatori mediante lo sviluppo di dispositivi Switch di potenza realizzati su Nitruro di Gallio, finalizzati alla realizzazione di moduli T/R per sistemi radar di nuova generazione.

Il lavoro di ricerca portato a termine in questo periodo ha permesso inoltre di realizzare, grazie alla messa a punto di nuove tecnologie e lo sviluppo di strumenti di simulazione, dimostratori pienamente corrispondenti alle prestazioni attese mediante i quali è già oggi possibile formulare valide proposte alternative per futuri moduli T/R.



# CAPITOLO 1

## IL GaN PER APPLICAZIONI DI POTENZA



## 1.1 Il Nitruro di Gallio

Negli ultimi anni sono state impiegate notevoli risorse destinate alla ricerca su materiali ad ampia bandgap (Figura 1.1-1) che, come il Nitruro di Gallio, hanno potenzialmente caratteristiche fisiche molto promettenti per lo sviluppo di dispositivi a stato solido ad alta potenza ed alta frequenza.

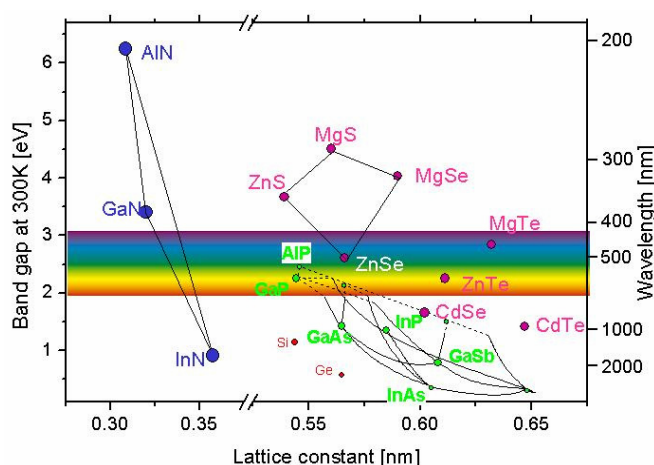


Figura 1.1-1 - Bandgap dei più comuni materiali impiegati per applicazioni elettroniche in funzione della costante reticolare.

Un aspetto molto importante dei dispositivi elettronici riguarda sicuramente la loro stabilità termica ed affidabilità, strettamente legate alla qualità ed alle caratteristiche chimico-fisiche del substrato. In particolare il Nitruro di Gallio, che rappresenta lo strato della struttura definito *Buffer*, può essere cresciuto su diversi substrati:

- **Nitruro di Gallio (GaN):** si crea in questo modo una struttura omo-epitassiale che garantisce chiaramente un ottimo adattamento reticolare tra substrato e buffer, ma risulta essere comunque il meno comune tra i substrati utilizzati a causa della difficoltà di realizzazione e dei costi molto elevati;

- **Zaffiro ( $\text{Al}_2\text{O}_3$ ):** è stato uno dei primi substrati utilizzati per la crescita del GaN grazie soprattutto ai bassi costi di realizzazione, pur presentando una ridotta conducibilità termica ed un adattamento reticolare non del tutto soddisfacente che viene corretto parzialmente mediante un nucleation layer (solitamente AlN) interposto tra substrato e buffer;
- **Carburo di Silicio (SiC):** ad oggi è il substrato più utilizzato per la crescita di strutture GaN, soprattutto per la sua elevata conducibilità termica e il buon adattamento reticolare con il GaN, nonostante i costi di realizzazione siano elevati e le dimensioni dei wafer di buona qualità attualmente disponibili sul mercato non superino i 4" di diametro;
- **Silicio (Si):** questo materiale ha ormai raggiunto una ottima qualità grazie all'ormai consolidato processo realizzativo, e può raggiungere dimensioni fino a 12" mantenendo dei costi produttivi molto competitivi, anche se l'alto mismatch reticolare con il GaN, il differente coefficiente di dilatazione termica e le perdite legate ai componenti passivi ancora non lo rendono un'alternativa alla pari rispetto al SiC, soprattutto per quanto riguarda la realizzazione di Circuiti Integrati Monolitici alle Microonde (MMIC).

Il GaN, come tutti i Nitruri, presenta delle particolari caratteristiche fisiche/elettriche legate al fenomeno di polarizzazione intrinseca, generata fondamentalmente da due fattori:

- 1) **Polarizzazione spontanea ( $P_{SP}$ ):** avviene grazie al potenziale di built-in interno, causato dalla mancanza di simmetria della carica nel cristallo, e dal forte legame ionico tra l'atomo di Gallio e quello di Azoto. Ci sono due possibili versi del vettore di polarizzazione  $P_{SP}$  in funzione della terminazione Gallio o Azoto, e dunque due possibili cariche superficiali. In Figura 1.1-2 è mostrata la distribuzione di carica per la terminazione Gallio (Ga-face), mentre per la terminazione



Azoto (N-face) il vettore di polarizzazione spontanea avrà verso opposto [1.1].

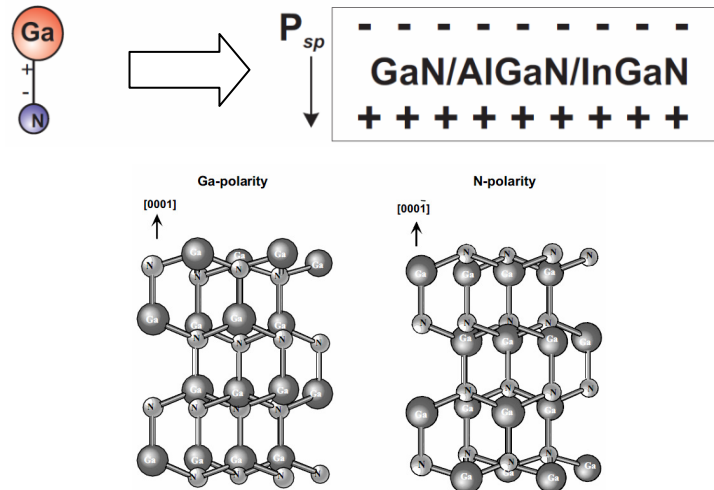


Figura 1.1-2 - Distribuzione di carica per terminazione Gallio (sopra) e struttura molecolare per terminazione Ga-face e N-face (sotto).

In generale, è noto che la qualità delle eterostrutture con polarità Ga-face risulta essere superiore rispetto a quelle N-face, così come anche le loro proprietà di trasporto. Inoltre, il GaN cresciuto su un substrato di Zaffiro senza la presenza del nucleation layer è di tipo N-face, mentre la deposizione di un sottile strato di AlN (7÷10 nm) prima della crescita del GaN cambia la polarità del materiale in Ga-face.

- 2) **Polarizzazione piezoelettrica:** il GaN è un materiale piezoelettrico, e dunque presenta una risposta elettrica a fronte di una sollecitazione meccanica e viceversa (fenomeno molto comune nei quarzi). Questo evidenzia come lo stress derivante dal disadattamento (mismatch) reticolare presente in una eterogiunzione porti inevitabilmente alla formazione di una concentrazione di elettroni (o lacune, in funzione della carica fissa), la quale può essere *voluta*, come nel caso della formazione del canale conduttivo nei GaN-HEMT, o *non voluta*, come

nel caso dell'interfaccia tra GaN Buffer e Substrato. Appare dunque evidente, nel secondo caso, il fondamentale ruolo del nucleation layer per la correzione del disadattamento reticolare.

Una volta scelto il substrato, e di conseguenza il nucleation layer che permette di ridurre al minimo il disadattamento reticolare, il GaN può essere cresciuto mediante diverse tecniche, tra le quali le più importanti sono la *Metal Organic Chemical Vapor Deposition* (MOCVD) e la *Molecular Beam Epitaxy* (MBE). Senza entrare nei dettagli delle diverse tecniche di crescita epitassiale, possiamo dire che mentre la MBE richiede temperature di crescita di circa 700°C e permette la crescita di interfacce molto precise grazie all'elevato controllo dello spessore degli strati (fino al controllo del singolo strato atomico), nella tecnica MOCVD viene utilizzata una temperatura di crescita superiore ai 1000°C e ciò comporta nel GaN un maggiore drogaggio non intenzionale di *tipo n* legato all'alta velocità dei flussi gassosi che regolano la crescita stessa. Nella pratica, viene utilizzata maggiormente la tecnica MOCVD a causa delle migliori proprietà elettriche ed ottiche del materiale ottenuto, oltre alla possibilità di introdurre una compensazione del drogaggio non intenzionale mediante, ad esempio, un drogaggio  $Fe^+$  di *tipo p*.

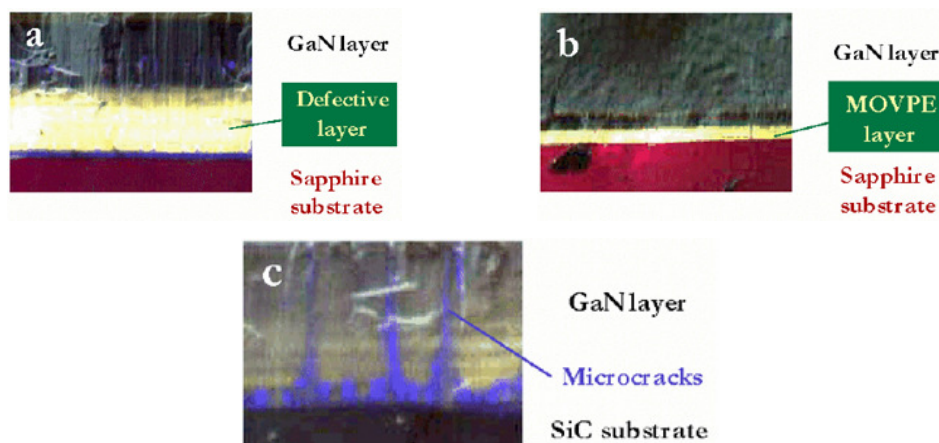


Figura 1.1-3 - Diversi tipi di crack e difetti che possono formarsi nei substrati  $Al_2O_3$  (sopra) e SiC (sotto).

In genere, lo spessore dello strato GaN non supera i 2-3 $\mu$ m per evitare degli effetti indesiderati, quali ad esempio la formazione di linee o piani di dislocazione generati dai difetti che partono dal substrato, e che con l'aumentare dello spessore diventano crack (Figura 1.1-3), oppure fenomeni di curvatura del substrato (bowing) che causano problemi nel processo realizzativo dei dispositivi compromettendo dunque la resa finale.

Con la stessa tecnica viene cresciuto sul GaN uno strato molto sottile di  $\text{Al}_x\text{Ga}_{1-x}\text{N}$ , il quale nella maggior parte dei casi rappresenta la superficie superiore del wafer e presenta un passo reticolare tanto maggiore rispetto al GaN quanto maggiore è la percentuale  $x$  di Alluminio presente (fino al limite teorico  $x=1$  in cui si ha uno strato AlN). Lo spessore dello strato AlGaN, che determina lo stress del materiale, unitamente alla percentuale di Alluminio, che ne determina il mismatch reticolare, influiscono sull'effetto piezoelettrico da cui dipende la carica fissa nell'eterogiunzione, e dunque la concentrazione elettronica nel canale. In particolare, la differenza tra i passi reticolari porta ad uno strain di tipo compressivo o tensile che si traduce in una carica negativa o positiva in funzione anche della terminazione Gallio o Azoto della crescita del GaN (Figura 1.1-4 e Figura 1.1-5).

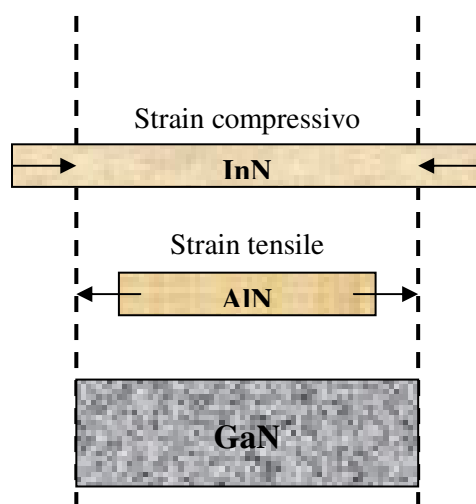


Figura 1.1-4 - Strain in funzione del tipo di semiconduttore.

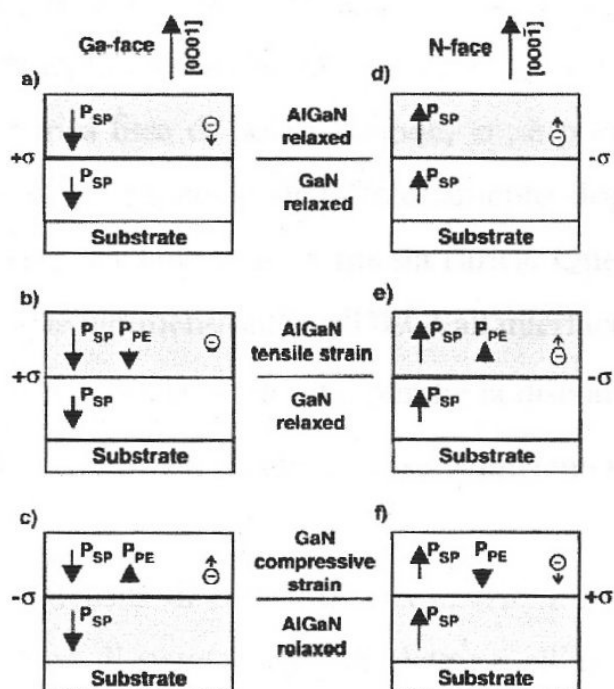


Figura 1.1-5 – Diversi vettori di polarizzazione in funzione della terminazione Ga- o N-face.

Nel caso dell'AlGaIn, che presenta solitamente una percentuale di Al non superiore al 30%, lo strain di tipo tensile produce, per effetto piezoelettrico e per polarizzazione spontanea, uno strato di carica positiva nella parte inferiore del layer AlGaIn. Per soddisfare la neutralità di carica, le cariche positive devono essere compensate da elettroni che vengono attirati verso l'eterogiunzione.

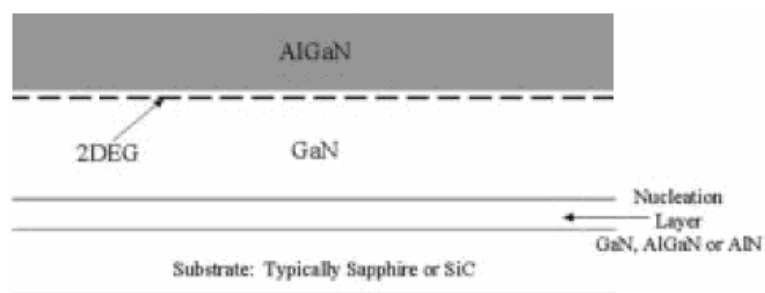


Figura 1.1-6 - Struttura schematica degli strati epitassiale cresciuti su substrato SiC e 2DEG formato.

Questi elettroni rimangono confinati nella buca di potenziale che si forma, generando un gas elettronico bidimensionale meglio noto come *Two Dimensional Electron Gas* (2DEG), il quale rappresenta il canale conduttivo dei dispositivi attivi che verranno in seguito realizzati sul substrato come mostrato schematicamente in Figura 1.1-6.

Nell'ipotesi per la quale gli elettroni che formano il canale derivino dagli stati donori superficiali, si avrà che al variare dello spessore della barriera ci sarà uno *spessore critico minimo* dell'AlGaN al di sotto del quale i donori superficiali non cedono più i loro elettroni, ovvero nella situazione in cui il livello donore coincide con il livello di Fermi, come mostrato in Figura 1.1-7 (a) e (b).

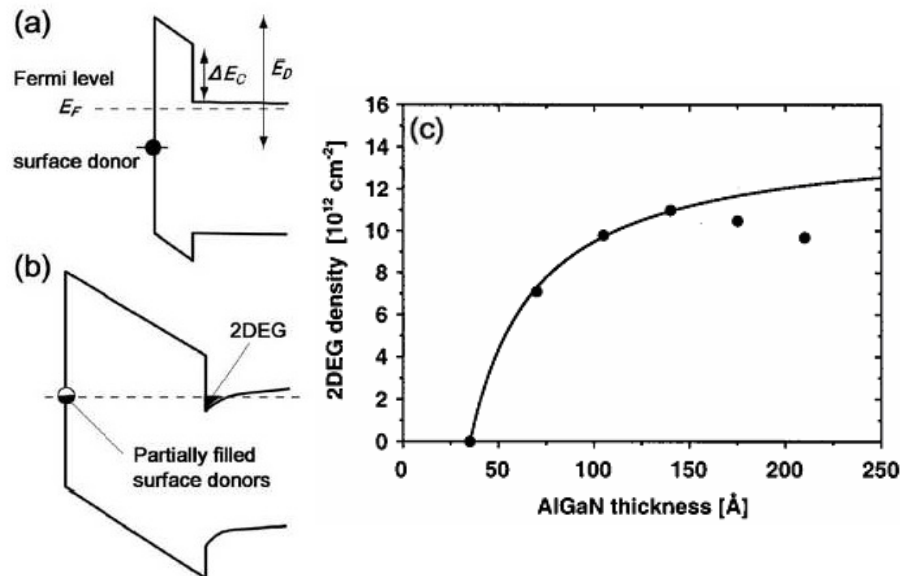


Figura 1.1-7 - Modello dei donori superficiali con spessore di AlGaN intrinseco minore (a) e maggiore (b) dello spessore critico di barriera; (c) densità del 2DEG in funzione dello spessore della barriera.

Il limite superiore dello spessore di AlGaN sarà invece legato a diversi fattori, primo tra tutti lo stress all'interfaccia che cresce all'aumentare dello spessore. Inoltre, come si vede dalla Figura 1.1-7(c), all'aumentare dello spessore c'è uno scostamento tra l'andamento teorico (linea continua) che mostra un incremento continuo della concentrazione elettronica del 2DEG, e la curva sperimentale

(DOT neri), in cui si vede che questa comincia a diminuire oltre un certo valore. Dallo spessore dello strato AlGaN, e dunque dalla distanza del canale dalla superficie, dipendono inoltre diversi parametri elettrici quali il pinch-off e la corrente di saturazione dei dispositivi GaN-HEMT, e dunque la transconduttanza.

Infine, come accennato in precedenza, dalla percentuale di Alluminio nell'AlGaN dipende il grado di mismatch reticolare e dunque il livello di stress, ovvero l'intensità del vettore di polarizzazione piezoelettrico che determina a sua volta la densità di carica nel 2DEG, come mostrato in Figura 1.1-8.

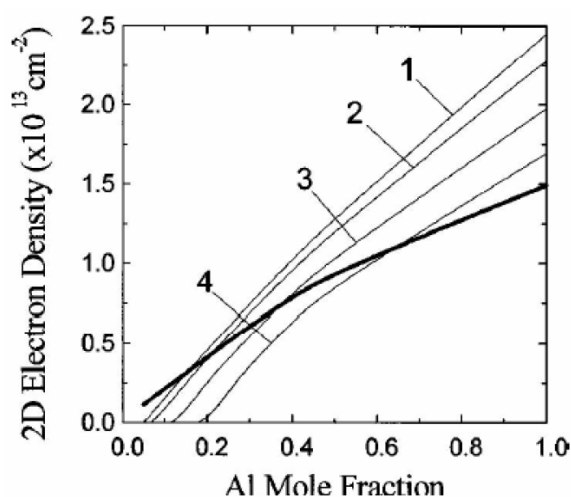


Figura 1.1-8 - Variazione della concentrazione del 2DEG in funzione della concentrazione dell'Alluminio.

E' molto importante sottolineare come il canale si formi esclusivamente grazie alla combinazione delle polarizzazioni spontanea e piezoelettrica, in totale assenza di drogaggio intenzionale. Questo porta ad avere una mobilità molto superiore a quella che si può ottenere da un semiconduttore drogato, in cui solitamente questa diminuisce a causa dell'incremento dei centri di scattering dovuto alla polarizzazione dei centri donori o accettori presenti. Nelle eterostrutture che sfruttano altri materiali, quali ad esempio AlGaAs/GaAs, non avendo un effetto piezoelettrico ed avendo dunque necessità di drogare

fortemente il materiale, è necessario, per ottenere un effetto analogo, ricorrere alla tecnica del *modulation doping*, che confina i centri donori in regioni esterne al canale conduttivo [1.2].

Infine, per applicazioni di potenza, bisogna tener conto anche della mobilità del canale in funzione degli elevati campi elettrici (Figura 1.1-10), che si vengono a formare soprattutto al di sotto del Gate nel lato rivolto verso il Drain [1.3].

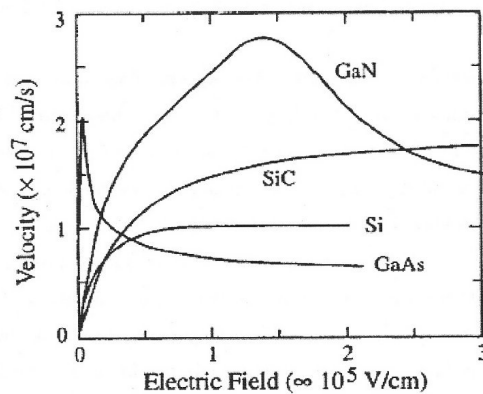


Figura 1.1-9 - Velocità di drift per alti campi elettrici.

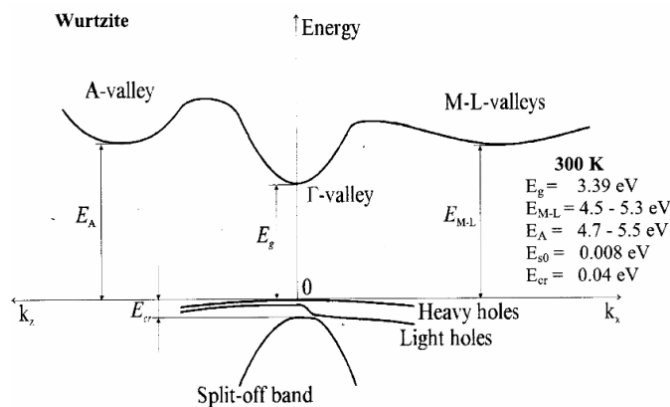


Figura 1.1-10 - Struttura a bande del GaN.

Oltre alla velocità di drift molto più elevata degli altri semiconduttori, il GaN, così come anche il GaAs, mostra una regione a derivata negativa, tipica dei

semiconduttori a bandgap diretta. Questa è presente a causa del trasferimento di elettroni, ad opera del forte campo elettrico, dalla valle principale  $\Gamma$  (Figura 1.1-10), caratterizzata da una piccola massa efficace (e quindi un'alta mobilità), verso le valli satellite, che invece presentano una maggiore massa efficace (e dunque una minore mobilità). Per campi più alti interviene il fatto che le temperature (o le energie) elettroniche sono molto più alte di quelle del reticolo, e di conseguenza il fenomeno dominante nel controllo della velocità di drift è funzione della percentuale di elettroni che popolano le valli superiori (più lente) e dai meccanismi di scattering con i fononi ottici.

## 1.2 Dispositivi GaN-HEMT

Una volta definita la struttura AlGa<sub>N</sub>/Ga<sub>N</sub>/SiC del wafer sarà possibile realizzare, sulla base del processo tecnologico ottimizzato in SELEX-SI, i dispositivi High Electron Mobility Transistor (HEMT).

Il processo realizzativo si basa principalmente sui seguenti passi tecnologici:

- *contatti ohmici* - metallizzazione Ti/Al/Ni/Au deposta mediante evaporatore a fascio elettronico e sottoposta poi ad un processo di lega denominato Rapid Thermal Annealing (RTA). Mediante questo processo, la resistenza di contatto ohmico media misurata mediante Transmission Line Method (TLM) è circa 0.25  $\Omega$ -mm;
- *isolamento* - come visto in precedenza, il wafer cresciuto mediante MOCVD o MBE presenta un canale bidimensionale conduttivo al di sotto dello strato di AlGa<sub>N</sub> su tutta l'area del wafer. Dato che ogni dispositivo attivo dovrà essere isolato dagli altri, è richiesto un processo di isolamento (in questo caso mediante impiantazione ionica F<sup>+</sup>) al di fuori di quella che è la zona attiva del dispositivo stesso (canale). Mediante



questo passo tecnologico vengono inoltre definite le resistenze impiantate, che sfruttano la resistività del materiale e permettono di ottenere resistori di valore più elevato rispetto a quelli realizzati con strati metallici;

- *giunzione Schottky di Gate* - sul wafer viene depositato uno strato di passivazione in Nitruro di Silicio ( $\text{Si}_3\text{N}_4$ ) mediante Plasma Enhanced Chemical Vapour Deposition (PECVD), dopodichè attraverso un plasma etch viene aperta la zona del canale in cui dovrà essere effettuata la doppia evaporazione dei metalli Ni/Au che formano la giunzione Schottky rettificante, ovvero il contatto di Gate. Nel caso di *dispositivi a svuotamento di carica*, come i GaN-HEMT, è richiesta l'applicazione di una tensione negativa sul Gate per svuotare il canale e portare il dispositivo al pinch-off;
- *resistenze NiCr* - sono resistenze realizzate mediante deposizione di una lega NiCr al 50%, utilizzate per ottenere valori resistivi bassi ed altamente controllabili;
- *condensatori MIM* - vengono realizzati mediante la deposizione di due strati metallici, i quali rappresentano le due armature del condensatore, tra cui viene depositato mediante PECVD uno strato di  $\text{Si}_3\text{N}_4$  che rappresenta il dielettrico;
- *oro galvanico* - il processo del fronte si conclude con la crescita galvanica di uno strato spesso di oro sui pad e sulle linee di trasmissione dei segnali, in modo da incrementare l'handling di potenza del dispositivo, ridurre le resistenze di accesso e le perdite DC ed RF, nonché interconnettere tramite air-bridge le varie metallizzazioni.
- *processo retro* - nella tecnologia microstriscia è necessario assottigliare il wafer mediante un processo di lappatura per poi effettuare dei via-holes tramite plasma etch con cui portare il segnale di massa dal fronte al retro. Dopodichè viene metallizzata tutta la superficie del retro con uno spesso strato di oro in modo da formare un unico piano di massa.

Il risultato finale del processo è mostrato in Figura 1.2-1 mediante una rappresentazione schematica ed in Figura 1.2-2 mediante la fotografia di un dispositivo discreto microstrip così realizzato.

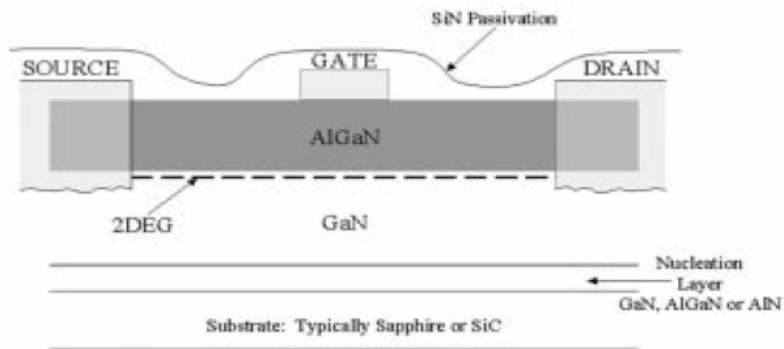


Figura 1.2-1 - Rappresentazione schematica di un HEMT.

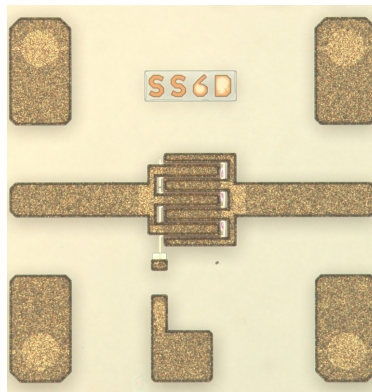
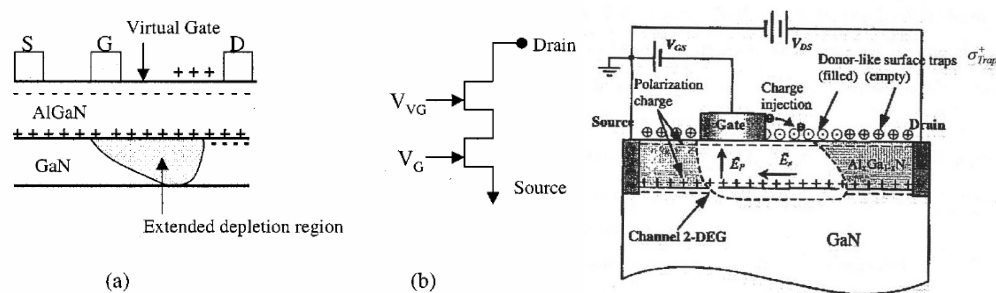


Figura 1.2-2 - Fotografia di un dispositivo realizzato (per cortesia di SELEX-SI).

Si può notare come la struttura del dispositivo sia *interdigitata*, e cioè presenti un Gate suddiviso in diversi *finger* paralleli di lunghezza inferiore a quella di un unico Gate equivalente a tutta la periferia del transistor. Diversi sono i motivi che portano a questa scelta: oltre all'evidente risparmio di spazio dovuto ad una forma tendenzialmente quadrata piuttosto che rettangolare, la struttura interdigitata ha un effetto importante sulla distribuzione del segnale RF lungo la periferia del Gate in funzione della frequenza operativa del dispositivo. In pratica

a fronte di applicazioni a bassa frequenza si potranno sfruttare dei finger più lunghi mentre per applicazioni a frequenze più elevate sarà necessario utilizzare finger più corti.

Un effetto importante di cui bisogna tener conto nella realizzazione di dispositivi ad alta potenza è la dispersione di corrente legata agli effetti trappola superficiali e di bulk. La presenza dei due tipi di trappola nasce principalmente dalla presenza di dangling bonds in superficie (legami insaturi superficiali), e di difetti associati alla crescita che portano a dislocazioni, vacanze e/o difetti interstiziali (difetti del bulk), legati sia alla qualità del substrato che a quella del buffer stesso. Il principale effetto della presenza delle trappole superficiali è la formazione di un secondo Gate chiamato *Virtual Gate* [1.4], localizzato principalmente nella regione tra il Gate ed il Drain. Infatti, a causa dei notevoli campi elettrici presenti in questa zona durante il normale funzionamento di questi dispositivi, elettroni “caldi” vengono emessi dal Gate ed iniettati in questa regione dove riempiono gli stati superficiali. Una volta intrappolati, questi elettroni contribuiscono al formarsi di uno strato di carica negativa sulla superficie che agisce proprio come un secondo Gate polarizzato negativamente, chiamato appunto Gate virtuale. Pertanto, in queste condizioni, esisteranno due Gate sulla superficie, tra il Source ed il Drain, connessi in serie come mostrato schematicamente in Figura 1.2-3.



**Figura 1.2-3 - (a) Modello del dispositivo che mostra la posizione del Gate virtuale; (b) Rappresentazione schematica del dispositivo includendo il Gate virtuale.**

La corrente di Drain risulta pertanto controllata, oltre che dalla normale tensione applicata al contatto di Gate, da quei meccanismi che contribuiscono a far aumentare o diminuire la carica negativa presente nel Virtual Gate.

La presenza di questo strato di carica negativa superficiale è responsabile di uno svuotamento non intenzionale dei portatori nel canale, aumentando quindi la regione svuotata sotto il Gate e determinando una riduzione della corrente di Drain e, conseguentemente, delle prestazioni in potenza dei dispositivi. Questo fenomeno si osserva soprattutto in regime impulsato quando la durata dell'impulso è inferiore al tempo di vita medio della trappola: nella transizione veloce della tensione sul Gate, ad esempio dal pinch-off alla condizione di canale aperto, le trappole non commutano altrettanto velocemente mantenendo una polarizzazione negativa sul Gate Virtuale che continuerà a svuotare parzialmente il canale.

Ci sono vari modi per ridurre l'effetto del Virtual Gate, e quindi riportare la corrente di Drain verso il suo valore originario:

- rimuovendo gli elettroni intrappolati negli stati superficiali, ad esempio polarizzando positivamente il contatto di Gate rispetto a quelli di Drain e di Source;
- utilizzando la struttura di Gate nota come *Field Plate* [1.5] mostrata in Figura 1.2-4, dove un prolungamento del metallo di Gate, (solitamente verso il Drain) posto ad una certa distanza "t" dalla superficie formando dunque una struttura  $\Gamma$ -Gate, fa in modo che il campo elettrico generato dal Field Plate "disattivi" le trappole al di sotto di esso. Questa struttura contribuisce inoltre ad attenuare notevolmente il campo elettrico al di sotto del Gate, e dunque ad incrementare il breakdown del dispositivo.

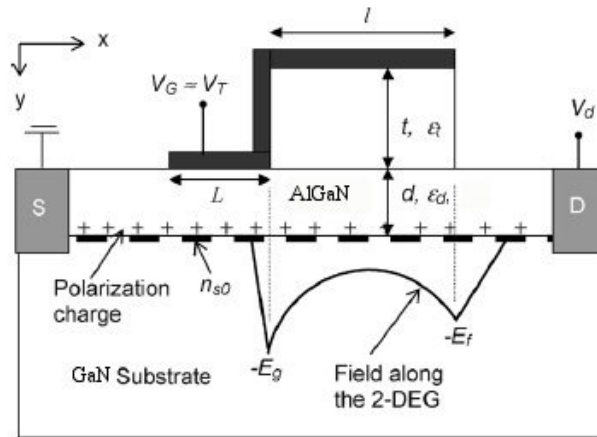


Figura 1.2-4 - Rappresentazione schematica della distribuzione di campo elettrico sotto Gate e Field Plate, con i due picchi caratteristici.

in cui:

- $d$  = spessore dello strato di AlGaN;
- $\epsilon_d$  = costante dielettrica dell' AlGaN (9.5);
- $L$  = lunghezza del Gate;
- $l$  = lunghezza del Field Plate (FP);
- $t$  = distanza del FP dall' AlGaN (spessore del SiN);
- $\epsilon_t$  = costante dielettrica del  $\text{Si}_3\text{N}_4$  (7.5);
- $n_{s0}$  = concentrazione del 2DEG;
- $V_G$  = tensione sul Gate;
- $V_D$  = tensione sul Drain.

- passivando la superficie, ad esempio mediante Nitrato di Silicio ( $\text{Si}_3\text{N}_4$ ). In questo modo si previene la formazione del Gate virtuale grazie ad i seguenti meccanismi:

- la superficie del wafer rimane coperta, rendendo gli stati donori inaccessibili agli elettroni provenienti dal Gate;

- il processo stesso di deposizione della passivazione causa l'incorporamento sulla superficie dell'AlGaN di atomi di Si in quantità tale da saturare gli stati donori.

# CAPITOLO 2

## GaN-HEMT COME SWITCH DI POTENZA NEI MODULI T/R





## 2.1 I moduli T/R

Lo sviluppo di sistemi radar di nuova generazione, ovvero di sistemi di tipo Active Electronically Scanned Array (AESA), prevede l'utilizzo di un elevato numero di moduli T/R ad altissime prestazioni Potenza-Rumore. Ognuno di essi gestisce una porzione d'antenna fornendo localmente la potenza necessaria all'impulso che viene emesso e dalla quale dipende direttamente la portata del radar. Ad oggi, ogni modulo T/R montato sui radar progettati e realizzati da SELEX-SI prevede l'utilizzo di MMIC su GaAs interconnessi tra loro mediante reti e piste metalliche a cui i singoli chip sono collegati mediante wire-bonding. In Figura 2.1-1 è mostrato lo schema a blocchi di un modulo T/R realizzato con l'ausilio di tecnologia GaAs microstriscia.

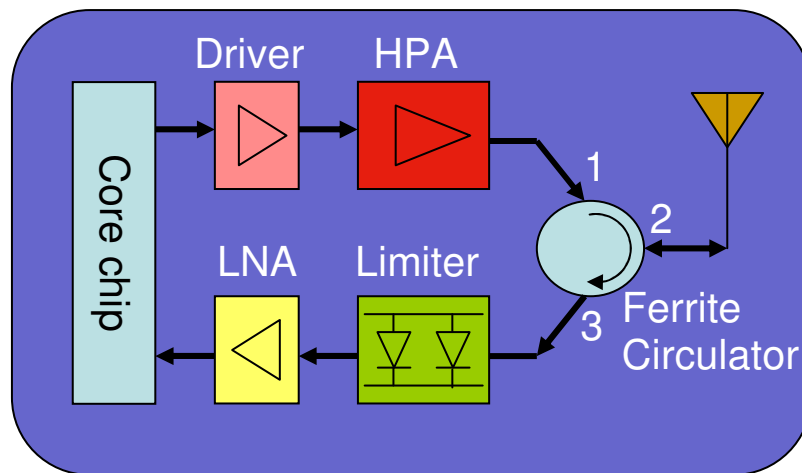


Figura 2.1-1 - Schema di principio di un tipico modulo T/R in Arseniuro di Gallio.

Si possono distinguere alcuni componenti fondamentali quali:

- **Core-chip**: circuito generalmente realizzato in GaAs o Si/Ge che gestisce prevalentemente i segnali da/verso l'antenna;

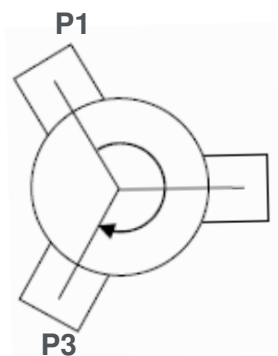
- **Driver/HPA:** pre-amplificatore ed amplificatore di potenza in GaAs per generare un impulso emesso dall'antenna tale da coprire una distanza quanto maggiore possibile (portata del radar);
- **Power Limiter / LNA:** il funzionamento di qualsiasi radar prevede la trasmissione di un impulso e successivamente nel rilevarne il suo eco di ritorno. Questa funzionalità viene realizzata mediante l'amplificatore HPA per la fase di trasmissione, e mediante un amplificatore Low Noise (LNA) per la fase di ricezione. Quest'ultimo, anch'esso realizzato in GaAs, è solitamente protetto da un limitatore di potenza realizzato mediante diodi p-i-n, e dunque su una struttura epitassiale GaAs dedicata, posizionato sul suo stadio d'ingresso. Questo ha il compito di limitare il segnale da amplificare qualora questo sia troppo energetico e dunque potenzialmente dannoso per l'LNA stesso;
- **Circolatore in ferrite:** è il componente che, grazie alla sua struttura elettromagnetica, permette di instradare, mediante un percorso a bassa resistenza, un segnale proveniente da una qualsiasi porta in quella successiva seguendo un pre-determinato verso di rotazione, mostrando inoltre un alto livello di isolamento verso le altre porte. In Figura 2.1-1 (sopra) è indicato ad esempio un verso di rotazione "orario". Infine, grazie alla sua caratteristica Full-Duplexer, può gestire contemporaneamente i segnali provenienti da più porte.

L'insieme di circuiti e componenti che si affaccia direttamente sull'antenna (HPA/LNA/Circolatore) prende il nome di **Front-End**, e si può subito notare come il collegamento tra i diversi dispositivi che lo compongono sia obbligato ad una soluzione wire-bonding a causa della natura ferromagnetica del circolatore e dalla diversa struttura epitassiale del GaAs utilizzata per i Power Limiter rispetto agli altri MMIC.

Soffermando per il momento l'attenzione sul circolatore, si possono evidenziare alcune caratteristiche e svantaggi di questa soluzione:

- 1) bassa resistenza in banda stretta vista dal segnale che circola da una porta verso quella successiva;
- 2) alta resistenza in banda stretta vista dal segnale rispetto alle altre porte che non siano la successiva;
- 3) elevata difficoltà, e quindi costi non competitivi, per realizzare un circolatore che lavori ad alte prestazioni a larga banda;
- 4) area occupata molto maggiore rispetto a quella dei MMIC in GaAs (mediamente 50 mm<sup>2</sup> per un circolatore in banda X rispetto a circa 20 mm<sup>2</sup> per HPA, Driver ed LNA );
- 5) impossibilità di realizzare un MMIC in GaAs che includa in se anche le funzioni di circolatore.

Un esempio delle prestazioni di un circolatore commerciale in banda X sono riportate nella seguente Tabella 2.1-1 [2.1]:



**Typical Ferrite Circulator**

	MIN.	MAX.	Unit	Measured value
Insertion Loss P1-P2		0.4	dB	0.29
Insertion loss P2-P3		0.4	dB	0.19
VSWR P3		1.2:1	-	1.15
VSWR P1		1.2:1	-	1.16
VSWR P2		1.2:1	-	1.06
Isolation P1-P3	20		dB	31.28

**Tabella 2.1-1 – Schema di un circolatore (sinistra) e valori tipici (destra).**

La possibilità di sviluppare un componente equivalente al circolatore in termini di prestazioni e logica di funzionamento, ma allo stesso tempo con dimensioni ridotte e realizzato sullo stesso substrato degli altri MMIC (ad esempio quello GaN/SiC), porterebbe ad una riduzione dei costi di realizzazione,

una maggiore facilità di montaggio ed una riduzione globale dell'ingombro del modulo T/R.

Un circuito che implementa questa funzione può essere, ad esempio, un Single Pole – Double Throw (SPDT), il quale basa la sua logica di funzionamento su transistor il cui Gate è polarizzato in maniera complementare mediante le tensioni V1 e V2, come mostrato in Figura 2.1-2.

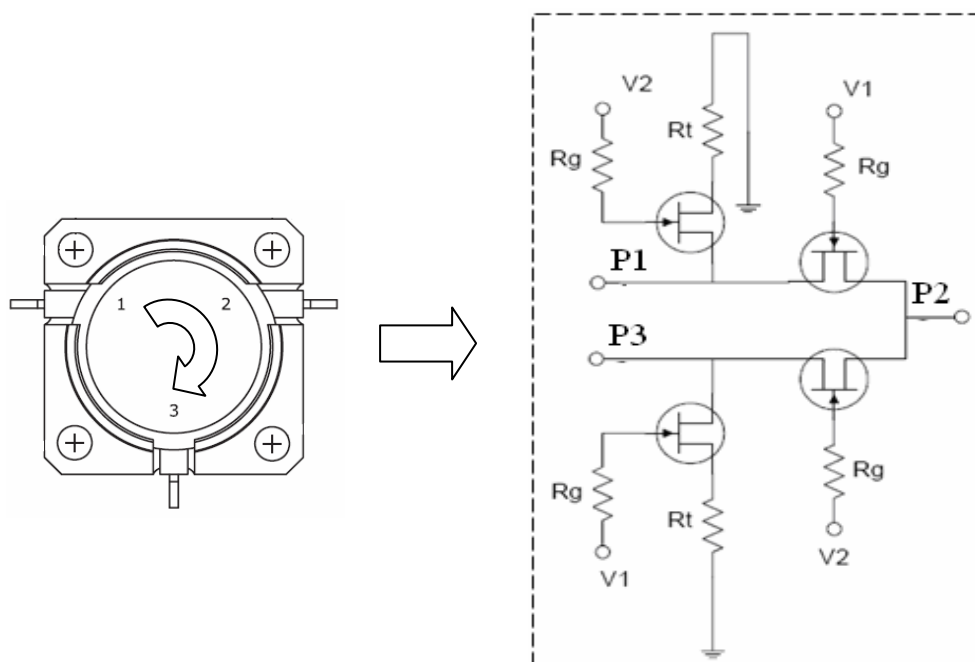


Figura 2.1-2 - Schema equivalente di un circolatore mediante SPDT.

Idealmente, per poter ottenere le stesse prestazioni del circolatore, ogni transistor deve avere le seguenti caratteristiche:

- bassa resistenza Drain-Source  $R_{DS}$ ;
- bassa capacità Drain-Source  $C_{DS}$ ;
- basso tempo di Switching (Switching Time);
- alta tensione di breakdown ( $V_{BD}$ );
- alta corrente di saturazione e corrente di Drain in forward ( $I_{DSS}$  e  $I_F$ ).

Mettendo a confronto il GaAs con il GaN, possiamo notare subito come quest'ultimo si presti maggiormente alle specifiche richieste, soprattutto grazie alle sue caratteristiche intrinseche relative al massimo campo di breakdown (Tabella 1) e corrente  $I_{DSS}$  e  $I_F$ , entrambe maggiori del GaAs di circa un ordine di grandezza come mostrato in Figura 2.1-3, e come questo influisca sulle dimensioni dell'SPDT finale a parità di prestazioni RF a piccolo segnale.

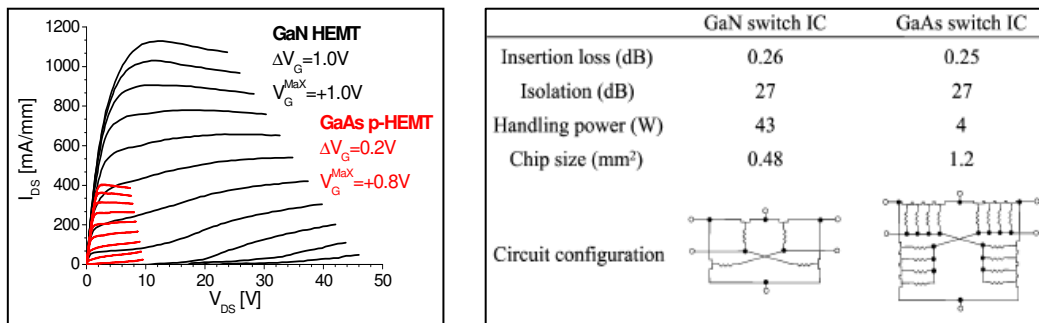


Figura 2.1-3 – Confronto tra dimensioni e prestazioni DC (sinistra) e RF (destra) dei dispositivi su GaN e GaAs.

Tenendo conto anche degli altri aspetti importanti quali la conducibilità termica, le dimensioni o l'efficienza, possiamo riassumere i vantaggi del GaN nella Tabella 2.1-2.

Caratteristiche	Vantaggi
<ul style="list-style-type: none"> <li>- Alta potenza/mm (10x GaAs);</li> <li>- Maggiori W/pF (10 x GaAs).</li> </ul>	<ul style="list-style-type: none"> <li>- Minori dimensioni della cella base in funzione della potenza di uscita;</li> <li>- Maggiore facilità di matching;</li> <li>- Maggiore larghezza di banda.</li> </ul>
<ul style="list-style-type: none"> <li>- Funzionamento con alte tensioni di polarizzazione (3-5 x GaAs).</li> </ul>	<ul style="list-style-type: none"> <li>- Eliminazione / riduzione dello step-down;</li> <li>- Capacità di polarizzazione a 10-50V.</li> </ul>
<ul style="list-style-type: none"> <li>- Alta efficienza (&gt;60%).</li> </ul>	<ul style="list-style-type: none"> <li>- Risparmio della potenza;</li> <li>- Riduzione del raffreddamento.</li> </ul>
<ul style="list-style-type: none"> <li>- Alta frequenza di cut-off (<math>\approx</math> GaAs)</li> </ul>	<ul style="list-style-type: none"> <li>- Alto Gain ed efficienza.</li> </ul>
<ul style="list-style-type: none"> <li>- Alta conducibilità termica della struttura GaN/SiC.</li> </ul>	<ul style="list-style-type: none"> <li>- Temperatura di giunzione più bassa, pitch minore, densità dei dispositivi maggiore, facilità di packaging.</li> </ul>

Tabella 2.1-2 - Benefici del GaN in funzione delle sue caratteristiche intrinseche.

Quanto mostrato finora riguardo alla scelta del substrato SiC ed alla crescita del materiale GaN/AlGaN, viene sfruttato per realizzare dispositivi a svuotamento con la stessa struttura e lo stesso processo realizzativo GaN-HEMT dove il Gate, in questo caso, dovrà necessariamente essere centrato nel canale (simmetria), al fine di realizzare quello che per definizione è un componente passivo bidirezionale: lo **SWITCH**.

Essendo basato sullo stesso processo realizzativo dei MMIC, lo Switch può essere certamente implementato, ad esempio mediante una configurazione circuitale SPDT, in un unico MMIC che comprenda anche i vari circuiti HPA e LNA.

Infine, anche se in letteratura viene riportata la possibilità di utilizzare LNA su GaN omettendo l'utilizzo di un circuito limitatore al suo ingresso [2.2], è sempre preferibile introdurre tale protezione per evitare che segnali a potenza molto elevata, che possono essere involontari (un eco molto vicino) o volontari (guerra elettronica), lo danneggino. Verrà dunque presentata in seguito una possibile applicazione dello Switch come Power Limiter, allo scopo di poter essere anch'esso implementato in un MMIC che quindi idealmente sia in grado di includere tutto il front-end di un radar attivo.

## 2.2 *Configurazioni e caratteristiche dello Switch*

Lo Switch è un componente passivo bidirezionale, la cui funzione è quella di permettere o meno il passaggio del segnale in un verso o nell'altro mediante la modulazione della tensione di Gate, implementando dunque elettricamente quella che è la funzione meccanica di un tipico interruttore ON-OFF.

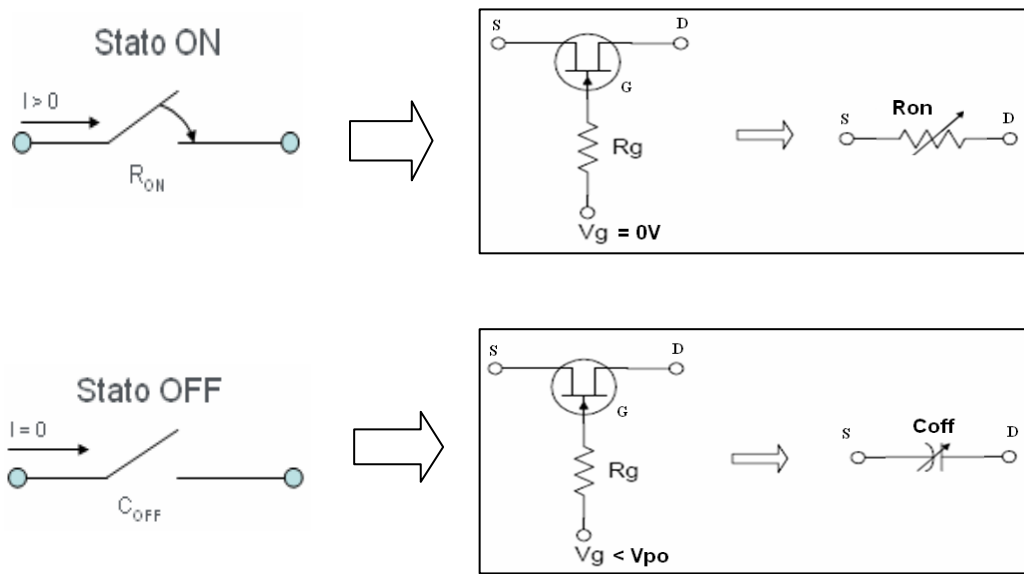


Figura 2.2-1 – Stati di funzionamento dello Switch.

Gli Switch mostrati in Figura 2.2-1 realizzati mediante dispositivi GaN-HEMT, presentano quindi un funzionamento a svuotamento.

In Figura 2.2-2 sono evidenziate le due tipologie di Switch *Serie* e *Shunt*, ognuna delle quali potrà ovviamente funzionare nello stato ON e OFF in funzione della tensione di Gate applicata.

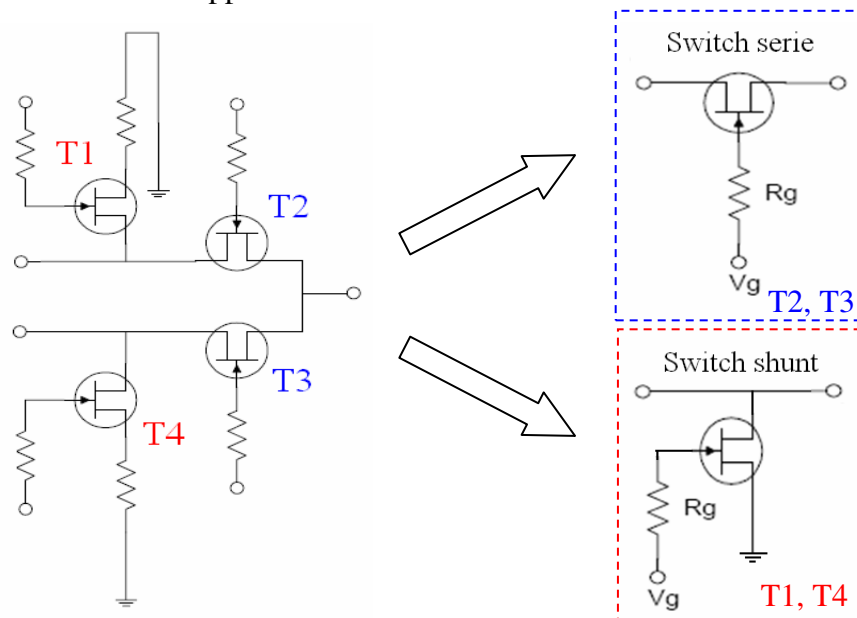


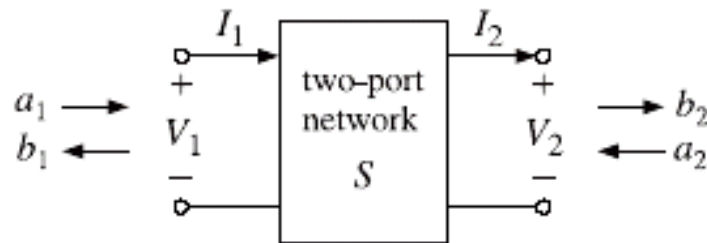
Figura 2.2-2 – Configurazioni dello Switch.

In entrambi i casi, comunque, una tensione di Gate pari a 0V porterà il dispositivo nello stato ON, ma con un effetto complementare, per le due configurazioni, riguardo al segnale in uscita. Difatti, nel caso dello Switch Serie (T2, T3) il segnale si presenterà in uscita teoricamente con una bassa attenuazione, mentre nel caso dello Switch Shunt (T1, T4) arriverà in uscita una porzione molto piccola del segnale che, in questo caso, verrà portato verso massa. Viceversa, una tensione di Gate al di sotto della tensione di pinch-off ( $V_{PO}$ ), porterà lo Switch nello stato OFF mostrando un elevato isolamento nel caso Serie, ed un segnale in uscita nel caso Shunt. Più in generale, nell'analisi a *piccolo segnale* queste caratteristiche prendono il nome di:

**Insertion Loss:**  $IL = 20 \cdot \log|S_{21}|, (V_G = 0V)$  (Eq. 2.1)

**Isolamento:**  $Isol = 20 \cdot \log|S_{21}|, (V_G < -V_{PO})$  (Eq. 2.2)

ed i loro valori si ricavano dalle misure a parametri S considerando lo Switch come una rete 2-porte come mostrato in Figura 2.2-3.



$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix}, \quad S = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}$$

Figura 2.2-3 – Rappresentazione dello Switch come una rete 2-porte.

In particolare, c'è una stretta correlazione tra i parametri S ed i parametri fisici dello Switch: difatti, l'Insertion Loss è strettamente legato alla resistenza



$R_{DS}$  del dispositivo, e dunque a quella che viene definita  $R_{ON}$ , mentre l'Isolamento è strettamente legato alla capacità  $C_{OFF}$ , la quale si ricava, come vedremo, dalle capacità parassite  $C_{GS}$ ,  $C_{GD}$  e  $C_{DS}$ . In generale, tanto minori sono questi parassiti tanto migliori saranno i parametri a loro associati che contraddistinguono le prestazioni dello Switch. Oltre ai parametri appena descritti, possiamo definire una figura di merito molto importante per lo Switch, denominata *Frequenza di Cut-Off* e definita come:

**Frequenza di Cut-Off:** 
$$F_c = \frac{1}{2\pi R_{ON} C_{OFF}} \quad (\text{Eq. 2.3})$$

la quale è tanto maggiore quanto migliori sono i valori dei componenti parassiti dello Switch, in accordo con quanto appena detto su Insertion Loss ed Isolamento. Infine, un altro parametro molto importante ma di difficile determinazione sperimentale è il *Tempo di Switching*, e cioè il tempo che impiega lo Switch per passare da uno stato all'altro (ad esempio dallo stato ON a quello OFF), ovvero il tempo impiegato per vedere in uscita la variazione del segnale dal 90% al 10% o viceversa. Questo parametro sarà strettamente correlato alla resistenza di polarizzazione del Gate, il cui valore è solitamente di qualche k $\Omega$  e la cui funzione è quella di ridurre l'accoppiamento tra il segnale che passa nel canale ed il Gate, ed alla capacità stessa del Gate.

**Switching time:** 
$$\tau_{sw} = f(R_g, C_G) \quad (\text{Eq. 2.4})$$

E' noto inoltre come ci sia un legame tra le grandezze fisiche di resistenza e capacità e la periferia dello Switch:

$$R = \rho \frac{L}{S} = \rho \frac{L}{W \cdot t} \quad (\text{Eq. 2.5})$$

$$C = \varepsilon \frac{S}{d} = \varepsilon \frac{W \cdot L_G}{d} \quad (\text{Eq. 2.6})$$

dove  $W$  indica la periferia. Questo implica che:

Maggiore periferia: minore  $R_{ON}$ , maggiore  $C_{OFF}$ ;

Minore periferia: maggiore  $R_{ON}$ , minore  $C_{OFF}$ ;

Avendo la necessità di ottimizzare la Frequenza di Cut-Off, ed essendo le due grandezze  $R_{ON}$  e  $C_{OFF}$  scalabili allo stesso modo con la periferia ma in maniera complementare, variare la periferia non cambierà la  $F_C$ , ma genererà solo una traslazione delle curve IL-frequenza ed Isolamento-frequenza contemporaneamente verso l'alto o verso il basso. In altre parole, variare la periferia vuol dire migliorare l'Insertion Loss ma allo stesso tempo peggiorare l'Isolamento e viceversa. Il miglioramento della  $F_C$  sarà dunque legato a variazioni tecnologiche, e non alla periferia la quale dovrà comunque essere scelta nel modo più adatto in funzione della funzione dello Switch all'interno del circuito/modulo ed alla sua configurazione, che sia essa Serie o Shunt. Ulteriore scopo di questa tesi sarà dunque quello di trovare una possibile soluzione, sia legata al layout che alla struttura del wafer, che permetta di incrementare la figura di merito  $F_C$ .

Finora è stato affrontato il problema relativo alla risposta in frequenza dello Switch rispetto alle due grandezze fondamentali identificate come  $R_{ON}$  e  $C_{OFF}$  quando si è in presenza di una sollecitazione a piccolo segnale. Ma il campo di applicazione di questi dispositivi prevede il trattamento di segnali ad alta potenza, oltre che alta frequenza. Sarà dunque necessaria l'analisi ad ampio segnale, in cui si terrà conto in maniera separata dei fenomeni che avvengono nello stato ON e nello stato OFF.

### 2.3 Stato ON – Analisi ad ampio segnale

Nello stato ON, essendo il segnale RF introdotto indipendentemente in uno dei contatti ohmici di Drain o di Source (bidirezionalità dello Switch), si avrà un'oscillazione di tale segnale sulla curva caratteristica di uscita  $I_{DS}$ - $V_{DS}$  relativa alla polarizzazione applicata sul Gate.

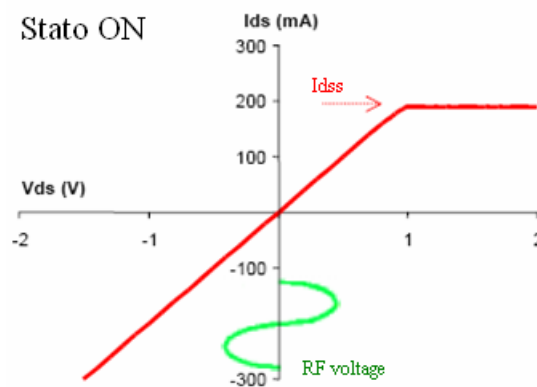


Figura 2.3-1 – Schematizzazione del segnale RF applicato allo Switch e della compressione ON.

Nel caso particolare in cui consideriamo la curva per  $V_{GS}=0V$  (riportata in maniera schematica in Figura 2.3-1 [2.3]), relativa quindi al valore di saturazione  $I_{DSS}$ , possiamo vedere che finché l'ampiezza del segnale RF si trova all'interno della zona lineare della curva caratteristica (idealmente fino al ginocchio), il segnale verrà riportato in uscita identico all'ingresso a meno di un'attenuazione dovuta alla resistenza  $R_{DS}$  e dunque all'Insertion Loss. Nel momento in cui tale ampiezza supera la zona lineare ed entra nella zona di saturazione, la forma d'onda in uscita non seguirà più quella d'ingresso, subendo una deformazione dovuta alla presenza di armoniche di ordine superiore chiamata **Compressione RF**, causando di conseguenza un peggioramento dell'Insertion Loss. E' chiaro che una maggiore  $I_{DSS}$ , e dunque una maggiore periferia, sposterà il fenomeno di compressione RF nello stato ON a livelli di potenza in ingresso più elevati.

## 2.4 Stato OFF – Analisi ad ampio segnale

Nello stato OFF, la Compressione RF non dipende più dalla periferia, ma dalle caratteristiche fisiche del dispositivo quali la tensione di pinch-off e la tensione di breakdown, e di conseguenza la tensione di polarizzazione del Gate rispetto a questi due parametri.

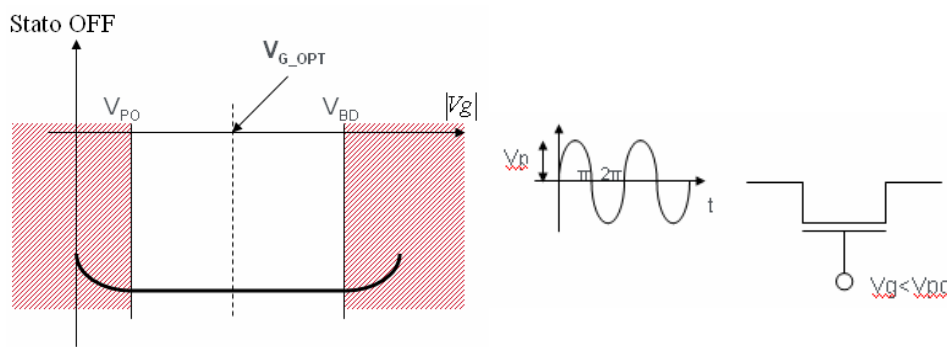


Figura 2.4-1 – Schematizzazione della Compressione OFF.

Questo è più chiaro se consideriamo cosa accade durante la sollecitazione RF nelle due semionde come in Figura 2.4-1 [2.4]:

- *Semionda positiva*: la differenza di potenziale  $V_G - V_S$  tra il Gate ed il terminale in cui viene applicato il segnale (supponiamo sia il Source), nel caso fosse troppo elevata potrebbe portare la giunzione Gate-Source (che si trova in polarizzazione **inversa**) ad un valore superiore a quello del breakdown e quindi in condizioni di rottura catastrofica del dispositivo  $|V_G - V_P| > |V_{BD}|$ ;
- *Semionda negativa* = la differenza di potenziale  $V_G - V_S$ , essendo in questo caso un valore che si somma positivamente a quello del Gate, può portare la tensione di quest'ultimo ad un valore maggiore della tensione di pinch-off, riportando il dispositivo in conduzione e quindi non più in condizione di isolamento  $|V_G - V_P| < |V_{PO}|$ .

La tensione ottima a cui polarizzare il Gate, dunque, sarà il valore intermedio:

$$V_{g\_opt} = \frac{V_{dg\_MAX} + V_{po}}{2} \quad (\text{Eq. 2.7})$$



# CAPITOLO 3

## MODELLO SCALABILE A PICCOLO SEGNALE





### 3.1 Risultati sperimentali a piccolo segnale.

Sulla base di quanto descritto finora, è stato scelto di realizzare un processo indicato di seguito come Wafer A su cui gli Switch sono stati progettati e realizzati con la tecnologia Field Plate. L'introduzione di questa tecnologia, che in un transistor HEMT avrebbe portato alla classica configurazione  $\Gamma$ -Gate con elettrodo di Gate decentrato verso il Source, per ragioni di simmetria porterà nello Switch la configurazione T-Gate mostrata in Figura 3.1-1 con Gate centrato in un canale da  $4\mu\text{m}$ .

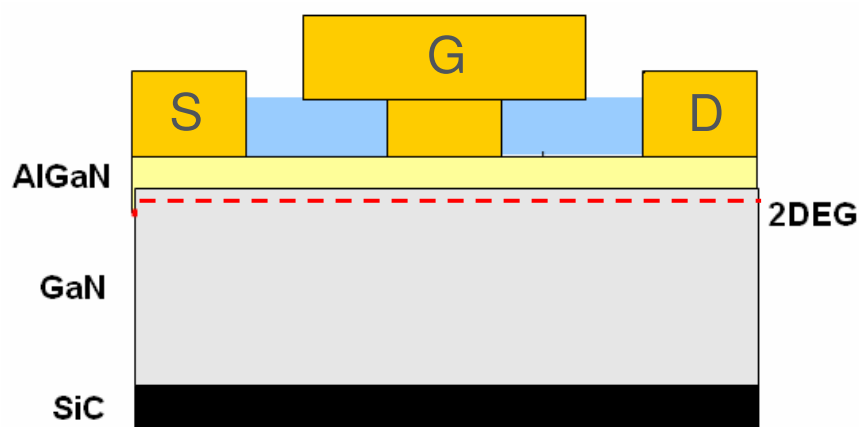


Figura 3.1-1 – Struttura T-Gate dello Switch realizzato sul Wafer A.

La maschera dei dispositivi utilizzata include Switch Serie con periferie che vanno dal più piccolo SP3A ( $W_G=3 \times 50\mu\text{m}$ ) al più grande SS6D ( $W_G=6 \times 100\mu\text{m}$ ), realizzati mediante i passi tecnologici descritti nel Capitolo 1.2. Questi dispositivi sono stati progettati al fine di realizzare un modello a piccolo segnale dello Switch, e sono mostrati in Figura 3.1-2 mediante tre esempi con diverse periferie ( $W_G=150\mu\text{m}$ ,  $400\mu\text{m}$  e  $600\mu\text{m}$  rispettivamente).

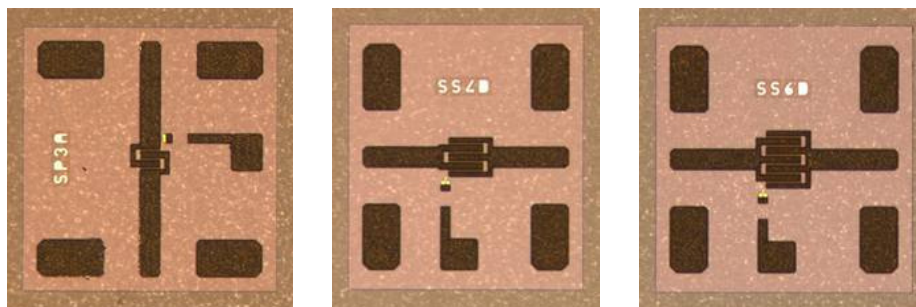


Figura 3.1-2 – Immagini degli Switch realizzati sul Wafer A (per cortesia di SELEX-SI).

L'analisi a piccolo segnale effettuata on-wafer mediante VNA Anritsu 37369D è stata eseguita per un range di frequenze da 0.1GHz a 40GHz. I risultati comparativi per i tre dispositivi presi in esame e mostrati in Figura 3.1-2 è riportata in Figura 3.1-3.

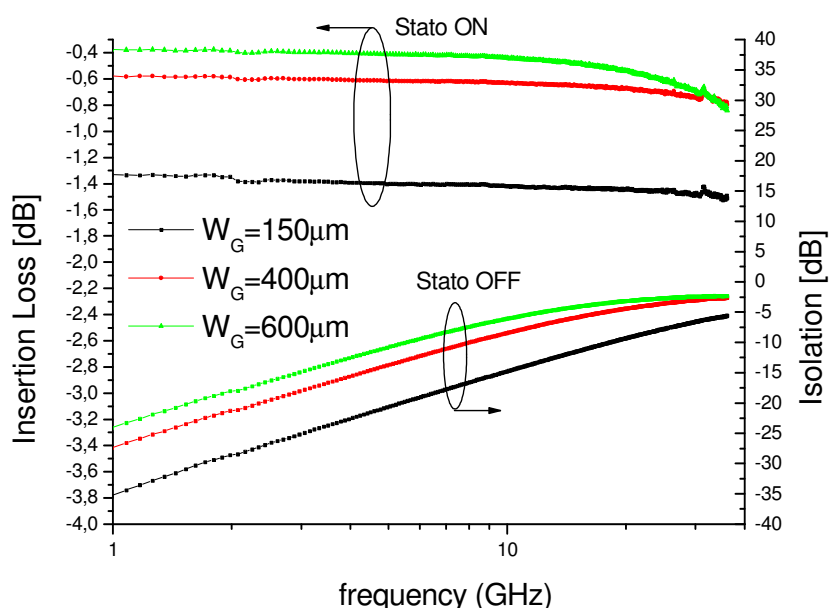


Figura 3.1-3 – Insertion Loss e Isolamento degli Switch realizzati sul Wafer A.

Il comportamento in frequenza per piccolo segnale al variare della periferia è facilmente intuibile, distinguendo il funzionamento per lo stato ON ed OFF da cui si ricavano rispettivamente le informazioni per Insertion Loss ed Isolamento.

Nello stato ON, il Gate è polarizzato a  $V_G=0\text{V}$  ed il canale risulta aperto. Lo Switch sarà equivalente ad un circuito chiuso e dunque ad una resistenza  $R_{ON}$ , il

cui valore è proporzionale all'Insertion Loss ed equivalente alla  $R_{DS}$ , come già detto in precedenza. E' noto come ad una periferia più piccola ( $W_G=150\mu\text{m}$ ) corrisponda una resistenza maggiore (curva in nero) e come questo si traduca in un Insertion Loss peggiore, pari per questa periferia a  $IL_{SP3A}\approx-1,35\text{dB}$ . All'aumentare della periferia la resistenza diminuisce e di conseguenza migliora l'Insertion Loss, fino al caso migliore  $IL_{SS6D}\approx 0,39\text{dB}$  tra i dispositivi realizzati su questo wafer ( $W_G=600\mu\text{m}$ ).

Viceversa, nello stato OFF in cui il Gate è polarizzato ad una tensione inferiore a quella del pinch-off, una piccola periferia equivale ad una capacità minore, e dunque ad un migliore isolamento, mentre una maggiore periferia vuol dire una maggiore capacità e di conseguenza un Isolamento peggiore. Questo dimostra quanto detto in precedenza nel capitolo 2.2, e cioè che al variare della periferia non cambia la figura di merito dello Switch perché entrambi i parametri  $R_{ON}$  e  $C_{OFF}$  variano allo stesso modo (Eq. 2.5 ed Eq. 2.6), fornendo contemporaneamente una traslazione verso l'alto o verso il basso delle curve di Figura 3.1-3 legate al parametro  $|S_{21}|$ .

Si può notare inoltre come, per periferie maggiori (curva verde), alle alte frequenze ci sia un accoppiamento maggiore tra il segnale ed il Gate dovuto principalmente alla maggiore capacità (o alla minore impedenza) vista dal segnale stesso verso il Gate, e come questo comporta quindi un peggioramento dell'Insertion Loss. Lo stesso fenomeno capacitivo legato alla minore impedenza di una capacità grande alle alte frequenze spiega l'andamento della curva di Isolamento nello stato OFF, che equivale ad una capacità serie.

### *3.2 Modello scalabile a piccolo segnale*

Sulla base dei risultati sperimentali ottenuti con tale processo è stato realizzato un modello scalabile a piccolo segnale dello Switch, allo scopo di poter

valersi di uno strumento che fornisca una corrispondenza fisica diretta delle varie grandezze circuitali che lo compongono. Il modello sviluppato si basa sulla semplicità della procedura di estrazione dei parametri fisici ed è mirato allo scopo di ottenere una previsione affidabile sul trend delle prestazioni finali al variare delle caratteristiche geometriche del dispositivo. Il circuito equivalente preso in esame è il seguente (Figura 3.2-1):

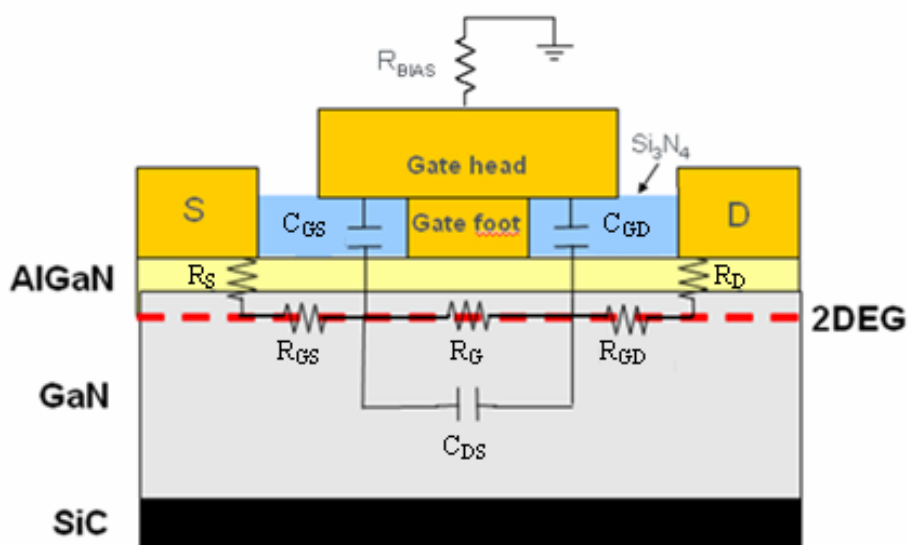


Figura 3.2-1 – Circuito equivalente dello Switch associato alle grandezze fisiche.

Si può riconoscere la struttura T-Gate centrata nel canale e diversi componenti passivi quali:

- $R_D, R_S$ : resistenza di contatto ohmico di Drain e Source;
- $R_{GS}, R_{GD}$ : resistenza di strato del canale verso il Source e verso il Drain;
- $R_G$ : resistenza del canale al di sotto del Gate;
- $R_{BIAS}$ : resistenza di bias del Gate;
- $C_{DS}$ : capacità Drain e Source;
- $C_{GS}$ : capacità Gate-Source;
- $C_{GD}$ : capacità Gate-Drain;

Per trovare le varie componenti del circuito equivalente è necessario distinguere i due stati ON e OFF di funzionamento.

### 3.2.1 Modello scalabile nello stato ON

Nello stato ON, la resistenza  $R_G$  al di sotto del Gate avrà un valore molto basso grazie al fatto che in questa condizione ( $V_G=0V$ ) il canale è aperto. Il circuito equivalente sarà dunque quello mostrato in Figura 3.2-2:

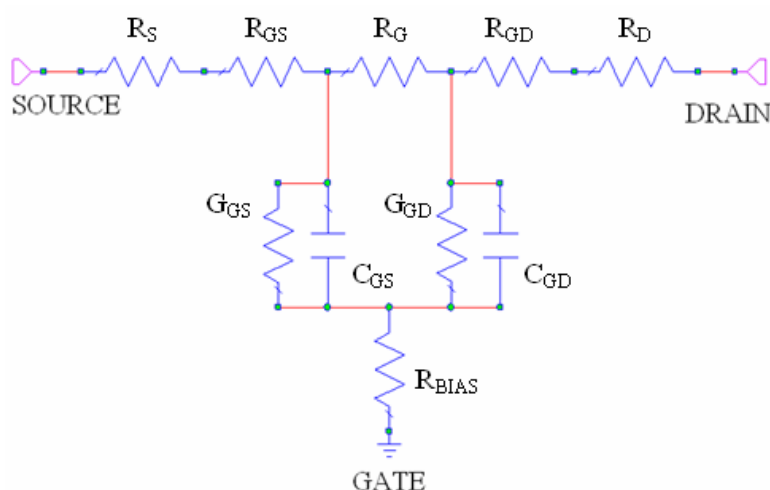


Figura 3.2-2 – Circuito equivalente relativo allo stato ON.

Si può dimostrare mediante un confronto con le misure sperimentali che, in prima approssimazione, si possono trascurare gli effetti della capacità parallela  $C_{DS}$ , grazie al basso valore della resistenza  $R_G$ , e delle capacità e conduttanze parassite che si trovano tra Gate e contatti ohmici, ancora una volta grazie al basso valore della resistenza vista tra Source e Drain rispetto alla capacità parassita verso il Gate. Si può dimostrare inoltre che questa approssimazione è tanto più vera quanto più la periferia è piccola e la frequenza è bassa, mentre viceversa quando si ha una grossa periferia, la maggiore capacità del Gate alle

alte frequenze mostra una dipendenza più netta dalle capacità parassite, attraverso le quali il segnale si accoppia con il Gate e l'Insertion Loss peggiora, come già osservato nelle misure sperimentali di Figura 3.1-3. Dunque possiamo considerare in prima approssimazione il seguente circuito equivalente:

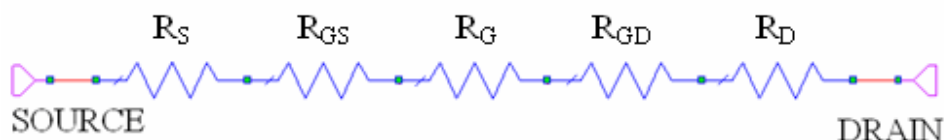


Figura 3.2-3 – Circuito equivalente semplificato per lo stato ON.

i cui componenti resistivi sono facilmente determinabili utilizzando una specifica struttura di test Transmission Line Method (TLM) nelle due configurazioni Gated e Ungated appositamente realizzate su wafer.

Il TLM Ungated, mostrato in Figura 3.2-4, è composto da una serie di contatti ohmici posti ad una distanza crescente  $d_{x,x+1}$  (ad es.  $d_{2,3} < d_{3,4}$ ) e rende possibile ricavare la resistenza di contatto ohmico  $R_C$  e la resistenza del canale  $R_{SH}$ .

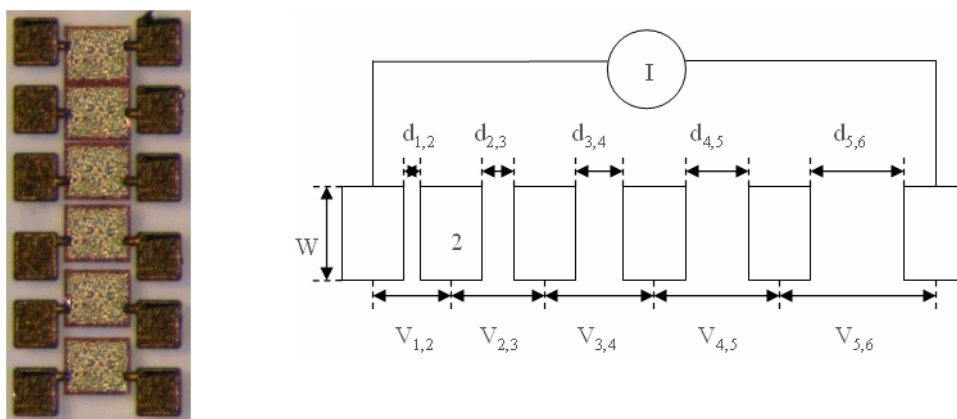


Figura 3.2-4 – TLM e struttura equivalente.

Imponendo una corrente tra il primo e l'ultimo contatto ohmico, si misurano le cadute di tensione tra due contatti adiacenti trovando così una serie di punti il cui fit lineare risponde alla seguente legge:

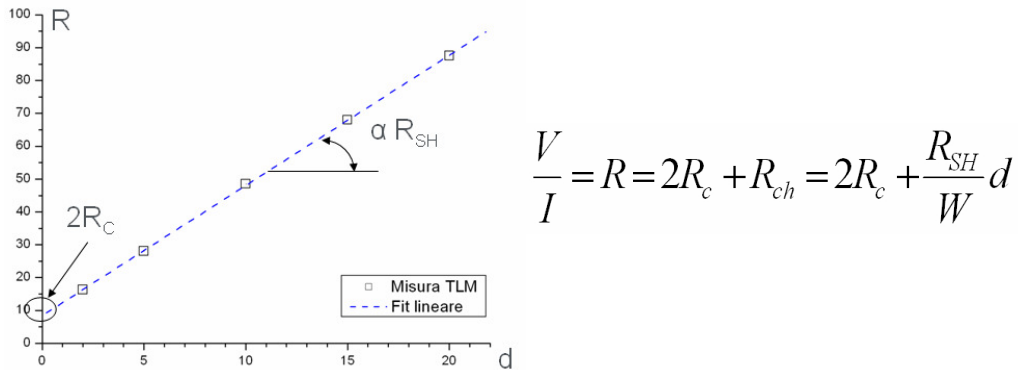


Figura 3.2-5 – Fit lineare per l'estrazione di  $R_c$  e  $R_{SH}$  dalla misura del TLM.

Si può facilmente notare come il coefficiente angolare della retta sia proporzionale alla resistenza di strato  $R_{SH}$ , e come l'intercetta con le ordinate sia proporzionale alla resistenza di contatto  $R_c$ .

Anche il TLM Gated, mostrato in Figura 3.2-6, è composto da una serie di contatti ohmici tra i quali però è presente un Gate polarizzato a massa. In questo caso, la variabile sarà la lunghezza del Gate mentre la distanza tra Gate ed i contatti ohmici adiacenti dovrà rimanere invariata.

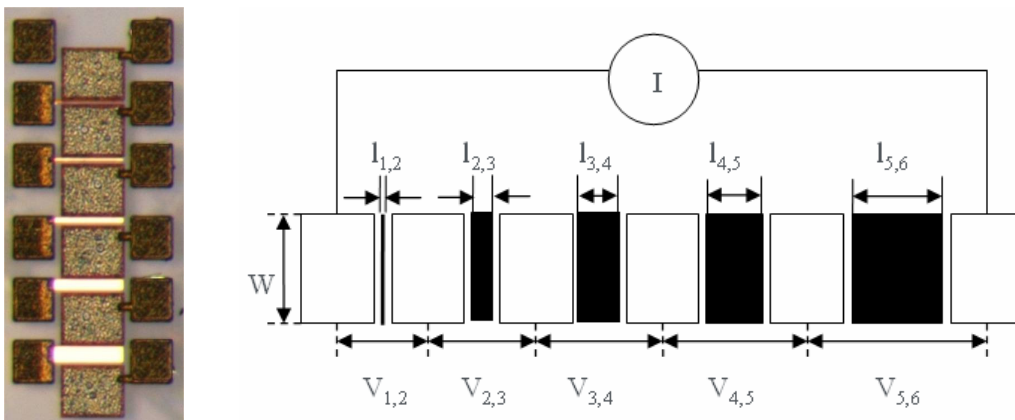
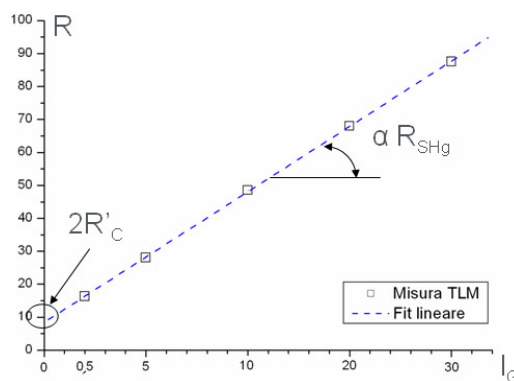


Figura 3.2-6 – TLM Gated e struttura equivalente.

Di nuovo, imponendo una corrente tra il primo e l'ultimo contatto ohmico, si misurano le cadute di tensione tra due contatti ohmici adiacenti e si ricava una serie di punti il cui fit lineare segue la seguente relazione:



$$\frac{V}{I} = R = (2R_c + 2R_h) + R_{ch} = 2R'_c + \frac{R_{SHg}}{W} l_G$$

Figura 3.2-7 - Fit lineare per l'estrazione di  $R_{Cg}$  e  $R_{SHg}$  dalla misura del TLM Gated.

In questo caso, il coefficiente angolare della retta è proporzionale alla resistenza di strato  $R_{SHg}$  al di sotto del contatto di Gate, mentre la  $R'_c$  che si ricava dall'intercetta sarà la somma della resistenza di contatto  $R_c$  ricavata con il metodo del TLM e della resistenza associata al tratto di canale che va dal contatto ohmico al Gate, che come detto in precedenza deve essere costante. L'utilità di questa misura è legata alla possibilità di ottenere una stima di quanto la giunzione Schottky svuoti il canale al di sotto di essa (in genere  $R_{SHg} > R_{SH}$ ), rendendolo dunque più resistivo e spiegando quindi perché un Gate più lungo porta ad avere una minore corrente ed una maggiore resistenza complessiva di canale.

Mediante questi due metodi avremo dunque le informazioni che ci servono per ottenere quei parametri che abbiamo indicato nel circuito equivalente per lo stato ON:





Per rendere infine scalabile il modello in funzione della periferia, sarà sufficiente esplicitarne la dipendenza mediante l'espressione classica del resistore:

$$\left\{ \begin{array}{l} R_{GD} = R_{SH} \cdot \frac{l_{GD}}{W} \\ R_{GS} = R_{SH} \cdot \frac{l_{GS}}{W} \\ R_S = R_D = \frac{R_C}{W} \end{array} \right. \quad R_G = R_{SHg} \cdot \frac{l_G}{W}$$

in cui  $l_{GD}$  ed  $l_{GS}$  sono le distanze dei contatti ohmici dal Gate, e  $W$  è la periferia del transistor. Il confronto tra le misure sperimentali e le simulazioni, realizzate mediante il programma Microwave Office inserendo tra la porta RF d'ingresso e quella d'uscita una serie di resistenze come mostrato in Figura 3.2-3 del valore estrapolato grazie alle misure TLM e TLMg, produce il risultato mostrato in Figura 3.2-8.

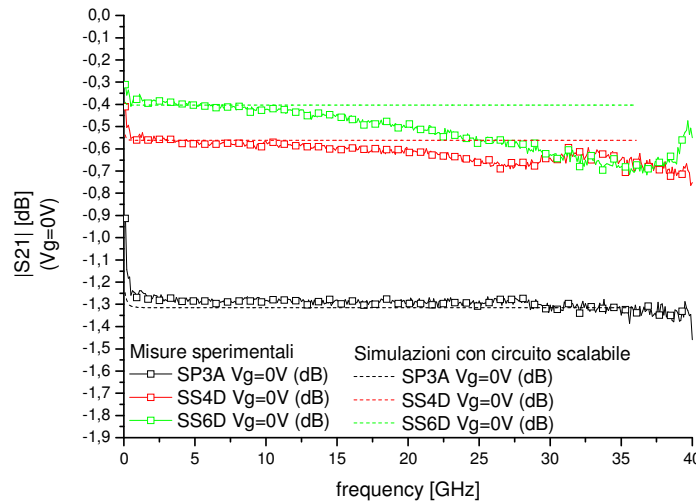


Figura 3.2-8 – Confronto tra i risultati sperimentali e le simulazioni con il modello semplificato per lo stato ON.

Si vede chiaramente come il valore dell'Insertion Loss simulato sia praticamente identico a quello sperimentale, soprattutto nelle basse frequenze. Le differenze riscontrate a frequenze più elevate soprattutto nel caso di ampie periferie di Gate (linea verde corrispondente ad un dispositivo con periferia  $W_G=600\mu\text{m}$ ) sono determinate dal maggiore accoppiamento capacitivo tra il segnale ed il Gate in tali condizioni. Ad ogni modo, il modello puramente resistivo di Figura 3.2-8 descrive molto bene il valore dell'Insertion Loss alle basse frequenze per ogni periferia, e ne fornisce una stima utile per il dimensionamento dello Switch nello stato ON. La  $R_{ON}$  sarà dunque data dalla formula:

$$R_{ON} \approx R_D + R_{DG} + R_G + R_{GS} + R_S \quad (\text{Eq. 3.1})$$

### 3.2.2 Modello scalabile nello stato OFF

Nello stato OFF, la resistenza  $R_G$  al di sotto del Gate avrà un valore molto alto, dato che in questa condizione ( $V_G < V_{PO}$ ) il canale al di sotto del Gate è interrotto. Il circuito equivalente sarà dunque il seguente:

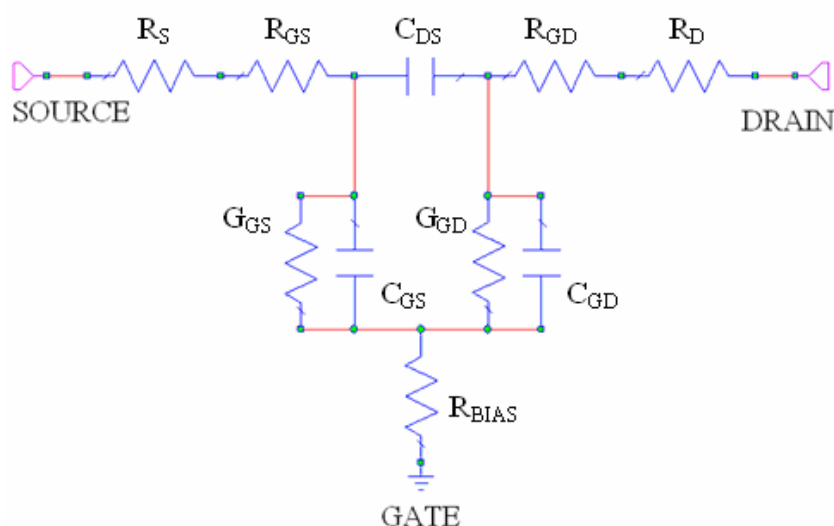


Figura 3.2-9 – Circuito equivalente dello Switch nello stato OFF.

In questa configurazione, le resistenze di contatto e di strato hanno esattamente lo stesso valore ricavato nello stato ON, anche se in realtà la loro influenza è molto minore, soprattutto alle basse frequenze, a causa dell'alto valore della resistenza  $R_G$  al di sotto del Gate. Osservando le misure sperimentali di Figura 3.2-8, si può intuire come queste resistenze costituiscano approssimativamente il valore a cui l'isolamento tenderà in condizioni di alta frequenza, e cioè quando l'impedenza della  $C_{OFF}$  diventerà paragonabile alla  $R_G$ . L'Isolamento ad alta frequenza tenderà dunque approssimativamente al valore dell'Insertion Loss nello stato ON. Da questo circuito equivalente bisognerà estrarre i valori delle capacità parassite: questo è possibile se, trascurando le resistenze parassite appena trattate, si fanno le seguenti considerazioni e misurazioni:

1) *Estrapolazione delle capacità  $C_{GS}$  e  $C_{GD}$ :*

Facendo riferimento alla Figura 3.2-10, consideriamo schematicamente un circuito puramente capacitivo dove i contatti esterni di Source, Drain e Gate sono rappresentati dalle lettere A, B e C rispettivamente.

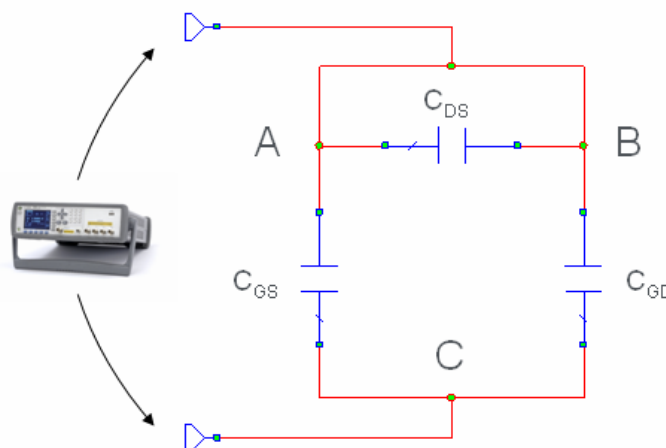


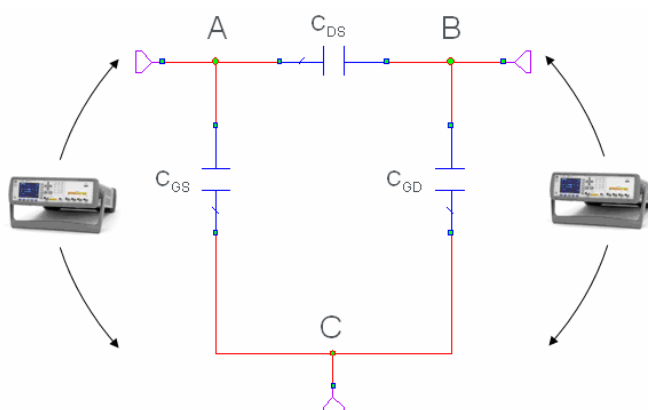
Figura 3.2-10 – Schema per l'estrazione di  $C_{GS}$  e  $C_{GD}$ .

E' possibile notare come, imponendo un corto circuito tra A e B e dunque annullando l'effetto della  $C_{DS}$ , possiamo misurare mediante ponte capacitivo un valore  $C_{ABC}$  pari alla somma delle due capacità rimaste :

$$C_{ABC} = C_{GS} + C_{GD} \quad (\text{Eq. 3.2})$$

da cui si ricava che il valore delle singole capacità sarà la metà di quanto misurato, se consideriamo che teoricamente il dispositivo è simmetrico e dunque il valore della  $C_{GS}$  dovrebbe essere uguale a  $C_{GD}$ .

2) *Estrapolazione della capacità  $C_{DS}$ :*



**Figura 3.2-11 – Schema per l'estrazione di  $C_{DS}$ .**

Questa estrapolazione necessita di due misure preliminari:

- a) la misura tra i punti A e C lasciando il terminale B floating, per cui si trova che:

$$C_{AC} = \left( \frac{C_{ds} * C_{gd}}{C_{ds} + C_{gd}} \right) + C_{gs} \quad (\text{Eq. 3.3})$$

b) la misura tra i punti B e C lasciando il terminale A floating, per cui si trova che:

$$C_{BC} = \left( \frac{C_{ds} * C_{gs}}{C_{ds} + C_{gs}} \right) + C_{gd} \quad (\text{Eq. 3.4})$$

A questo punto, abbiamo tre equazioni nelle incognite  $C_{ABC}$ ,  $C_{AC}$  e  $C_{BC}$ , che possono essere sviluppate come segue, tenendo conto delle ipotesi iniziali:

$$C_{GS} = C_{GD} = C_{Gx} \quad \text{e dunque} \quad C_{ABC} = C_{GS} + C_{GD} = 2C_{Gx}$$

Esplicitando le formule trovate per  $C_{AC}$  e  $C_{BC}$  si ottiene:

$$C_{AC} = \left( \frac{C_{DS} * C_{GD}}{C_{DS} + C_{GD}} \right) + C_{GS} = \left( \frac{C_{DS} * C_{Gx}}{C_{DS} + C_{Gx}} \right) + C_{Gx} = C_{BC}$$

$$C_{AC} = C_{BC} = \frac{C_{ABC}}{2} + \frac{C_{DS} \cdot \frac{C_{ABC}}{2}}{C_{DS} + \frac{C_{ABC}}{2}}$$

Grazie a questa uguaglianza, è possibile esprimere il valore della  $C_{DS}$  indistintamente in funzione della  $C_{AC}$  e  $C_{BC}$ . Prendendo in considerazione la prima si ottiene:

$$\left( C_{AC} - \frac{C_{ABC}}{2} \right) \cdot \left( C_{ds} + \frac{C_{ABC}}{2} \right) = C_{DS} \cdot \frac{C_{ABC}}{2}$$

da cui:

$$\left( C_{AC} - \frac{C_{ABC}}{2} \right) \cdot C_{DS} + \left( C_{AC} - \frac{C_{ABC}}{2} \right) \cdot \frac{C_{ABC}}{2} = C_{DS} \cdot \frac{C_{ABC}}{2}$$

ed infine:

$$\left( C_{AC} - \frac{C_{ABC}}{2} \right) \cdot \frac{C_{ABC}}{2} = (C_{ABC} - C_{AC}) \cdot C_{DS}$$

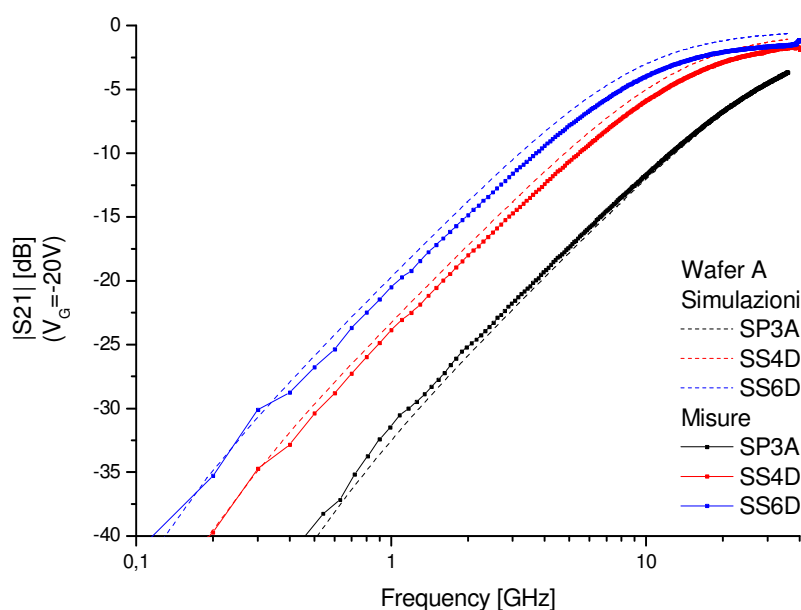
da cui si può ricavare il valore della  $C_{DS}$ :

$$\frac{\left( C_{AC} - \frac{C_{ABC}}{2} \right) \cdot \frac{C_{ABC}}{2}}{(C_{ABC} - C_{AC})} = C_{DS} \quad (\text{Eq. 3.5})$$

Anche in questo caso, esplicitare la dipendenza della capacità dalla geometria mostra come ci sia una relazione con la periferia di Gate che rende scalabile il circuito equivalente:

$$C = \varepsilon \frac{S}{d} = \varepsilon \frac{W_G \cdot L_G}{d} \quad (\text{Eq. 3.6})$$

L'extrapolazione delle capacità parassite  $C_{DS}$ ,  $C_{GS}$  e  $C_{GD}$ , inserite nel modello puramente capacitivo di Figura 3.2-11 realizzato in Microwave Office, ha fornito un buon accordo con le misure sperimentali mostrando un errore lungo il range 0.1 GHz ÷ 40 GHz minore di 0.8 dB, come mostrato in Figura 3.2-12.



**Figura 3.2-12 – Confronto tra misure sperimentali e simulazioni mediante il circuito equivalente dello Switch per lo stato OFF.**

in cui la  $C_{OFF}$  legata al transistor è data dalla Eq. 3.7 [3.1]:

$$C_{OFF} = C_{DS} + \frac{C_{GS} + C_{GD}}{C_{GS} \cdot C_{GD}} \quad (\text{Eq. 3.7})$$

E' stato dunque determinato un modello che lega i parametri fisici dello Switch con le sue prestazioni RF mediante misurazione sperimentale dei componenti passivi (resistivi e capacitivi) facilmente ricavabili da apposite strutture di test (TLM, TLMg) e da una procedura basata su misure capacitive sullo Switch sviluppata durante questo lavoro di Dottorato con cui è possibile estrapolare in maniera semplice il valore della  $C_{DS}$ , solitamente molto complesso da ricavare. Grazie a tali misurazioni si ottiene un circuito scalabile con la periferia che fornisce un buon accordo con i dati sperimentali, come mostrato in maniera più compatta e sintetica in Figura 3.2-13.

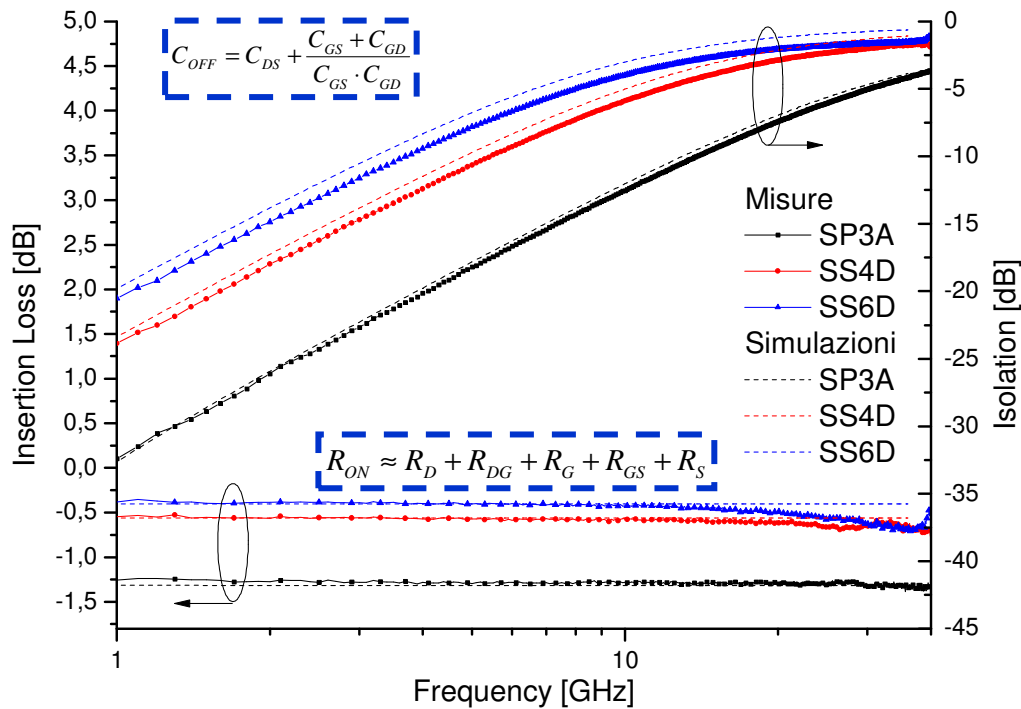
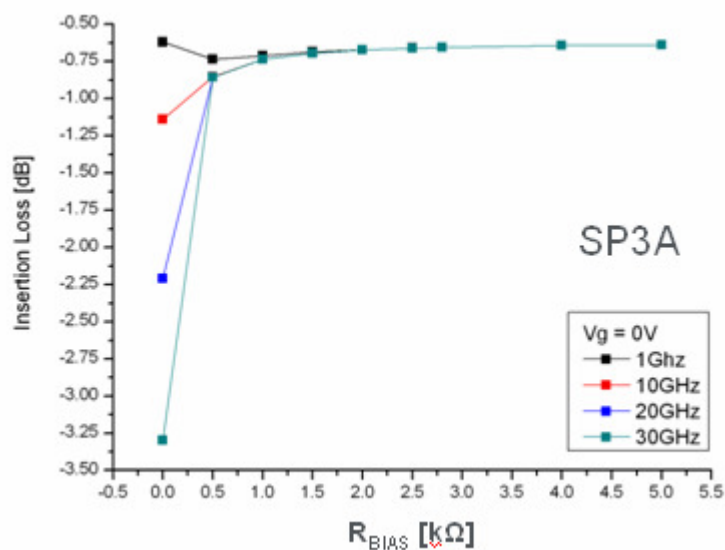


Figura 3.2-13 –Confronto tra misure sperimentali e simulazioni dell’Insertion Loss e Isolamento.

Tramite il circuito equivalente, ed in particolare tramite le misure di capacità viste finora, è possibile infine quantificare l’importanza della resistenza di Bias sul Gate, e dunque l’accoppiamento con il segnale RF, ponendola in relazione al tempo di Switch del dispositivo. Abbiamo detto in precedenza che tale resistenza ha solitamente un valore di qualche  $k\Omega$ . In particolare, nel nostro caso è stato scelto il valore di  $3k\Omega$ , che corrisponde ad un tempo di Switch approssimativo di circa  $\tau=5.4ns$  se consideriamo che la  $C_{ABC}$  misurata è circa  $1.93pF/mm$  su questo wafer. Tramite il circuito equivalente sono stati simulati, al variare della resistenza di Bias e della frequenza, gli andamenti dell’Insertion Loss quando lo Switch è nello stato ON. Il risultato, specifico per il dispositivo con  $W_G=3 \times 50\mu m$ , è mostrato in Figura 3.2-14.





**Figura 3.2-14 – Influenza della resistenza di bias sull'accoppiamento del segnale RF con il Gate.**

Si può subito notare come, in assenza di resistenza  $R_{BIAS}$ , all'aumentare della frequenza si ha un accoppiamento tale con il Gate da avere un incremento dell'Insertion Loss di circa 2.5dB. Si può inoltre osservare come, da un certo valore in poi della  $R_{BIAS}$ , la frequenza diventi ininfluente sul valore dell'Insertion Loss, o perlomeno fino al valore di 30GHz considerato. In queste condizioni, possiamo dire che se scegliessimo una resistenza  $R_{BIAS}=1.3K\Omega$  invece di  $3K\Omega$ , fino a 30GHz non avremmo variazioni dell'accoppiamento del segnale ( $\Delta IL=0.06dB$ ), ma avremmo un abbassamento del tempo di Switch stimato fino a  $\tau'=2.5ns$ .

### 3.2.3 *Modello scalabile in funzione della geometria del Gate.*

Dopo aver ricavato un modello abbastanza accurato che risponde alla richiesta di ottenere informazioni attendibili riguardo alla stima delle prestazioni

RF quali Insertion Loss e Isolamento in funzione della periferia, è stato ricavato un andamento indicativo delle capacità parassite in funzione della tipologia del Gate per lo stato OFF. Considerato che per motivi legati alla richiesta di alte potenze è stata realizzata una struttura del Gate con Field Plate, sarà utile considerare separatamente i contributi della giunzione Schottky, che rappresenta il *piede del Gate* (Gate foot), e del Field Plate, che rappresenta la *testa del Gate* e quindi una struttura Metal-Insulator-Semiconductor (MIS) come mostrato nella Figura 3.2-1.

Nella maschera sono presenti diversi dispositivi con varie lunghezze di Gate (come ad esempio il TLMg) ed alcuni dispositivi che non hanno una barriera Schottky ma che invece hanno il contatto di Gate separato dalla superficie dell'AlGaN da un sottile strato di passivazione SiN (MIS). La diversa natura dei dispositivi Schottky e MIS permette di ottenere informazioni relative alla variazione delle capacità parassite nelle due diverse strutture in funzione della lunghezza del Gate quando il dispositivo si trova nello stato OFF. La dipendenza della capacità della testa e del piede di Gate in funzione della  $L_G$  nello stato OFF è riportato nella seguente Figura 3.2-15.

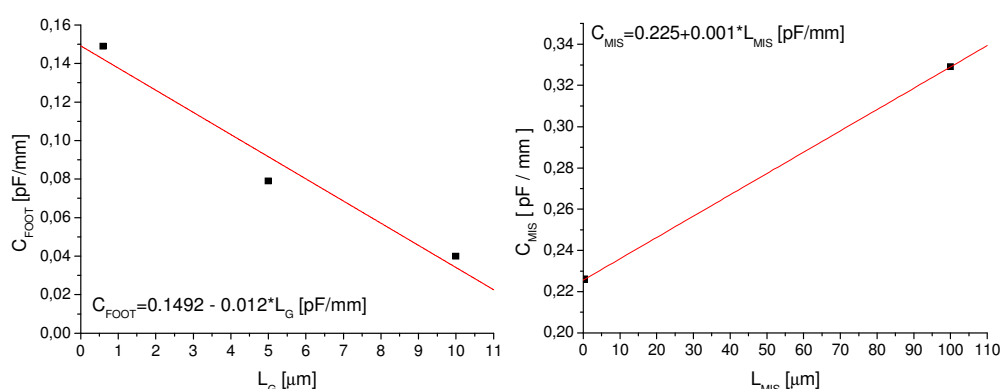


Figura 3.2-15 – Andamento della capacità del piede (sinistra) e della testa (destra) del Gate.

La scalabilità nello stato ON permette dunque di capire qual è l'influenza della resistenza  $R_{ON}$  sulle prestazioni dello Switch in funzione della periferia,

della bontà della resistenza di contatto, della resistenza di strato nel canale e della sua lunghezza, nonché dalla lunghezza del Gate.

Nello stato OFF, invece, sarà importante valutare gli effetti del Field Plate sull'Isolamento, dato che quest'ultimo dipende fortemente dalle capacità parassite, ed effettivamente il Field Plate ne introduce due abbastanza evidenti che sono strettamente correlate con la lunghezza del Field Plate stesso.

Sono state dunque messe a confronto le simulazioni di tre strutture diverse:

- 1) **T-Gate**: struttura standard, considerata fino ad ora, la quale comprende un doppio Field Plate (per simmetria);
- 2) **I-Gate**: struttura in cui è stato eliminato il Field Plate e che presenta dunque il solo contatto Schottky;
- 3) **MIS-Gate**: struttura che si poggia completamente sul Nitruro di Silicio sul quale poggiava in precedenza solo il Field Plate.

Le tre strutture sono riportate schematicamente in sezione nella Figura 3.2-16.

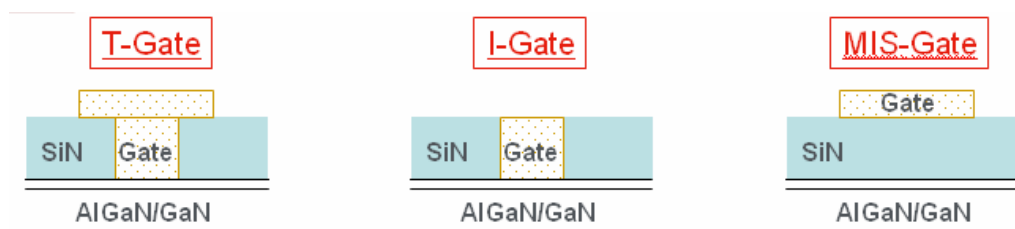


Figura 3.2-16 –Strutture simulate mediante il circuito equivalente scalabile.

Consideriamo inizialmente una simulazione in cui le tre strutture abbiano la stessa lunghezza di Gate totale, e cioè:

- T-Gate:  $L_G = 0.25\mu\text{m} + L_{\text{HEAD}} = 2 \times 0.2\mu\text{m}$ ;
- I-Gate:  $L_G = 0.6\mu\text{m}$ ;
- MIS-Gate:  $L_{\text{HEAD}} = 0.6\mu\text{m}$ .

Il risultato delle simulazioni, confrontato per completezza con la misura sperimentale, è riportato nella Figura 3.2-17 e nella Figura 3.2-18.

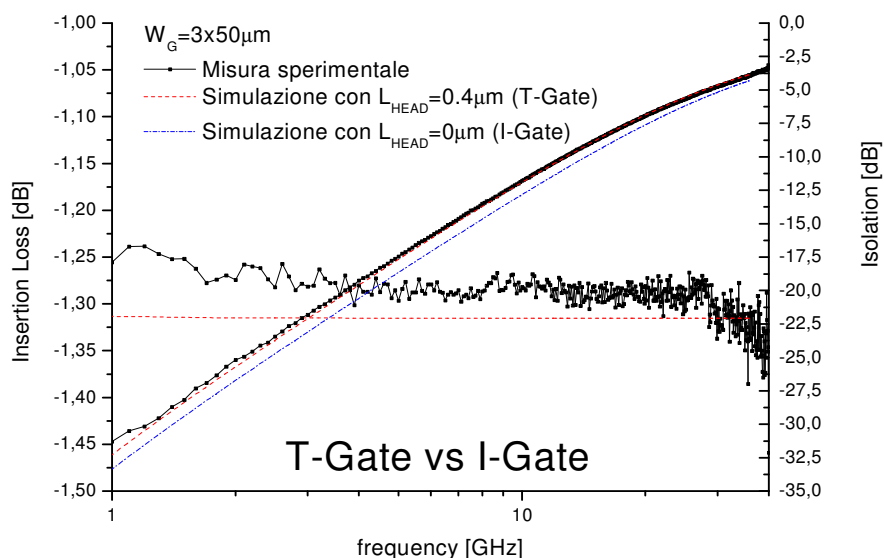


Figura 3.2-17 – Simulazione delle prestazioni della struttura I-Gate rispetto a quella T-Gate.

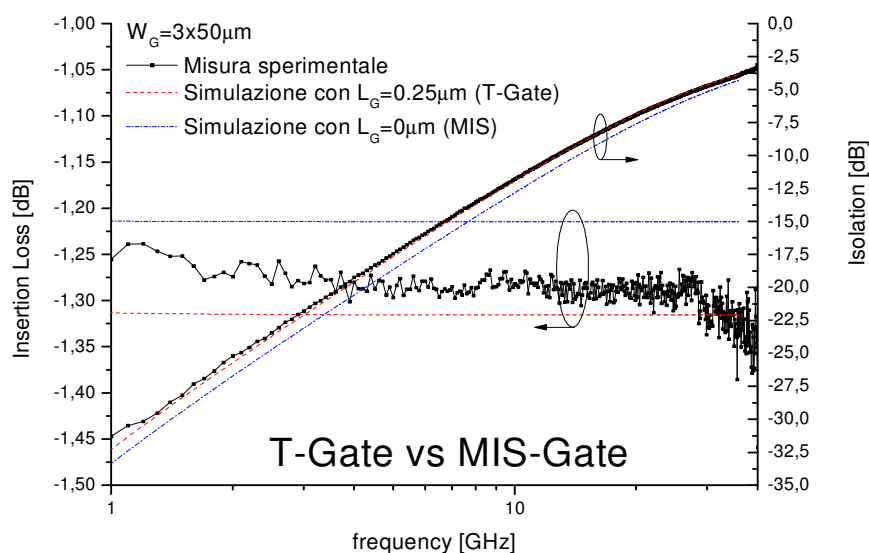


Figura 3.2-18 - Simulazione delle prestazioni della struttura MIS-Gate rispetto a quella T-Gate.

Nella Figura 3.2-17 si può notare come il passaggio da una struttura T-Gate che presenta due Field Plate, e dunque due capacità parassite che si sommano alla capacità della giunzione di Gate, ad una in cui queste capacità vengono rimosse porti dei benefici sotto forma di Isolamento, mentre non ci sono evidenti miglioramenti nell'Insertion Loss (le curve sono sovrapposte). Questo è facilmente intuibile dal fatto che il Field Plate non produce, almeno a  $V_G=0V$ , uno svuotamento del canale che possa giustificare una variazione della resistenza e dunque dell'IL.

Nella Figura 3.2-18 si può notare invece il confronto tra T-Gate e MIS-Gate, in cui appare evidente che l'assenza di una giunzione Schottky svuoti meno il canale, e dunque mostri un IL leggermente più basso in modulo, ed in più fornisca un Isolamento leggermente migliore (simile a quello ottenuto con la struttura I-Gate), grazie al fatto che l'elettrodo di Gate si trova a distanza maggiore dalla superficie, presentando dunque una capacità leggermente minore. Non avendo ottenuto, almeno dalla simulazione, un evidente miglioramento nelle prestazioni RF, è stata effettuata una nuova simulazione delle tre strutture al variare della lunghezza di Gate, cercando di mantenere inalterata la capacità  $C_{GS}$  (o  $C_{GD}$ ) del dispositivo nello stato OFF, e trovando quindi le dimensioni:

- T-Gate:  $L_G=0.25\mu m + L_{HEAD}=2 \times 0.2\mu m$ ;
- I-Gate:  $L_G=0.5\mu m$ ;
- MIS-Gate:  $L_{HEAD}=0.9\mu m$ .

Il risultato è riportato in Figura 3.2-19, in cui si nota subito come all'aumentare della lunghezza del Gate l'Isolamento migliori notevolmente.

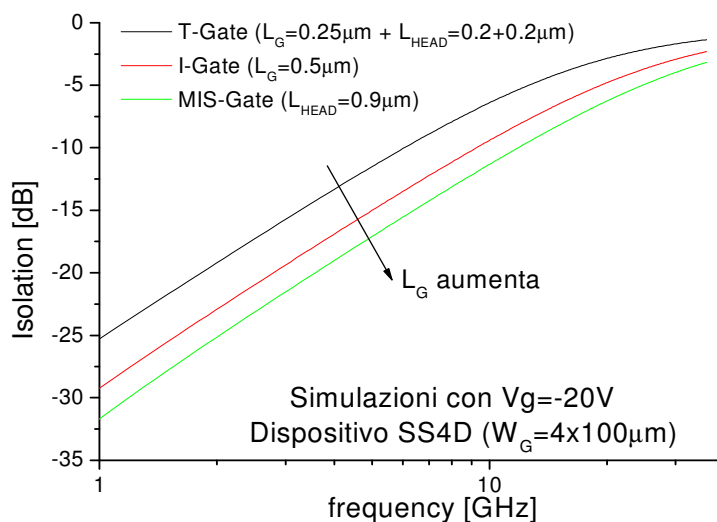


Figura 3.2-19 – Simulazione delle strutture T-Gate, I-Gate e MIS-Gate al variare della lunghezza  $L_G$ .

Questo si spiega facilmente se consideriamo ad esempio la struttura di Figura 3.2-20, in cui sono presenti due contatti ohmici separati tra loro da una zona isolata.

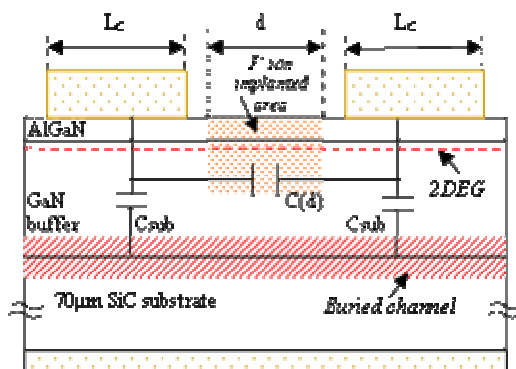
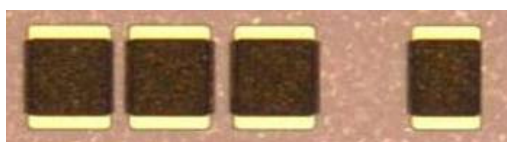


Figura 3.2-20 – Rappresentazione schematica della capacità tra pad isolati e verso il substrato.

Questa è teoricamente la configurazione che si presenta quando il Gate dello Switch è polarizzato inversamente, e dunque quando il dispositivo si trova nello stato OFF. Si può notare come la capacità misurata in questa condizione tra i due contatti ohmici sia legata alle capacità di accoppiamento con il substrato  $C_{\text{SUB}}$  e

come dipenda dalla capacità  $C(d)$  la quale è funzione della distanza  $d$  tra i contatti, o in questo caso dalla larghezza della zona isolata. Questo vuol dire che, a parità di condizioni, maggiore è la distanza  $d$  e minore sarà la capacità misurata. Analogamente al caso dello Switch, maggiore sarà la lunghezza del Gate e minore sarà la capacità parassita nello stato OFF, e di conseguenza si otterrà un migliore Isolamento.

Questa ipotesi è stata verificata mediante la struttura test presente sul wafer mostrata in Figura 3.2-21, la quale presenta tre gap isolati a distanza sempre maggiore e pari a  $d=5, 10$  e  $100\mu\text{m}$ .



Parameter	Wafer A
$C_{ISOL} (d=5\mu\text{m})$ [fF]	12.6
$C_{ISOL} (d=10\mu\text{m})$ [fF]	9.9
$C_{ISOL} (d=100\mu\text{m})$ [fF]	2.6
$C_{DS}$ [pF/mm]	0.102
$C_{OFF}$ [pF/mm]	0.283

Figura 3.2-21 – Struttura a pad isolati con distanza crescente tra loro.





# CAPITOLO 4

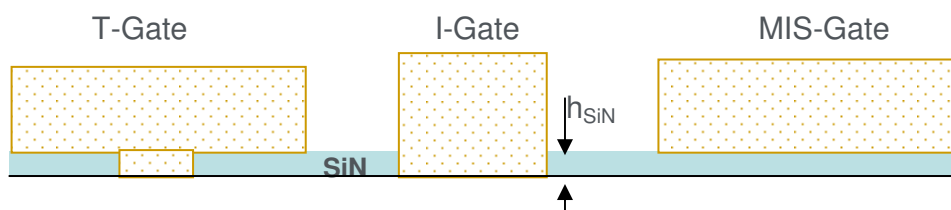
## VALIDAZIONE DEL MODELLO DI SIMULAZIONE



## 4.1 Risultati sperimentali.

Per validare il modello sviluppato è stato completo il processo di un secondo wafer, identificato come Wafer B. Ovviamente, così come da premessa, lo scopo del modello non è quello di avere l'esatto valore dell'Isolamento o dell'IL dei dispositivi Switch, ma di avere uno strumento in grado di fornire un trend al variare delle grandezze fisiche in gioco, quali la geometria del Gate, la periferia e le altre grandezze riconducibili ai componenti passivi che possono essere considerati elementi costitutivi di uno Switch.

Dunque, in base alle simulazioni, il Wafer B è stato processato con una maschera che ha permesso la variazione del contatto di Gate al fine di realizzare contemporaneamente le tre tipologie T-Gate, I-Gate e MIS-Gate precedentemente simulate (vedi Figura 4.1-1).



**Figura 4.1-1 – Diversi layout del Gate realizzati sullo stesso Wafer B.**

L'integrazione delle diverse tipologie di Gate sullo stesso wafer è resa possibile dal fatto che la realizzazione del contatto Schottky del Gate avviene mediante etch in plasma del SiN attraverso il quale viene in seguito evaporato il metallo, mentre nel caso del MIS questo passaggio in plasma non è necessario, perché il metallo poggerà al di sopra della passivazione. In ogni caso, possiamo sicuramente affermare che i processi realizzativi del Gate Schottky e MIS sono assolutamente compatibili con i processi realizzativi per i dispositivi attivi, e dunque perfettamente integrabili su un singolo circuito monolitico.

## 4.2 Caratterizzazione DC.

Una prima caratterizzazione DC ha permesso di evidenziare le differenze principali tra le diverse tecnologie di Gate. Il confronto tra i dati misurati è riportato in Tabella 4.2-1.

Parameter	T-Gate	I-Gate	MIS-Gate
$I_{DSS}$ [mA/mm] ( $V_{GS}=0V$ )	620	570	720
$I_{MAX}$ [mA/mm] @ $V_{GMAX}$ [V]	710@+1	670@+1	1000@+5
$I_{Grev}$ [ $\mu$ A/mm] ( $V_{GS}=-30V$ )	2.8	2.3	<1nA
$V_{PO}$ [V] (1mA/mm)	-4.3	-3.8	-13.9
$V_B$ [V] ( $\geq 100\mu$ A/mm)	130	85	110
$R_{ON}$ [ $\Omega \cdot$ mm]	2.20	2.30	2.35
$C_G^{ON}$ [pF/mm]	2.17	2.03	2.84
$C_{GS}^{OFF}=C_{GD}^{OFF}$ [pF/mm]	0,255	0,255	0,235
$C_{DS}^{OFF}$ [pF/mm]	0,286	0,151	0,080
$C_{OFF}$ [pF/mm] ( $V_{GS}=-30V$ )	0.445	0.236	0.160
$F_c \equiv \frac{1}{2\pi R_{ON} C_{OFF}}$ [GHz]	176	257	366

Tabella 4.2-1 – Confronto delle prestazioni DC tra le tre tipologie di Gate.

In questa tabella ci sono diversi risultati importanti che vanno sottolineati:

- $I_{DSS}$ ,  $I_F$ ,  $R_{DS}$ ,  $V_{PO}$ : la corrente di saturazione è abbastanza variabile tra le tre tecnologie per diverse ragioni. La differenza tra T-Gate ed I-Gate, presentando entrambi una giunzione Schottky rettificante che svuota parzialmente il canale, è dovuta alla differente lunghezza del piede  $L_G$ . Difatti, avendo la struttura I-Gate un piede  $L_G=0.5\mu$ m rispetto a  $L_G=0.25\mu$ m del T-Gate, avrà di conseguenza un canale più svuotato, una resistenza  $R_{DS}$  maggiore (che si può constatare confrontando le  $R_{ON}$ ) ed una tensione di pinch-off più bassa grazie al fatto che si dovrà svuotare una carica minore nel canale. Le differenze notevoli con la struttura MIS

si possono ricondurre al fatto che l'assenza della barriera Schottky porta ad avere uno svuotamento molto minore, e dunque una carica maggiore nel canale, da cui una maggiore corrente, una minore resistenza (anche se in questo caso la maggiore lunghezza del Gate porta ad avere un valore confrontabile con gli altri) ma chiaramente una tensione di pinch-off molto maggiore, funzione dello spessore del SiN e dunque della distanza tra Gate e canale. E' molto importante notare come la struttura MIS, grazie alla presenza di un isolante tra il Gate ed il semiconduttore, possa essere polarizzata in forward senza alcun leakage mostrando correnti massime  $I_F$  fino a circa 1 A/mm, a differenza delle altre strutture in cui si utilizza una barriera Schottky che, se polarizzata direttamente, viene portata rapidamente in conduzione con un conseguente passaggio di corrente diretta. Questo è un fenomeno molto importante di cui va tenuto conto, soprattutto nel momento in cui allo Switch vengono applicati segnali di potenza tali da indurre fenomeni di autopolarizzazione del Gate portandolo in possibili condizioni di polarizzazione diretta.

- $I_{Grev}$ : la corrente di leakage del Gate, misurata alla tensione  $V_G = -20V$ , è confrontabile tra le due strutture Schottky, ed è praticamente nulla nella struttura MIS grazie alla presenza dello strato di SiN isolante sotto al contatto di Gate.
- $V_B$ : la tensione di breakdown ovviamente è un parametro chiave per i dispositivi di potenza, essendo un parametro strettamente correlato all'affidabilità del dispositivo stesso. Si vede chiaramente che, come spiegato nei capitoli precedenti, l'effetto del Field Plate riduce notevolmente il campo elettrico al di sotto del Gate, e questo si trasforma direttamente in un beneficio per la massima potenza che il dispositivo riesce a gestire ed in una tensione di breakdown nettamente superiore a quella che si misura nella struttura I-Gate senza Field Plate. Mentre, però, le strutture Schottky presentano un soft e hard breakdown, che per

definizione sono definiti come la tensione inversa per la quale si ha un effetto rispettivamente reversibile ed irreversibile nel degrado delle prestazioni del dispositivo, nella struttura MIS è osservabile solo l'hard breakdown, determinato dalla tensione di rottura del dielettrico e tanto maggiore quanto più alto è il suo spessore. Nel nostro caso specifico, lo spessore di SiN utilizzato ha portato ad avere una tensione di breakdown paragonabile con la struttura T-Gate.

- $R_{ON}$ ,  $C_{OFF}$ ,  $F_C$ : come già detto, la  $R_{ON}$  è correlata con la resistenza  $R_{DS}$ . Si può notare invece come, a parità di  $C_{GS}/C_{GD}$  (condizione sulla quale si sono basate le simulazioni RF) si ha una  $C_{DS}^{OFF}$  molto variabile tra le tre strutture. Questo è principalmente dovuto all'effetto discusso nel capitolo precedente sulle diverse prestazioni al variare della  $L_G$ . Questo fenomeno porta ad avere dunque un miglioramento notevole della  $F_C$ , con l'aumentare della  $L_G$  ovvero nel caso di struttura MIS.

Infine, possiamo supporre che la struttura MIS, avendo una capacità che si aggiunge in serie a quella introdotta dallo strato AlGaIn, avrà una capacità più bassa vista dal Gate, e questo a beneficio del tempo di Switch, come mostrato in Figura 4.2-1.

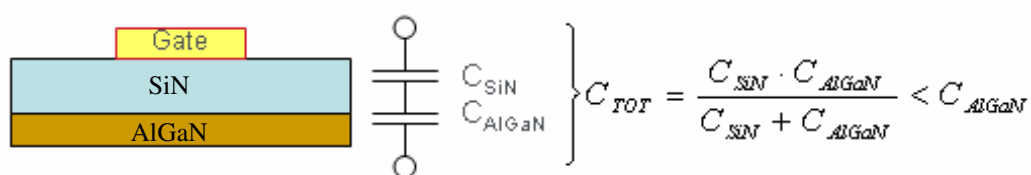


Figura 4.2-1 – Riduzione della capacità parassita vista dal Gate legata alla presenza del SiN.

### 4.3 Caratterizzazione RF a piccolo segnale

I risultati sperimentali RF a piccolo segnale del Wafer B, confrontati con le simulazioni effettuate, sono riportati in Figura 4.3-1.

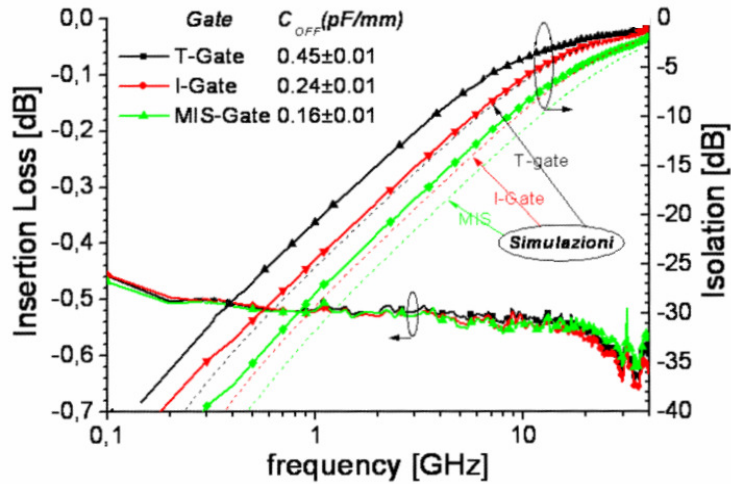


Figura 4.3-1 – Confronto tra le simulazioni predittive del circuito scalabile ed i risultati sperimentali del Wafer B.

Per quanto riguarda l’Insertion Loss, le variazioni tra simulazione e misura sperimentale sono praticamente trascurabili. Le variazioni nell’Isolamento sono invece da ricondursi alla differente struttura epitassiale del wafer utilizzato nel processo B rispetto al wafer A utilizzato nell’estrazione del modello. Infatti, confrontando le misure della struttura isolata ottenuta sul wafer B con quella del Wafer A (Tabella 4.3-1), ci si può rendere conto che l’influenza del buffer è maggiore nel wafer B rispetto al precedente.

Parameter	Wafer A	Wafer B
$C_{ISOL}$ (d=5 $\mu\text{m}$ ) [fF]	12.6	48.3
$C_{ISOL}$ (d=10 $\mu\text{m}$ ) [fF]	9.9	48
$C_{ISOL}$ (d=100 $\mu\text{m}$ ) [fF]	2.6	8.8
$C_{DS}$ [pF/mm]	0.102	0.286
$C_{OFF}$ [pF/mm]	0.283	0.455

Tabella 4.3-1 – Confronto tra le capacità parassite  $C_{ISOL}$  e  $C_{OFF}$  misurate sul Wafer A e B.

La maggiore capacità  $C_{ISOL}$ , che tiene conto dell'effetto del buffer, mostra come questo si ripercuota sull'Isolamento, strettamente correlato con la capacità parassita  $C_{DS}$  da cui si ricava la  $C_{OFF}$ . Ad ogni modo, possiamo notare come la simulazione abbia dato il giusto trend rispetto ai dati sperimentali e come la differenza delle prestazioni al variare della tecnologia di Gate abbia praticamente lo stesso andamento tra misura e simulazione:

<u>Variazione isolamento</u>		
	Sim.	Misura
$\Delta(T-I)$	= 3.1dB	3.4dB
$\Delta(I-MIS)$	= 2.4dB	2.8dB

Sulla base dei risultati ottenuti su questo wafer, è possibile arrivare alle seguenti conclusioni:

- il Field Plate migliora la tensione di breakdown, ma introduce delle capacità parassite che aumentano la  $C_{OFF}$ , e di conseguenza riducono l'Isolamento;
- una maggiore  $L_G$  migliora la  $C_{OFF}$  dello Switch.

Per un'ulteriore ottimizzazione dei risultati è stato dunque avviato il processo di un terzo Wafer C dove sono state realizzate delle strutture I-Gate e MIS-Gate con  $L_G=1\mu m$  in modo da avere una conferma sperimentale di quanto previsto e per esaltare il confronto delle prestazioni tra le due tecnologie a piccolo segnale ed in potenza mediante una lunghezza di Gate maggiore.

I risultati conseguiti sul Wafer, B ed in particolare il confronto tra simulazione e caratterizzazione elettrica DC ed RF a piccolo segnale sono stati oggetto di una presentazione e relativa pubblicazione alla European Microwave Week di Roma del 2009.



# CAPITOLO 5

## SWITCH DUAL-GATE



## 5.1 *Struttura Dual-Gate e simulazioni.*

Abbiamo visto in precedenza come la variazione della periferia di uno Switch in realtà non cambi la  $F_C$  del dispositivo a causa del fatto che al variare della  $W_G$  variano contemporaneamente, e nella stessa misura, sia l'Insertion Loss che l'Isolamento. Questo conferma che la figura di merito è esclusivamente funzione della tipologia di Switch, e non della sua periferia. E' stato dunque mostrato come al variare della periferia varino le caratteristiche RF a piccolo segnale, e questo può essere sfruttato come linea guida per la scelta della periferia di Gate nel momento in cui si abbia la necessità di dimensionare uno Switch per una determinata funzione Serie o Shunt. La scelta mirata al miglioramento della  $F_C$  ricadrà dunque su due possibilità:

- 1) scegliere una piccola periferia, in cui si riduce la capacità parassita, e cercare di ridurre la resistenza che in questo caso è relativamente alta;
- 2) scegliere una grande periferia, in cui la resistenza parassita è bassa, e cercare di ridurre la capacità.

Tra le due soluzioni, probabilmente la seconda è più semplice ed utile, se si tengono conto le implicazioni relative alle applicazioni di potenza. Ci sono diversi metodi che vengono usati per ridurre la capacità  $C_{OFF}$ :

### ***A) Metodo della risonanza induttiva [5.1]***

Questo metodo consiste nel posizionare un induttore in parallelo con lo Switch come mostrato in Figura 5.1-1, per cui quando questo si troverà nello stato OFF realizzerà una risonanza parallela L-C che riduce la capacità totale dello Switch. In realtà, il dimensionamento della risonanza è valido in una banda relativamente stretta.

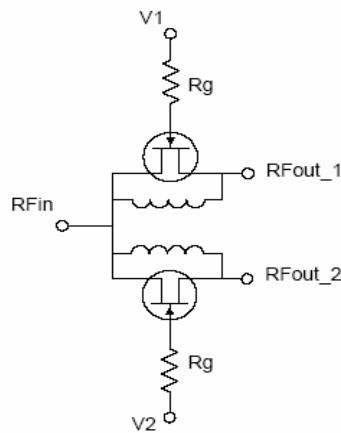


Figura 5.1-1 – Schema circuitale della risonanza induttiva.

**B) Metodo dello Switch Serie [5.1]**

Come mostrato nel circuito di Figura 5.1-2, si inseriscono due Switch in cascata in modo tale da avere, nello stato OFF, due capacità  $C_{OFF}$  uguali ed in serie tra loro che diano una capacità equivalente teoricamente pari alla metà della  $C_{OFF}$  del singolo dispositivo.

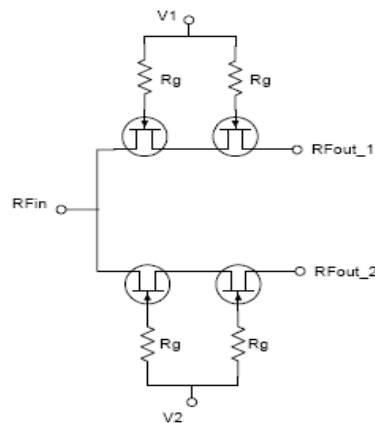
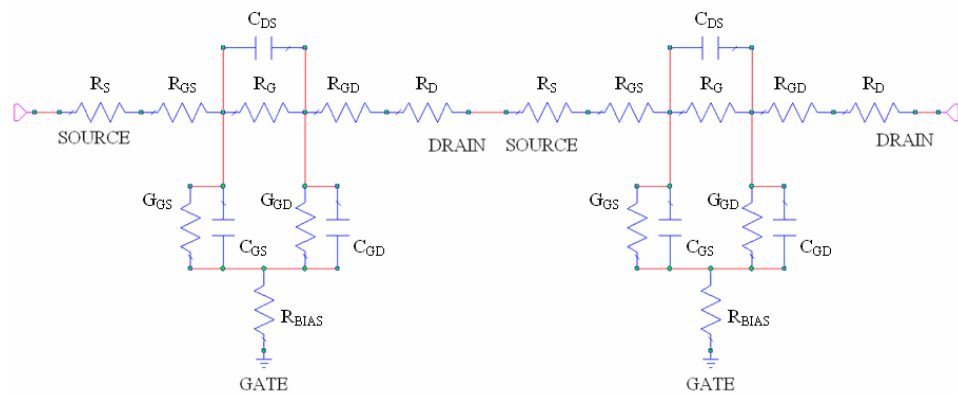


Figura 5.1-2 – Schema circuitale di due Switch in cascata.

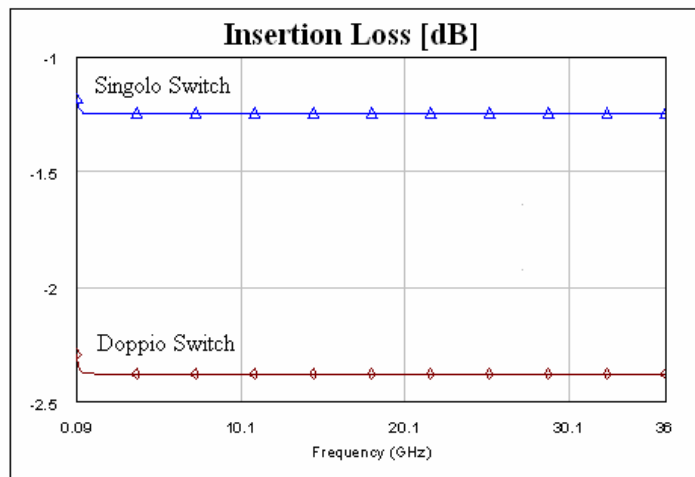
In questo caso, però, si ottiene esattamente il doppio della resistenza  $R_{ON}$ , e dunque anche dell'Insertion Loss. Inoltre, in questo modo viene raddoppiato anche l'ingombro del circuito.

Questo comportamento è stato comunque simulato mediante il circuito equivalente mettendo due circuiti identici in cascata e simulando il comportamento a piccolo segnale, come mostrato in Figura 5.1-3 per il dispositivo SP3A ( $W_G=3 \times 50 \mu\text{m}$ ).

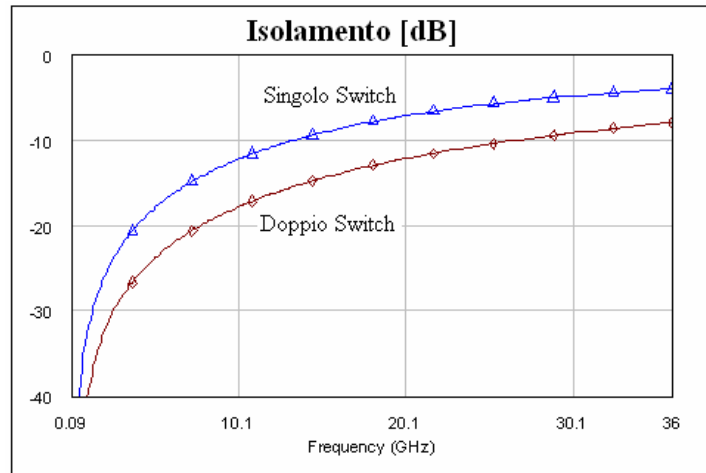


**Figura 5.1-3 – Simulazione mediante due circuiti equivalenti in cascata.**

Il comportamento RF dato dalle simulazioni è mostrato in Figura 5.1-4 ed in Figura 5.1-5.



**Figura 5.1-4 – Confronto tra le simulazioni dell'IL tra singolo e Dual-Gate.**

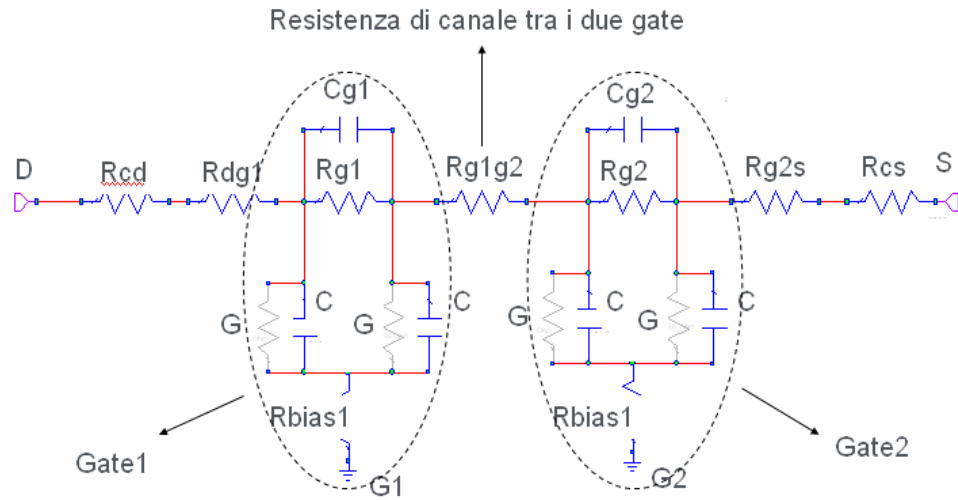


**Figura 5.1-5 - Confronto tra le simulazioni dell'Isolamento tra singolo e Dual-Gate.**

Si vede dunque come la serie di due Switch porti ad un miglioramento di circa 5dB nell'Isolamento a 10GHz, a fronte di un peggioramento dell'Insertion Loss di circa il 100%. Ovviamente questi sono dati teorici che andrebbero confermati sperimentalmente.

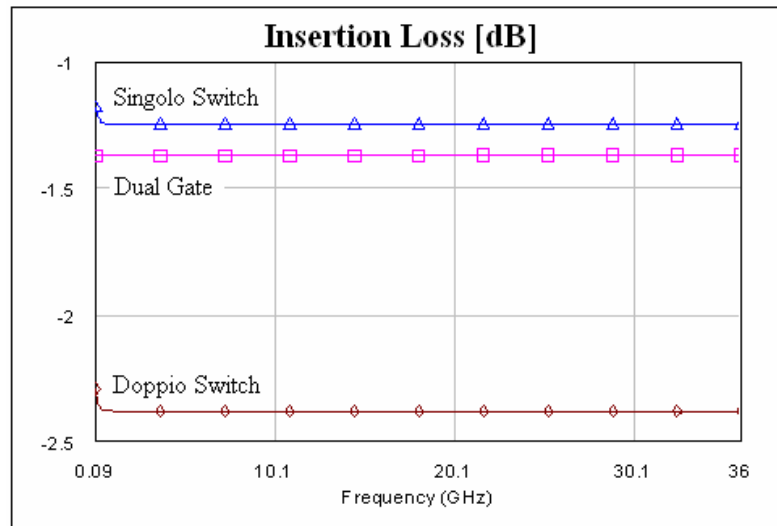
### **C) Metodo dello Switch Dual-Gate**

Questo metodo viene per la prima volta proposto in questo lavoro di Dottorato e tiene in considerazione, al posto di due Switch in cascata, un singolo Switch nel cui canale vengono realizzati due Gate identici tra loro sia come geometria che come tensioni di polarizzazione. In questo modo, dimensionando adeguatamente la lunghezza del canale e lo spazio tra i due Gate al fine di permetterne la reale fabbricazione, si avranno i benefici del doppio Switch in termini di Isolamento, ed un aumento dell'Insertion Loss che non sarà uguale al doppio della resistenza  $R_{DS}$  ma ad un valore più basso, non avendo fisicamente il doppio dei contatti ohmici e quindi delle resistenze di contatto.



**Figura 5.1-6 - Simulazione del Dual-Gate sulla base del circuito equivalente del Gate singolo.**

Anche in questo caso è stata effettuata una simulazione al circuito equivalente come mostrato in Figura 5.1-6, in cui è stato considerato un canale leggermente più lungo per garantire una distanza di sicurezza tra i due Gate e tra il Gate ed i contatti ohmici.



**Figura 5.1-7 – Confronto dell’IL tra singolo, doppio e Dual-Gate.**

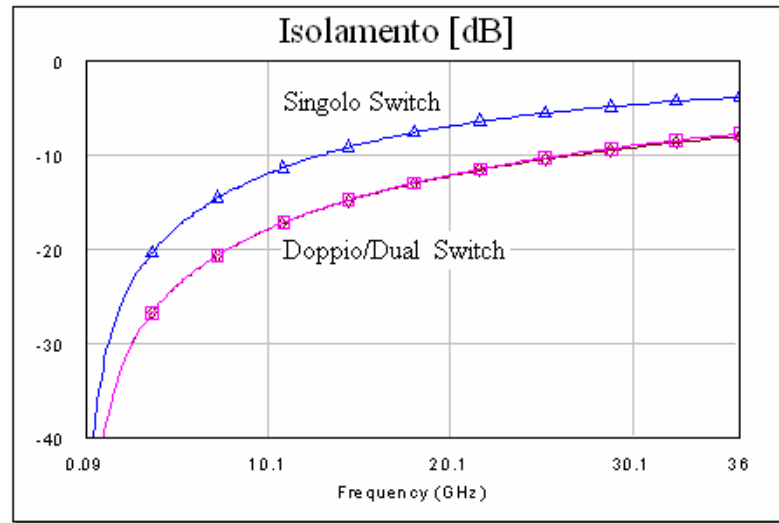


Figura 5.1-8 – Confronto dell’Isolamento tra singolo, doppio e Dual-Gate.

I risultati delle simulazioni sono riportati in Figura 5.1-7 e Figura 5.1-8. In Tabella 5.1-1 è riportato un confronto tra i valori ottenuti dal metodo 2 e dal metodo 3:

CONFRONTO RISULTATI SIMULAZIONI		
	Insertion Loss [dB]	Isolamento a 10GHz [dB]
Singolo Gate	-1,25	-12,24
Doppio switch serie	-2,38	-17,74
Dual Gate	-1,37	-17,74

Tabella 5.1-1 – Confronto tra valori simulati di IL e Isolamento per le tre configurazioni.

Si vede dunque come l’introduzione del Dual-Gate porti, come nel caso del doppio Switch serie, ad un miglioramento di circa 5dB nell’Isolamento a 10GHz, mentre il peggioramento dell’Insertion Loss è circa il 10% e quindi quasi trascurabile rispetto alla precedente soluzione



Inoltre per il Dual-Gate la dimensione occupata dal dispositivo è praticamente la stessa di quella del singolo Switch.



# CAPITOLO 6

## REALIZZAZIONE E CARATTERIZZAZIONE SWITCH DUAL-GATE



## 6.1 Risultati sperimentali del Wafer C.

La nuova maschera di Switch è stata dunque realizzata secondo la procedura standard GaN-HEMT di SELEX-SI descritta in precedenza, dove per validare le simulazioni effettuate sulle strutture Dual-Gate sviluppate è stato completo il processo di un terzo wafer, identificato come Wafer C, su cui ancora una volta gli Switch Schottky, MIS ed i dispositivi attivi sono stati realizzati contemporaneamente sullo stesso wafer a dimostrazione dell'integrabilità anche rispetto agli Switch Dual-Gate. Inoltre, sulla base delle premesse del capitolo precedente, su questo wafer sono stati realizzati Switch di periferia molto grande ( $W_G=6 \times 300 \mu\text{m}$ ), insieme a dispositivi Switch di tipo Shunt con configurazione a singolo e Dual-Gate. Alcuni dei modelli realizzati con la periferia maggiore sono mostrati in Figura 6.1-1 e Figura 6.1-2.

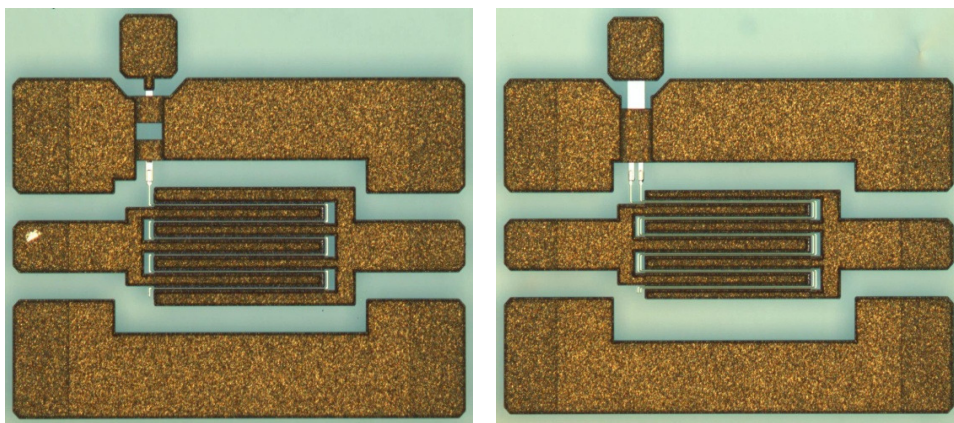


Figura 6.1-1 – Switch Serie con  $W_G=6 \times 300 \mu\text{m}$  in configurazione Singolo e Dual-Gate (per cortesia di SELEX-SI).

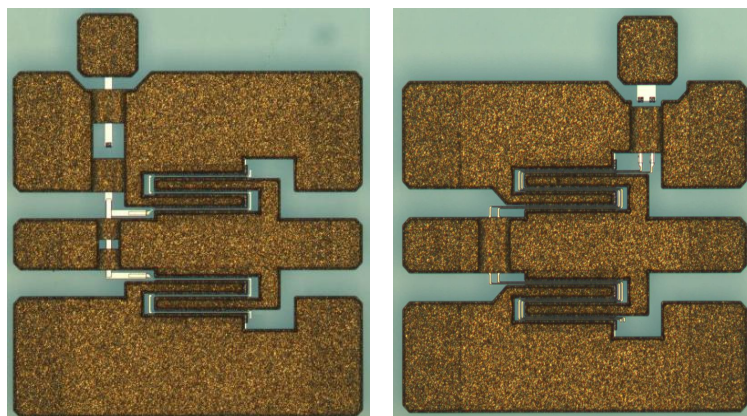


Figura 6.1-2 – Switch Shunt con  $W_G=6 \times 150 \mu\text{m}$  in configurazione Singolo e Dual-Gate (per cortesia di SELEX-SI).

## 6.2 Caratterizzazione DC.

Analogamente a quanto osservato per il Wafer B, si possono notare in Tabella 6.2-1 gli stessi andamenti riscontrati in Tabella 4.2-1, almeno nel confronto tra I-Gate e MIS-Gate in configurazione Single-Gate.

Parameter	I-Gate		MIS-Gate	
	Single	Dual	Single	Dual
$I_{DSS}@V_{GS}=0V$ [mA/mm]	653	495	1160	952
$I_{MAX}@V_{GMAX}$ [mA/mm]	850 @+1V	652 @+1V	1370 @+5V	1120 @+5V
$R_{DS}$ [ $\Omega$ -mm]	3.8	5.33	2.98	4.53
$C_{OFF}$ [pF/mm]	0.197	0.138	0.167	0.117
$F_C$ [GHz]	212	216	319	300
$I_{Grev}@V_{GS}=-20V$	5 $\mu\text{A}/\text{mm}$		<1 nA/mm	
$V_{PO}@1\text{mA}/\text{mm}$ [V]	-3.7		-13	
$V_{BGD}@1\text{mA}/\text{mm}$ [V]	70		130	

Tabella 6.2-1 – Confronto tra le misure DC del singolo e Dual-Gate per le configurazioni I-Gate e MIS.

Nel passaggio da singolo a Dual-Gate, si vede chiaramente come aumenti la resistenza  $R_{DS}$  a causa della maggiore lunghezza del canale, senza però raddoppiare come invece sarebbe accaduto nel caso di due Switch in cascata. Il valore della  $C_{OFF}$ , invece, diminuisce anche se meno di quanto previsto, lasciando praticamente inalterato il valore della  $F_C$ .

In Figura 6.2-1 si può comunque notare in maniera più immediata la grande differenza delle correnti in gioco tra MIS e Schottky, dove la possibilità di polarizzazioni in forward senza rischiare la rottura del dispositivo lo rendono più robusto al Power Sweep e meno sensibile all'autopolarizzazione del Gate.

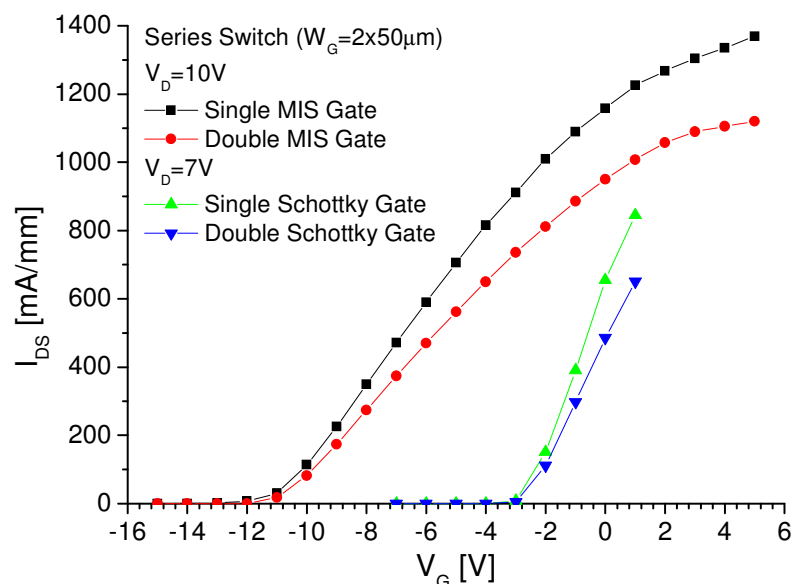


Figura 6.2-1 – Transcaratteristiche a confronto degli Switch Serie singolo e Dual-Gate.

### 6.3 Caratterizzazione RF a piccolo segnale.

I risultati sperimentali RF a piccolo segnale del Wafer C riportati in Figura 6.3-1 sono relativi agli Switch di tipo Serie con periferia più piccola

( $W_G=2 \times 50 \mu\text{m}$ ) a singolo e Dual-Gate, confrontando nello stesso tempo le prestazioni RF estrapolate dai parametri S relative allo stato ON e OFF degli Switch Schottky e MIS.

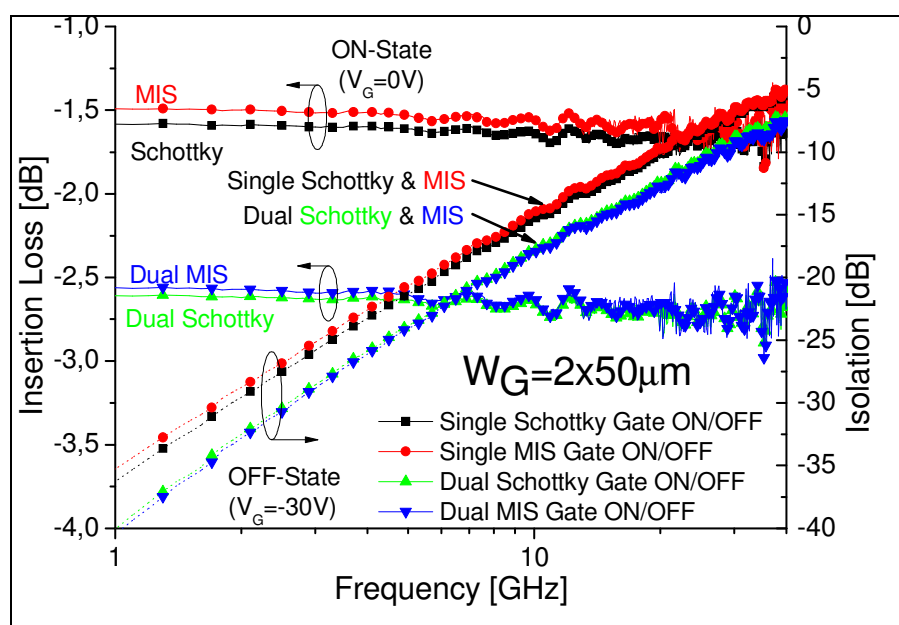
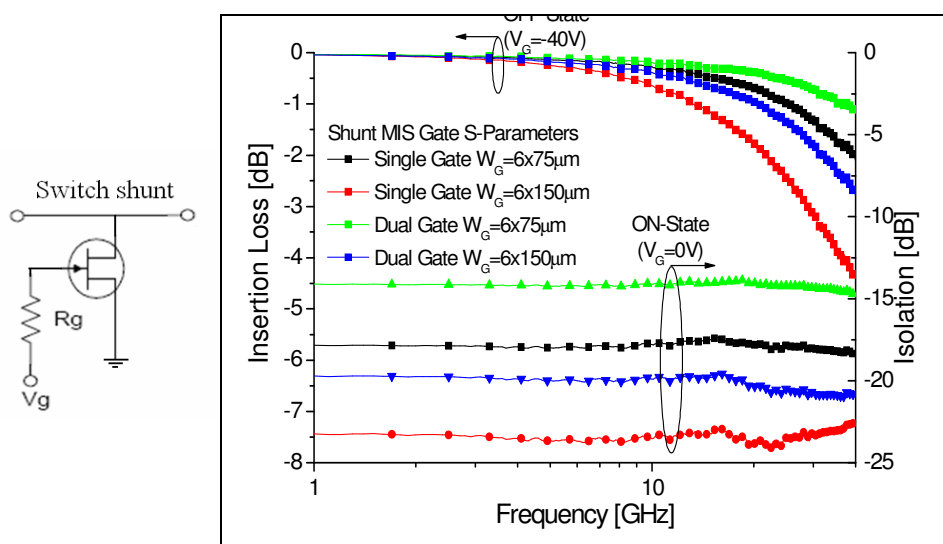


Figura 6.3-1 – Insertion Loss e Isolamento degli Switch  $W_G=2 \times 50 \mu\text{m}$  Serie in configurazione singolo e Dual-Gate nello stato ON e OFF.

La Figura 6.3-1 mostra in dettaglio quanto descritto schematicamente dalla Tabella 6.2-1 mediante i valori di  $R_{ON}$  e  $C_{OFF}$ . Difatti, si può notare come la resistenza  $R_{ON}$  leggermente minore del MIS, sia nel caso singolo che Dual-Gate, porti ad avere un'Insertion Loss più bassa, così come la  $C_{OFF}$  ancora una volta leggermente minore porti ad avere un Isolamento leggermente più alto. In generale, però, a piccolo segnale non è così evidente la differenza tra MIS e Schottky quanto la differenza tra singolo e doppio Gate. Si nota infatti per la soluzione a doppio Gate un aumento nella Insertion Loss pari al circa il 65%, molto maggiore rispetto al valore simulato, a fronte di un miglioramento dell'Isolamento di circa 3dB lungo tutto il range di frequenze considerate.



E' stato possibile effettuare un confronto anche rispetto agli Switch di tipo Shunt, come mostrato in Figura 6.3-2.



**Figura 6.3-2 - Insertion Loss e Isolamento degli Switch  $W_G=6x75\mu m$  e  $W_G=6x150\mu m$  Shunt in configurazione singolo e Dual-Gate nello stato ON e OFF.**

Facendo riferimento alla Figura 6.3-2 a sinistra, in cui è stato riportato per comodità lo schema di principio dello Switch Shunt, si può notare nella Figura 6.3-2 a destra un confronto tra due periferie di Switch Shunt ( $W_G=6x75\mu m$  e  $W_G=6x150\mu m$ ) in configurazione singolo e Dual-Gate. La logica di funzionamento è opposta rispetto allo Switch di tipo Serie: difatti, una tensione  $V_G=0V$  sul Gate pone lo Switch nello stato ON, e dunque la bassa resistenza  $R_{ON}$  vista dal segnale lo porterà verso massa mostrando un Isolamento verso l'uscita. Ovviamente, tanto minore sarà la resistenza  $R_{ON}$  e tanto migliore sarà l'Isolamento, come si può osservare in Figura 6.3-2 all'aumentare della periferia (e dunque al diminuire della  $R_{ON}$ ). Si nota inoltre come la presenza del Dual-Gate peggiori, in questa configurazione, l'Isolamento a causa della maggiore resistenza di canale: difatti, il dispositivo con peggiore Isolamento è proprio quello che presenta una periferia minore in configurazione Dual-Gate.

Viceversa, nello stato OFF lo Switch equivale ad una capacità. Questo vuol dire che il segnale arriverà in uscita attenuato solamente dalla resistenza della linea che collega l'ingresso con l'uscita, ma in Figura 6.3-2 si può notare che all'aumentare della periferia, la maggiore capacità parassita di Shunt  $C_{OFF}$  vista verso massa, aumenta l'accoppiamento del segnale con il Gate per le frequenze più alte. Possiamo dunque affermare che lo Switch MIS Single Gate con maggiore periferia mostra un migliore Isolamento, ma anche una maggiore dipendenza dalla frequenza oltre 8GHz a causa della maggiore  $C_{OFF}$ . Se invece consideriamo la stessa periferia nella configurazione Dual-Gate, possiamo notare un miglioramento nel comportamento in alta frequenza nello stato OFF, insieme ad un buon livello di Isolamento (-20dB).

## 6.4 Caratterizzazione RF ad ampio segnale

Le misure ad ampio segnale sono state realizzate mediante il banco di caratterizzazione MAURI Load-Pull ad una frequenza di 3GHz, sia nello stato ON che nello stato OFF, su strutture Serie con piccola periferia ( $W_G=2 \times 50 \mu\text{m}$ ) per riuscire a portare in compressione gli Switch prima dei 41dBm di potenza  $P_{IN}$  di ingresso, limite superiore del banco di misura.

In Figura 6.4-1 è possibile notare la differenza tra i livelli di compressione nello stato ON degli Switch MIS e Schottky I-Gate. Gli Switch MIS, grazie alla corrente  $I_{DSS}$  molto maggiore rispetto a quella misurata sui dispositivi Schottky, hanno un livello di compressione  $P_{1dBc}$  a potenze di ingresso di circa 39dBm rispetto ai circa 37dBm degli Schottky, i quali mostrano inoltre una compressione di tipo regressivo oltre tale potenza di ingresso.

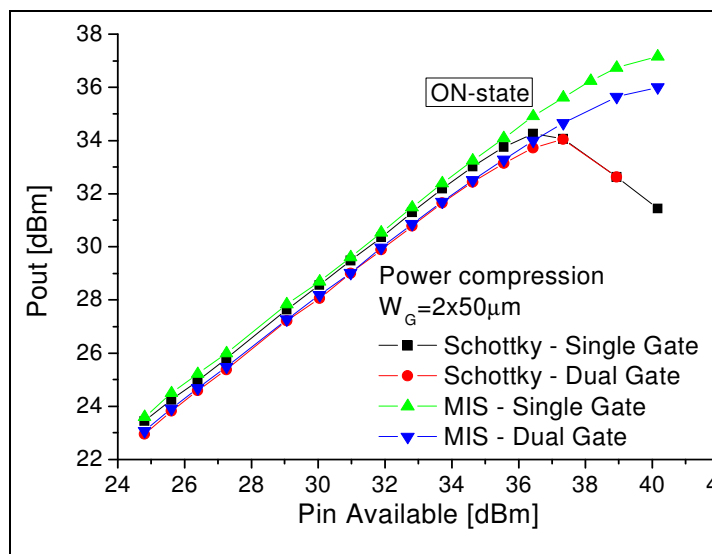


Figura 6.4-1 – Compressione RF nello stato ON.

Questo fenomeno è legato principalmente all'effetto di autopolarizzazione del Gate, che può essere di due tipi:

- $V_G > 0$ : la giunzione del Gate, che equivale ad un diodo, si trova polarizzata in *forward* e dunque una corrente di perdita scorre attraverso il Gate, invece che nel canale, con una conseguente diminuzione della potenza in uscita;
- $V_G < 0$ : la giunzione del Gate viene polarizzata in *reverse*, e dunque strozza parzialmente il canale provocando ancora una volta una diminuzione della corrente, e di conseguenza una perdita di potenza in uscita.

Nello stato OFF è ancora più evidente la differenza nelle prestazioni degli Switch MIS rispetto agli Schottky, come mostrato nella Figura 6.4-2 in cui è riportato anche lo stato ON in funzione del parametro  $|S_{21}|$ .

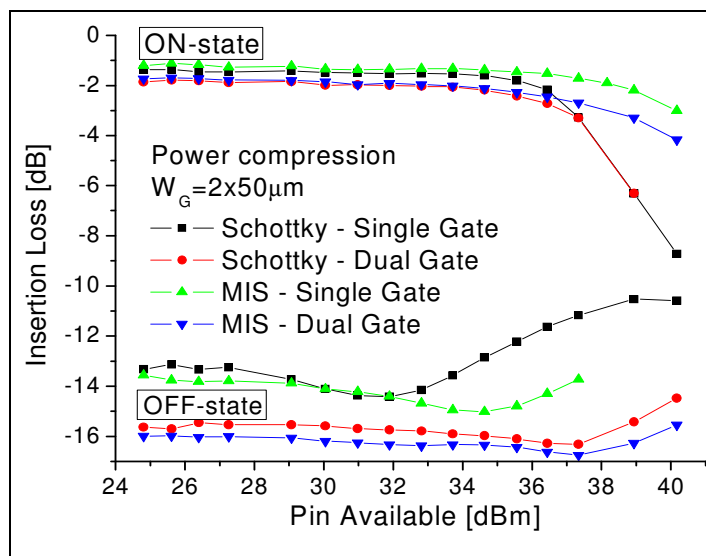


Figura 6.4-2 – Confronto delle prestazioni nello stato ON e OFF per gli Switch MIS e Schottky di tipo Serie nelle configurazioni singolo e Dual-Gate.

Si può notare ancora meglio la notevole differenza tra soluzione MIS e Schottky considerando che la potenza di uscita nello stato ON  $P_{1dBc}$ , è nel caso di MIS a singolo Gate è circa 80W/mm e per il MIS Dual-Gate è circa 70W/mm mentre per il caso Schottky non è mai superiore ai 50W/mm.

Nello stato OFF si può notare come il Dual-Gate, suddividendo la potenza sui due Gate, sia in grado di sostenere potenze molto maggiori degli Switch singoli, i quali presentano potenze  $P_{1dBc} < 36\text{dBm}$  mentre i Dual-Gate superano i 40dBm aumentando inoltre il livello di Isolamento di 3dB rispetto ai Gate singoli. Dunque, per applicazioni ad alta potenza, appaiono evidenti le ottime prestazioni degli Switch MIS / Dual-Gate.

I risultati conseguiti, ed in particolare la realizzazione di strutture innovative quali Switch di tipo Dual-Gate MIS, sono stati oggetto di una presentazione e relativa pubblicazione alla European Microwave Week di Parigi del 2010.

# CAPITOLO 7

## SWITCH COME POWER LIMITER



## 7.1 *Il Power Limiter realizzato con lo Switch Shunt*

La realizzazione di un MMIC che integri tutto il front-end radar può dunque essere resa possibile mediante la realizzazione su di un unico chip del circuito HPA di potenza, dell'amplificatore LNA e di un circuito SPDT composto da Switch di tipo MIS/Schottky in configurazione Single-Gate o Dual-Gate (Serie o Shunt), in grado di sostenere una potenza molto elevata garantendo un buon livello di Isolamento e Insertion Loss. E' stato detto in precedenza come nel front-end GaAs sia presente, all'ingresso del circuito LNA, un Power Limiter composto da diodi p-i-n per evitare che segnali troppo energetici lo portino alla rottura, ed è stato inoltre accennato come la maggiore robustezza dei circuiti realizzati su GaN possano far intravedere la possibilità di omettere tale protezione, ipotesi tanto più vera quanto maggiore è la periferia dell'amplificatore LNA. Ma una maggiore periferia comporta una maggiore figura di rumore del LNA e maggiori consumi. E' dunque consigliato l'utilizzo di periferie più piccole per applicazioni a basso rumore, e di conseguenza resta valida la soluzione di un Power Limiter anche nel caso di tecnologia su GaN. Per garantire ancora una volta l'integrabilità di questo componente nel MMIC, è stata ideata un'applicazione degli Switch di tipo Shunt che permette di limitare la potenza in ingresso all'amplificatore LNA in funzione della polarizzazione di Gate applicata sullo Switch.

E' stato mostrato in precedenza come, nel caso dell'analisi a largo segnale, la tensione di ottimo per la polarizzazione di Gate fosse esattamente nel mezzo della zona compresa tra la tensione di pinch-off ( $V_{PO}$ ) e quella di breakdown ( $V_{BD}$ ), perché era stato mostrato come, nel caso di polarizzazione inversa molto alta, si rischiasse di portare lo Switch verso il breakdown durante lo sweep di potenza mentre, viceversa, una tensione inversa troppo bassa rischiasse di portare la

differenza di potenziale tra Gate e Source ad un valore minore della tensione di  $V_{PO}$ , riportando il dispositivo in conduzione. Proprio quest'ultimo effetto, invece, è quello che può essere utilizzato per servirsi di uno Switch quale Power Limiter, come mostrato in Figura 7.1-1.

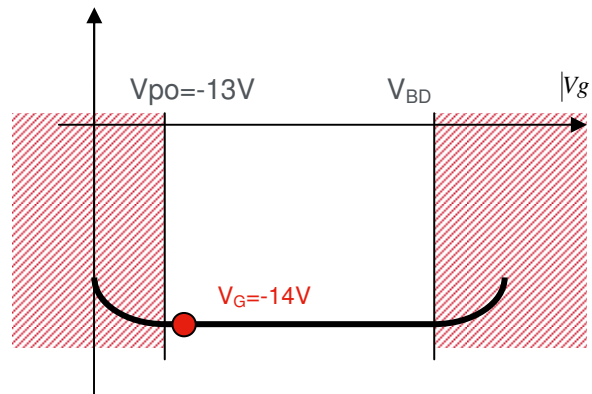


Figura 7.1-1 – Applicazione dello Switch come Power Limiter se polarizzato ad una tensione di Gate vicina al pinch-off.

Difatti, la distanza della tensione di Gate da quella di pinch-off determina il livello di potenza al di sopra del quale lo Switch Shunt entra in conduzione portando il segnale verso massa.

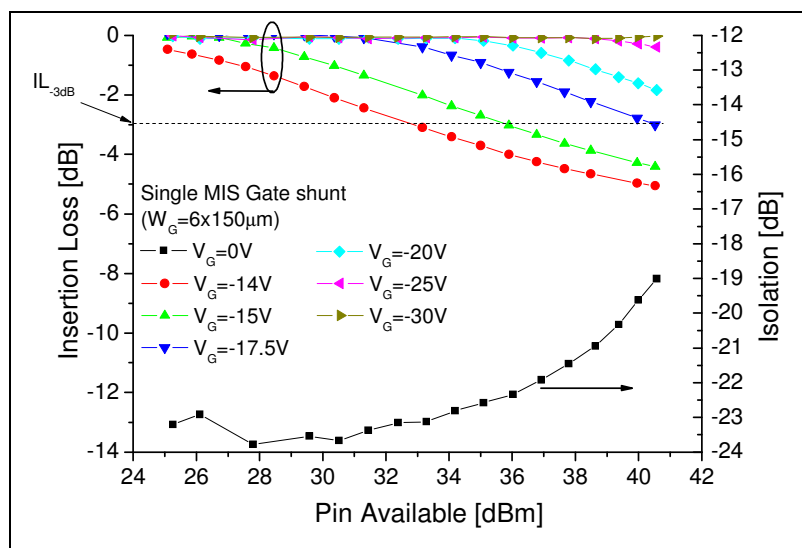


Figura 7.1-2 – Misure di potenza sullo Switch Shunt con  $W_G = 6 \times 150 \mu m$  al variare della tensione di Gate.



Le misure effettuate al variare della tensione di Gate sono mostrate in Figura 7.1-2, e mostrano come avvicinarsi alla tensione di pinch-off, che in questo caso è circa -13V, diminuisca il livello della potenza di ingresso per avere, ad esempio, una variazione della potenza di uscita di 1dB o 3dB come mostrato in Figura 7.1-3.

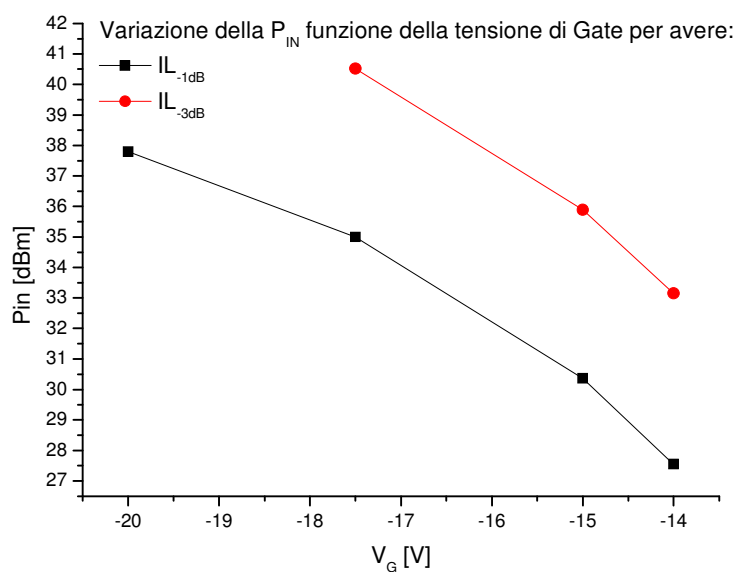


Figura 7.1-3 – Variazione della  $P_{IN}$  per avere una variazione dell'IL in uscita di -1dB e -3dB.



# CONCLUSIONI E SVILUPPI FUTURI

Il Nitruro di Gallio è un semiconduttore sempre più utilizzato per applicazioni di alta potenza ed alta frequenza grazie alle sue caratteristiche intrinseche, le quali permettono l'utilizzo di tensioni più elevate, maggiori densità di potenza e maggiore efficienza, nonché una sostanziale riduzione delle dimensioni a parità di potenza erogata.

I moduli T/R attualmente in produzione presso la Fonderia GaAs/GaN di SELEX Sistemi Integrati sfruttano l'ormai consolidata tecnologia GaAs microstriscia per la realizzazione di MMIC quali HPA e LNA presenti nel front-end radar attivo, uniti a circuiti monolitici Power Limiter (diodi p-i-n) ed a componenti ferromagnetici quali il circolatore per realizzare un modulo ibrido i cui componenti sono interconnessi tra loro mediante wire bonding. L'idea di un radar di prossima generazione basato su tecnologia GaN fornisce la possibilità di pensare non solo a potenze più elevate e/o dimensioni notevolmente ridotte, ma ad un modulo T/R più compatto formato da un unico circuito integrato monolitico (MMIC). Ovviamente questo può essere possibile solo nel caso in cui componenti quali il circolatore ed il Power Limiter, che rendono il modulo ibrido, fossero sostituiti da circuiti realizzati sullo stesso substrato dei MMIC attivi HPA e LNA.

Durante questo lavoro di Dottorato è stato mostrato come una possibile alternativa al circolatore sia rappresentata da un circuito SPDT, composto da Switch Serie e Shunt in configurazione tale da svolgerne la stessa funzione logica, mantenendo caratteristiche di Insertion Loss e Isolamento tali da garantire una bassa dispersione del segnale.

Al fine di ottimizzare il processo realizzativo e le prestazioni dello Switch, è stato processato un primo Wafer A sul quale sono stati realizzati Switch discreti

di tipo Serie con diverse periferie, sfruttando la tecnologia Field Plate allo scopo di mantenere alta la tensione di breakdown. Questi dispositivi sono dunque stati caratterizzati con lo scopo di realizzare un modello scalabile a piccolo segnale dello Switch. In questo modello, il comportamento dello Switch è associato ad una serie di componenti passivi, tutti determinabili con semplici misurazioni sia per lo stato ON che per lo stato OFF (per quest'ultimo è stata messa a punto una nuova metodologia di misura capacitiva in grado di estrapolare il valore della  $C_{DS}$ , solitamente molto difficile da misurare). Lo scopo del modello è fondamentalmente quello di ottenere una simulazione affidabile riguardo alle prestazioni degli Switch al variare della periferia e della geometria dell'elettrodo di Gate.

Una volta confermata l'affidabilità del modello scalabile confrontando le simulazioni con i dati sperimentali degli Switch realizzati in tecnologia T-Gate sul Wafer A, sono state effettuate delle simulazioni di strutture innovative quali I-Gate (senza Field Plate) e MIS-Gate (senza piede del Gate) a parità di capacità parassite  $C_{GS}-C_{GD}$ , ottenendo un set di lunghezze di Gate variabili per i diversi layout:  $L_G=0.25\mu\text{m}+L_{\text{HEAD}}=2\times 0.2\mu\text{m}$  (T-Gate),  $L_G=0.6\mu\text{m}$  (I-Gate) e  $L_{\text{HEAD}}=0.6\mu\text{m}$  (MIS-Gate). E' stato dimostrato inoltre come il Field Plate introduca delle capacità parassite che riducono l'Isolamento RF dello Switch e come invece una maggiore lunghezza di Gate lo migliori, sviluppando una metodologia di misura basata su una struttura di test in grado di discriminare la bontà e l'influenza del substrato sulle capacità parassite del Gate rispetto all'Isolamento RF.

Sulla base dei risultati ottenuti dalle simulazioni, è stato quindi processato un secondo Wafer B contenente le tre strutture T-Gate, I-Gate e MIS-Gate con le dimensioni sopra descritte. E' apparso evidente come il T-Gate presenti un alto breakdown ( $V_{BD}=130\text{V}$ ) grazie alla presenza del Field Plate, ma allo stesso tempo delle ridotte prestazioni nell'Isolamento RF a causa delle capacità parassite presenti ( $C_{\text{OFF}}^T \approx 2C_{\text{OFF}}^I$  e  $C_{\text{OFF}}^T \approx 3C_{\text{OFF}}^{\text{MIS}}$ ). Le tre tecnologie hanno

comunque confermato il trend previsto dalle simulazioni, mostrando una  $F_C$  pari a 176 GHz (T-Gate), 257GHz (I-Gate) e 366 GHz (MIS), in funzione anche della maggiore  $L_G$ . La struttura MIS ha inoltre presentato delle prestazioni DC di gran lunga superiori alle altre tecnologie, mostrando un incremento della  $I_{DSS}$  di circa il 15%, una maggiore stabilità all'effetto di autopolarizzazione del Gate grazie alla possibilità di essere polarizzato in forward senza correnti di leakage ed un breakdown paragonabile al T-Gate con Field Plate.

Nell'ipotesi di sfruttare lo Switch con periferie più grandi ( $W_G > 1\text{mm}$ ) ed in grado dunque di gestire maggiori densità di potenza, è stato considerato il problema di dover compensare l'aumento della capacità parassita  $C_{OFF}$ . Dopo aver esaminato diverse soluzioni già presenti in letteratura, è stata ideata e simulata la soluzione innovativa del Dual-Gate, formato da un unico Switch con due Gate paralleli all'interno del canale ed utilizzabile anche per progettazione a banda larga, permettendo inoltre di ottenere allo stesso tempo una riduzione della  $C_{OFF}$  senza raddoppiare la  $R_{ON}$  come nel caso della soluzione con due Switch in cascata.

Sulla base delle simulazioni è stato dunque processato un terzo Wafer C con strutture I-Gate e MIS-Gate nelle configurazioni Serie e Shunt, con diverse periferie (da  $W_G = 2 \times 50\mu\text{m}$  a  $W_G = 1.8\text{mm}$ ) e con  $L_G = 1\mu\text{m}$  nelle configurazioni Single-Gate e Dual-Gate. Le misure DC hanno confermato il trend del Wafer B, mostrando ancora una volta le alte prestazioni del MIS-Gate. Le misure a piccolo segnale sugli Switch Serie hanno mostrato, nel confronto tra Singolo e Dual-Gate sia per piccole che grandi periferie, un miglioramento costante di 3dB di Isolamento nel range di frequenze preso in considerazione, a fronte di un incremento di circa il 65% dell'Insertion Loss, lasciando il valore di  $F_C$  praticamente invariato. Gli Switch Shunt, nell'analisi a piccolo segnale, hanno mostrato un miglioramento nell'accoppiamento capacitivo del segnale RF con il Gate, mantenendo comunque un Isolamento di -20dB, nel caso in cui si prenda in considerazione il dispositivo MIS Dual-Gate piuttosto che il Singolo Gate. Infine,

le misure ad ampio segnale sui dispositivi MIS hanno dimostrato come questi possano gestire una densità di potenza molto più elevata nello stato ON (80W/mm e 70W/mm per la configurazione Single-Gate e Dual-Gate rispettivamente) rispetto ai circa 50W/mm dei dispositivi Schottky i quali presentano, inoltre, una maggiore sensibilità all'effetto di autopolarizzazione del Gate in forward o verso il pinch-off.

Nello stato OFF, gli Switch Dual-Gate presentano ancora un miglioramento di 3dB rispetto a quelli a Singolo Gate, mostrando una compressione  $P_{1dBc} > 40dBm$ .

Nel prossimo futuro, l'evoluzione di questo lavoro porterà alla progettazione e realizzazione di un circuito SPDT su GaN, basato su Switch MIS a Gate singolo e Dual-Gate.

Successivamente, i prototipi di SPDT potranno quindi essere integrati, insieme agli Switch utilizzati come Power Limiter, in un unico MMIC comprendente anche i circuiti attivi HPA e LNA per ottenere così un unico chip di "Front End".

# BIBLIOGRAFIA

## INTRODUZIONE

- [1] U. K. Mishra, Likun Shen, Thomas E. Kazior, and Yi-Feng Wu, “*GaN-Based RF Power Devices and Amplifiers*”, Proceedings of the IEEE, vol. 96, no. 2, February 2008.
- [2] Alex Lidow, CEO Efficient Power Conversion Corp., El Segundo, USA, “*Can Gallium Nitride replace Silicon?*”, Power Electronics Europe, Issue 2, 2010.

## CAPITOLO 1

- [1.1] A. Kostopoulos et al, “*Atomic force microscopy analysis of Ga-face and N-face GaN grown on Al<sub>2</sub>O<sub>3</sub> (0001) by plasma-assisted molecular beam epitaxy*”, Advanced Semiconductor Devices and Microsystems, pp. 355-358, 2000.
- [1.2] V.G. Mokerov, Yu.V. Fedorov, A.V. Hook, L.E. Velikoski, (2000) “*Molecular beam epitaxy of modulation doped N-AlGaAs/(InAs/GaAs)/GaAs superlattices at thickness of InAs layers below and near threshold of nucleation quantum dots for high frequency applications*”, Gallium Arsenide applications symposium. GAAS 2000, 2-6 october 2000, Paris.
- [1.3] “*New Semiconductor Materials. Characteristics and Properties*”, <http://www.ioffe.ru/SVA/NSM/Semicond/GaN/index.html>.
- [1.4] R. J. T. Simms, J. W. Pomeroy, M. J. Uren, T. Martin, and M. Kuball, “*Current collapse in AlGaN/GaN transistors studied using time-resolved Raman thermography*”, Applied Physics Letters, vol. 93, issue 20, 2008.

- [1.5] Michael Shur et al., “*Field Plate engineering for HFETs*” IEEE Trans Electron Devices, vol.52, pp.2534-2540, Dec.2005.

## CAPITOLO 2

- [2.1] A. Armogida, M. Biggi, L. Ricci, “*Sviluppo di circolatori in guida d’onda per phased array radar in Banda X*”.
- [2.2] A. Bettidi et al, “*X-Band GaN-HEMT LNA Performance versus Robustness Trade-Off*”, Proceedings of the 39th European Microwave Conference, EuMA 29 September - 1 October 2009, Rome, Italy.
- [2.3] Alexei Koudymov et al, “*Low-Loss High Power RF Switching Using Multifinger AlGaN/GaN MOSHFETs*”, IEEE Electron Device Letters, vol. 23, no. 8, August 2002.
- [2.4] Z. Yang et al, “*High-Power Operation of III-N MOSHFET RF Switches*”, IEEE Microwave and Wireless Components Letters, vol. 15, no. 12, December 2005.

## CAPITOLO 3

- [3.1] Hidetoshi Ishida et al, “*A High-Power RF Switch IC Using AlGaN/GaN HFETs With Single-Stage Configuration*”, IEEE Transaction on Electron Devices, vol. 52, no. 8, pp 1893-1899, August 2005.

## CAPITOLO 5

- [5.1] Liam Devlin, “*The Design of Integrated Switches and Phase Shifters*”.



# PUBBLICAZIONI

F.Crispoldi, **A. Pantellini**, P. Farinelli, S. Lavanga, A. Nanni, P. Romanini, A. Coppa and C. Lanzieri, “*Manufacturing RF-MEMS and HEMT devices on GaN/Si Substrate*”, MEMSWAVE International Symposium, 3-8 July 2009, Trento, Italy.

**A. Pantellini**, M. Peroni, A. Nanni, A. Cetronio, A. Bettidi, E. Giovine, “*Gate Technology and Substrate Property Influence on GaN HEMT Switch Device Performance*”, Proceedings of the 4th European Microwave Integrated Circuits Conference EuMA, pp 140-143, 28-29 September 2009, Rome, Italy.

**A. Pantellini**, S. Lavanga, A. Nanni, P. Romanini, L. Rizzi, P. Farinelli, and C. Lanzieri, “*New Fabrication Process to Manufacture RF-MEMS and HEMT on GaN/Si Substrate*”, F.Crispoldi, Proceedings of the 4<sup>th</sup> European Microwave Integrated Circuits Conference EuMA, 28-29 September 2009, Rome, Italy.

F. Crispoldi, **A. Pantellini**, S. Lavanga, A. Nanni, P. Romanini, L. Rizzi, P. Farinelli, C. Lanzieri, “*Full integrated process to manufacture RF-MEMS and MMICs on GaN/Si substrate*”, International Journal of Microwave and Wireless Technologies, 2010, pp 333–339.

D. Dominijanni, E. Giovine, A. Notargiacomo, **A. Pantellini**, P. Romanini, M. Peroni, A. Nanni, “*Dual step EBL Gate Fabrication Technology for GaN-HEMT Wideband Applications*”, Proceeding of MNE 2010, 19-22 September, Genoa, Italy.

S. Lavanga, A. Chini, A. Coppa, F. Corsaro, A. Nanni, **A. Pantellini**, P. Romanini and C. Lanzieri, “*High Voltage Breakdown pHEMTs for C-Band HPA*”, Proceeding of the 5<sup>th</sup> Microwave Integrated Circuits Conference EuMA, 26 September – 1 October 2010, Paris, France.

## **Oral Presentation:**

**A. Pantellini**, M. Peroni, A. Nanni, A. Bettidi, “*Performance Assessment of GaN HEMT Technologies for Power Limiter and Switching Applications*”, Proceeding of the 5<sup>th</sup> Microwave Integrated Circuits Conference EuMA, 26 September – 1 October 2010, Paris, France.