Scuola Dottorale EDEMOM

European Doctorate in Electronic Materials, Optoelectronics and Microsystems

XXIV Ciclo

Tecnologie per lo sviluppo di dispositivi a stato solido per applicazioni ad alta frequenza e larga banda

Donatella Dominijanni

Docente Guida
Prof. Gennaro Conte

Relatore esterno
Dott. Ennio Giovine

Ottobre 2011

Abstract

In this work we present the optimization of Schottky contact for the fabrication of high electron mobility transistor with the intention of employing these devices for high frequency and high power applications. In order to increase the performances of the devices, it is possible to improve the material characteristics or to act on the devices process. We used GaAs and GaN substrates because of their better characteristics compared to Si and in particular because of the high electron mobility, the high break-down field, high bandgap and high thermal conductivity (GaN). Based on theory, the RF performances such as cut-off frequency and maximum oscillation frequency, are directly connected to the gate characteristics and closer to the parasitic capacitance and resistance. We can write the mathematical formula for the correlation of these parameter:

$$f_T = \frac{g_m}{2\pi C_{GS}}$$

$$f_{MAX} = \frac{f_T}{2\sqrt{r_1 + f_T \tau_3}}$$

$$C_{GS} \propto L_G$$

The gate capacitance is directly connected with the gate length and the smaller is this capacitance, the higher are the f_T and f_{MAX}. Also the gate parasitic resistance has a bad influence on the RF performances and for this reason it is necessary to fabricate the gate with short length but large section in order to decrease the contact resistance R_G; we fabricated T-shape gate with $L_G = 0.25\ \mu m$ and large gate head.

We used two different processes to fabricate the gate of the HEMT devices on GaN or GaAs with the aim to optimize the performances. Both the processes require the use of the electron beam lithography (EBL) because of the necessity to have high resolution in order to obtain small gate lengths. We briefly describe the two different processes. With respect to GaAs, the gate has been fabricated by using a single step of electron beam lithography; thanks to a trilayer of resist with different sensitivity, we are able to reproduce a T-shape for the gate. The process also consists of others steps such as the wet etching used for double recess, the evaporation and lift-off process. The optimization of the gate contact is consisted of the optimization of the lithography in term of doses, kind of resist and spin coating, dimension of the gate but also the optimization of chemical solution and heterostructures for the recess and the optimization of e-beam evaporation in term of improvement of the evaporation system. Thanks to these solutions we obtained low parasitic capacitances, low gate contact resistances, a good profile for the gate and good performances in term of RF and power characterizations.

With respect to GaN, we used a double step of electron beam lithography, the first one to fabricated the gate-“foot” and the second one to fabricated the gate-“head”; we used a bilayer and a trilayer of resist with different sensitivity to fabricate respectively the gate-“foot” and the gate-“head”. The optimization of the gate contact for GaN is consisted of the optimization of the lithography in term of resist, doses, gate dimension, profile and spin coating. The others steps, that are used to the fabrication of the Schottky contact, are dry etch of silicon nitride, annealing of the gate-“foot” evaporation and lift-off process; in order to optimize the Si_3N_4 dry etch we tried to use different process with CF_4/O_2 or SF_6 and different condition for the etch. The optimization of the annealing is consisted of the optimization of time and temperature of the process. Thanks to these solutions we obtained low parasitic capacitances and resistances, a good profile for the gate and good RF performances with f_T=46 GHz and f_{max}=92 GHz.

Bibliografia dell'Autore

Pubblicazioni relative alla ricerca

D. Dominijanni**,** R. Casini, V. Foglietti, M. Ortolani, A. Notargiacomo, C. Lanzieri, M. Peroni, P. Romanini and E. Giovine **"Trilayer Electron-beam Lithography and Surface Preparation for Sub-micron Schottky Contacts on GaAs Heterostructures"**– Proceedings and published electronically by IEEE, IRMMWTHz 2010, 5-10 September, Rome, Italy **(POSTER Presentation)**

D. Dominijanni, E. Giovine, A. Notargiacomo, A. Pantellini, P. Romanini, M. Peroni, A. Nanni **"Dual step EBL Gate Fabrication Technology for GaN-HEMT Wideband Applications"**, , - MNE 2010, 19-22 September, Genoa, Italy. **(POSTER Presentation)** Microelectronic Engineering 88 (2011) 1927–1930

Marco Peroni, Antonio Nanni, Claudio Costrini, Donatella Dominijanni, E. Giovine, Ernesto Limiti, Walter Ciccognani **"Scalable Gate two EBL steps fabrication process for optimal high frequency GaN HEMT performances"**– Proceedings of WOCSDICE2011, 29 May-1 June, 2011 **(ORAL presentation)**

P. Romanini, A. Bettidi, A. Chini, W. Ciccognani, S. Colangeli, D. Dominijanni, E. Limiti, A. Nanni and C. Lanzieri **"High level of automated process for Broadband and X-band MMIC's production"** - Proceedings of WOCSDICE2011, 29 May-1 June, 2011

Altre Pubblicazioni

E. Giovine, A. Di Gaspare, M. Ortolani, F. Evangelisti, V. Foglietti, A. Cetronio, D. Dominijanni, C. Lanzieri, M. Peroni, A. Doria, E. Giovenale, I. Spassovsky **"AlGaN/GaN Heterostructure Transistors for the Generation and Detection of THz Radiation"**, and G.P.Gallerano Proceedings and published electronically by IEEE, IRMMWTHz 2010, 5-10 September, Rome, Italy **(ORAL presentation)**

R. Casini, D. Dominijanni, E. Giovine, M. Ortolani, F. Gatta, A. D'Amico, V. Foglietti **"Micromachined Arrays of Air-bridge GaAs Schottky Diodes for THz Cameras"** - Proceedings and published electronically by IEEE, IRMMWTHz 2010

A. Di Gaspare, R. Casini, M. Ortolani, E. Giovine, V. Foglietti, P. Romanini, D. Dominijanni, M. Peroni and F. Evangelisti **"Fabrication and Quantitative Comparison of Quasi-Optical Terahertz Rectifiers with Integrated Antennas"**– Proceedings IRMMW-THz 2011

E. Giovine, R. Casini, D. Dominijanni, A. Notargiacomo, M. Ortolani, V. Foglietti **"Fabrication of Schottky diodes for terahertz imaging"** - MNE 2010, 19-22 September, Genoa, Italy. Microelectronic Engineering 88 (2011) 2544–2546 **(POSTER Presentation)**

M.C.Rossi, P.Calvani, G.Conte, D.Dominijanni, E.Giovine, V.Camarchia, F.Cappelluti, G.Ghione, B.Pasciuto and E.Limiti, **"RF Power Performance Evaluation of Surface Channel Diamond MESFET"**– In: Diamond Electronics and Bioelectronics — Fundamentals to Applications III, edited by P. Bergonzo et al. in MRS Proceedings, Vol. 1203 (2010), DOI: 10.1557/PROC-1203-J15-04

S. Carta D. Dominijanni, B. Pasciuto, D. Trucchi, G. Conte **"Ohmic Contact Formation By H-terminated Diamond Surface Modification"**– Proceeding EMRS 2010

P. Calvani, F. Sinisi, M. C. Rossi, G. Conte, D. Dominijanni, E. Giovine, E. Limiti **“MESFETs on H-terminated polycrystalline diamond”**, - 10th Intl. Conf. ULIS-2009, pp.257-260. DOI 10.1109/ULIS.2009.4897585

V. Camarchia, F. Cappelluti, G. Ghione, M. C. Rossi, P. Calvani, G. Conte, W. Ciccognani, B. Pasciuto, E. Limiti, D. Dominijanni, E. Giovine **“RF Power Performance of submicron MESFET on Hydrogen Terminated Polycrystalline Diamond”,** - Solid State Electronics 55 (2011) 19–24

Indice

ABSTRACT **II**

BIBLIOGRAFIA DELL'AUTORE **IV**

PUBBLICAZIONI RELATIVE ALLA RICERCA **IV**

ALTRE PUBBLICAZIONI **V**

INDICE **VII**

LISTA DELLE FIGURE **XI**

LISTA DELLE TABELLE **XV**

CAPITOLO 1 STATO DELL'ARTE **1**

1.1 INTRODUZIONE **1**

1.2 STATO DELL'ARTE **3**

1.3 MATERIALI PER L'ELETTRONICA ALLE ALTE FREQUENZE ED ALTE POTENZE **6**

1.3.1 CARATTERISTICHE DEL GAAS 9

1.3.2 CARATTERISTICHE DEL GAN 10

1.4 HEMT **11**

1.4.1 PRINCIPI DI FUNZIONAMENTO DI UN HEMT 12

1.4.2 P-HEMT 16

1.4.3 GAN-HEMT 17

CAPITOLO 2 TECNICHE DI REALIZZAZIONE E ANALISI DEI PROCESSI19

2.1 INTRODUZIONE **19**
2.2 LITOGRAFIA STEPPER **22**
2.3 PROCESSO DI EVAPORAZIONE E LIFT-OFF **25**
2.4 ATTACCO DRY DEL Si_3N_4 **27**
2.5 ATTACCO WET DEL GAAS **29**
2.6 ANALISI DEI PROCESSI **30**
2.6.1 SCANNING ELECTRON MICROSCOPE (SEM) 30
2.6.2 FOCUSED ION BEAM (FIB) 31

CAPITOLO 3 LITOGRAFIA ELETTRONICA 34

3.1 INTRODUZIONE **34**
3.2 PRINCIPI DI FUNZIONAMENTO **36**
3.2.1 LA SORGENTE 39
3.2.2 METODO DI SCRITTURA DEL PATTERN 40
3.3 PIANIFICAZIONE DELL'ESPOSIZIONE **43**
3.3.1 PREPARAZIONE DEL DISEGNO 44
3.3.2 PREPARAZIONE DEL CAMPIONE 47
3.3.3 STRATEGIA DI ESPOSIZIONE 48
3.4 EFFETTO DI PROSSIMITÀ **49**

CAPITOLO 4 OTTIMIZZAZIONE CONTATTO DI GATE SU GAAS 51

4.1 INTRODUZIONE **51**
4.2 STRUTTURA DEL DISPOSITIVO SU GAAS **52**
4.3 DESCRIZIONE ED OTTIMIZZAZIONE DEL PROCESSO EBL **54**
4.4 DESCRIZIONE ED OTTIMIZZAZIONE DEL RECESS **64**
4.5 OTTIMIZZAZIONE DEL PROCESSO DI EVAPORAZIONE **67**
4.6 OTTIMIZZAZIONE DI UN NUOVO TRILAYER **69**

CAPITOLO 5 OTTIMIZZAZIONE CONTATTO DI GATE SU GAN 72

5.1 INTRODUZIONE **72**

5.2 STRUTTURA DEL DISPOSITIVO GAN-HEMT **73**

5.3 DESCRIZIONE DEL PROCESSO EBL **75**

5.4 OTTIMIZZAZIONE DEL PROCESSO DI ETCH DEL SI_3N_4 **84**

5.5 OTTIMIZZAZIONE DEL PROCESSO DI ANNEALING DEL PIEDE **92**

CAPITOLO 6 CONCLUSIONI **95**

6.1 INTRODUZIONE **95**

6.2 RISULTATI SU GAAS **96**

6.3 RISULTATI SU GAN **102**

6.4 PROSPETTIVE FUTURE **105**

APPENDICE A BIBLIOGRAFIA **107**

Lista delle Figure

Figura 1.1: correlazione tra parametro reticolare e energia della gap 7
Figura 1.2: esempio di eterostruttura isolata (a), con spessore molto elevato del secondo layer (b), con spessore sottile del secondo layer (c) 8
Figura 1.3: I-V dell'HEMT 13
Figura 1.4: transconduttanza HEMT 13
Figura 1.5: modello equivalente per piccolo segnale 14
Figura 1.6: scelta del punto di polarizzazione 15
Figura 1.7: tipica struttura P-HEMT 16
Figura 1.8: struttura a bande 16
Figura 1.9: tipica struttura GaN-HEMT 17
Figura 1.10: struttura a bande 18
Figura 2.1: contatto dopo lift-off e annealing con residui di metallo sul bordo del contatto (sinistra) e senza residui (destra) 21
Figura 2.2: spinner 22
Figura 2.3: litografia a contatto 23
Figura 2.4: litografia stepper 24
Figura 2.5: sistema di evaporazione 26
Figura 2.6: deposizione e lift off del metallo 27
Figura 2.7: colonna focused ion beam 32
Figura 3.1: EBL direct writing 35
Figura 3.2: EBPG 5HR 36
Figura 3.3: elettronica di controllo dell'EBL 38
Figura 3.4: sorgente dell'EBL 39
Figura 3.5: distorsione del fascio 40
Figura 3.6: suddivisione pattern 41
Figura 3.7: metodo di scrittura 42
Figura 3.8: fascio completamente deflesso 42
Figura 3.9: sistema di riferimento 43
Figura 3.10: griglia sovrapposta al disegno 45
Figura 3.11: immagine dall’alto dello stitching 45
Figura 3.12: fratturazione in trapezi di una shape 46
Figura 3.13: holder 4" 47
Figura 3.14: pera di penetrazione in funzione di numero atomico e energia 49

Figura 3.15: effetto di prossimità della dose 50
Figura 4.1: dispositivo HEMT di potenza 52
Figura 4.2: struttura HEMT su GaAs 54
Figura 4.3: substrato dopo la stesura dei resist 55
Figura 4.4: profilo dei resist dopo l'esposizione e sviluppo 56
Figura 4.5: SEM di una barra di raccordo di gate dopo metallizzazione e lift-off 56
Figura 4.6: layout raccordo dei gate 57
Figura 4.7: immagine SEM dopo ottimizzazione del layout del raccordo di gate 57
Figura 4.8: layout di un finger di gate 58
Figura 4.9: immagine SEM del profilo resist dopo esposizione e sviluppo 59
Figura 4.10: profili T-gate con residui di resist 60
Figura 4.11: profilo T-gate senza residui 60
Figura 4.12: cross section di un gate 61
Figura 4.13: profilo di resist T-gate e sezione del gate 62
Figura 4.14: sezione FIB di un gate di dispositivo 63
Figura 4.15: struttura P-HEMT a singolo stop etch 64
Figura 4.16: struttura P-HEMT a doppio stop etch 65
Figura 4.17: cross section di un gate su struttura a doppio recess 66
Figura 4.18: sistema di evaporazione a planetario 67
Figura 4.19: sistema di evaporazione con piatto piano 68
Figura 4.20: gate evaporato con sistema di piatto piano 68
Figura 4.21: profilo T-gate per diodi Schottky 70
Figura 4.22: struttura gate con nuovo trilayer 71
Figura 5.1: dispositivo GaN-HEMT finito 73
Figura 5.2: GaN-HEMT con field plate 74
Figura 5.3: GaN prima della litografia per il piede 76
Figura 5.4: immagini SEM di resist per la definizione del piede 78
Figura 5.5: piede del gate dopo metallizzazione e lift-off 79
Figura 5.6: GaN prima della litografia del T-gate 80
Figura 5.7: profilo dei resist dopo esposizione e sviluppo 81
Figura 5.8: profili di gate realizzati con lo stesso processo 82
Figura 5.9: profilo di resist dopo esposizione e sviluppo per gate da 0.25 μm 82
Figura 5.10: cross section del gate da 80 nm 83
Figura 5.11: cross section dei gate da 150-250 nm 84
Figura 5.12: andamento etch rate su Si_3N_4 con CF_4/O_2 86
Figura 5.13: andamento etch rate su Si_3N_4 con SF_6 87
Figura 5.14: cross section di gate con etch 50 s 88
Figura 5.15: cross section di gate con etch 70 s 89

Figura 5.16: SEM di un piede di gate da 150 nm (a sinistra) e 250 nm (a destra) con 90 s di etch 90
Figura 5.17: SEM di un piede di gate da 150 nm (a sinistra) e 250 nm (a destra) con 70 s di etch + BOE 90
Figura 5.18: SEM di un piede di gate da 150 nm (a sinistra) e 250 nm (a destra) con 70 s di etch + chimica 91
Figura 5.19: leakage di gate annealed @ 500 o 400 °C per 1 min 92
Figura 5.20: leakage di gate annealed @ 500 o 400 °C per 30 s 93
Figura 5.21: I-V del diodo annealed @ 400 °C per 30 s e 1 min 94
Figura 6.1: andamento della R_{gg} per i diversi wafer realizzati 96
Figura 6.2: andamento della L_g per i diversi wafer realizzati 97
Figura 6.3: DIVA a confronto tra il dispositivo di riferimento a sinistra e uno degli ultimi realizzati a destra 97
Figura 6.4: G_{max} e H_{21} per differenti wafer 98
Figura 6.5: circuiti per banda larga 100
Figura 6.6: circuito per banda X 100
Figura 6.7: cross section di 3 dispositivi con lunghezze di gate differenti 102
Figura 6.8: I-V di dispositivi con lunghezze di gate diverse 103
Figura 6.9: I-V di dispositivi con lunghezze di gate diverse 103
Figura 6.10: andamento di f_T e f_{max} al variare della V_{DS} 104

Lista delle Tabelle

Tabella 1: stato dell'arte GaAs 5
Tabella 2: confronto tra diversi materiali 6
Tabella 3: riassunto dei parametri caratteristici di alcuni dei wafer realizzati 99
Tabella 4: parametri caratteristici dei circuiti realizzati 101
Tabella 5: confronto del risultati con i competitor 101

Capitolo 1 Stato dell'arte

1.1 INTRODUZIONE 1
1.2 STATO DELL'ARTE 3
1.3 MATERIALI PER L'ELETTRONICA ALLE ALTE FREQUENZE ED ALTE POTENZE 6
1.3.1 CARATTERISTICHE DEL GAAS 9
1.3.2 CARATTERISTICHE DEL GAN 10
1.4 HEMT 11
1.4.1 PRINCIPI DI FUNZIONAMENTO DI UN HEMT 12
1.4.2 P-HEMT 16
1.4.3 GAN-HEMT 17

1.1 Introduzione

La sempre crescente richiesta, per quanto riguarda le comunicazioni wireless, di costruire sistemi a microonde e onde millimetriche per il rilevamento e la determinazione della posizione o velocità di oggetti fissi e mobili (RADAR), ha spinto il mondo dell'elettronica verso la progettazione e lo sviluppo di amplificatori monolitici integrati con prestazioni RF (radio-frequency) competitive in termini di alta potenza, alta frequenza e adatti ad applicazione in banda larga. Per questo motivo, la ricerca nel campo della microelettronica e delle nanotecnologie si è spinta verso l'utilizzo di materiali di nuova e nuovissima

generazione che potessero soddisfare queste esigenze. In particolare le aziende hanno impiegato le proprie risorse nello studio di substrati con strutture adatte alla realizzazione di dispositivi ad alta mobilità elettronica e nello sviluppo delle tecnologie per la fabbricazione di questi dispositivi. Alcuni composti del gruppo III-V, principalmente l'arseniuro di gallio (GaAs), grazie alle loro caratteristiche fisiche, si prestano bene alla realizzazione di transistor ad alta mobilità elettronica (HEMT), dispositivi che stanno alla base dei moduli trasmetti/ricevi (TRM) contenuti nel RADAR, e soddisfano le richieste di mercato per le applicazioni in campo civile e militare; negli ultimi 10 anni l'interesse si è concentrato sull'opportunità di utilizzare nuovi materiali appartenenti al gruppo III-V per realizzare gli HEMT. I materiali di nuovissima generazione presentano caratteristiche ancora più vantaggiose dal punto di vista fisico in quanto possiedono alta bandgap, alti campi elettrici di break-down, alta velocità di saturazione, alta mobilità degli elettroni e un alto valore di conducibilità termica; uno di questi è il nitruro di gallio (GaN) [1] che garantisce la formazione di HEMT in grado di soddisfare la richiesta sulle prestazioni RF. Le tecnologie su GaN si sono sviluppate molto rapidamente soprattutto in paesi extra-europei come USA e Giappone sia per quanto riguarda la realizzazione e l'ottimizzazione dei materiali che per quanto riguarda i processi tecnologici per la fabbricazione dei dispositivi.

L'opportunità di realizzare transistor ad alta mobilità è insita nella capacità di costruire eterostrutture, basate su GaAs o GaN, con composti di tipo ternario come AlGaAs e AlGaN e nella possibilità di innalzare il livello di drogaggio del

canale, aumentandone la conducibilità, senza andare ad influire negativamente sulla mobilità degli elettroni [2].

Dal punto di vista italiano, le tecnologie si sono sviluppate con un certo ritardo rispetto al resto del mondo e attualmente l’interesse sempre crescente nel migliorare le prestazioni dei dispositivi realizzati sia su GaAs sia su GaN risiede nel fatto di voler diventare competitivi in un mercato che al momento viene soddisfatto da prodotti extra-europei e solo parzialmente europei.

L’obiettivo di questo lavoro di tesi, svolto nell’Istituto di Fotonica e Nanotecnologie (IFN) del CNR e nella Fonderia GaAs di SELEX S.I., è stato quello di ottimizzare alcuni step di processo, ed in particolare quello del gate, per la fabbricazione di dispositivi HEMT su GaAs e GaN, che migliorassero la qualità del processo precedentemente sviluppato, in modo da garantirne un’alta resa e riproducibilità e da eguagliare le performance dei competitor. Per fare ciò sono state utilizzate le facility a disposizione nel laboratorio del CNR, in primis l’electron beam lithography (EBL) e gli impianti presenti nei laboratori della fonderia GaAs di SELEX S.I., con l’obiettivo di rendere la tecnologia tale da essere compatibile con i processi di produzione realizzati da SELEX S.I. e di raggiungere delle buone prestazioni in modo da implementare un vero processo di produzione.

1.2 Stato dell’arte

La continua evoluzione dei dispositivi e dei circuiti integrati monolitici a microonde (MMIC) è dovuta al fatto di dover costruire RADAR attivi che

vengano impiegati non solo per coprire la banda C (4-6 GHz) di funzionamento, ma anche la banda X (8-12 GHz) [3], la banda Ku (12-18 GHz) e che siano utilizzabili in banda larga. Per lavorare ad alta frequenza sui materiali del gruppo III-V come GaAs e GaN, le aziende hanno sviluppato le tecnologie per ottimizzare le crescite epitassiali delle eterostrutture adatte alla realizzazione degli HEMT, ma hanno anche maturato una tecnologia che prevede la fabbricazione di dispositivi HEMT in cui il terminale di controllo ha lunghezza (L_G) pari o inferiore a un quarto di μm. Minore è la lunghezza di gate del dispositivo, maggiori sono la sua frequenza di taglio (f_T) e la sua frequenza massima (f_{MAX}) secondo le formule:

$$f_T = \frac{g_m}{2\pi C_{GS}}$$

$$f_{MAX} = \frac{f_T}{2\sqrt{r_1 + f_T \tau_3}}$$

$$r_1 = \frac{R_i + R_s + R_G}{R_{DS}};\ \tau_3 = 2\pi R_G C_{GD}$$

La capacità di gate C_{GS}, proporzionale alla lunghezza del gate, è inversamente proporzionale alla frequenza di taglio; d'altra parte però, minore è la lunghezza di gate, maggiore è la sua resistenza R_G e questo va ad influire negativamente sulle prestazioni in frequenza dei dispositivi. Per questo motivo il contatto di gate viene realizzato con delle forme particolari, tipo a "T", "Y" o "Γ", in modo da minimizzare sia le capacità che le resistenze parassite; quando si parla di

tecnologia "T-gate" con L_G=0.25 μm, si intende un gate con sezione a "T", dimensione del piede del gate da 0.25 μm e testa più larga.

A livello europeo, se consideriamo i dispositivi HEMT realizzati su GaAs, la tecnologia è matura, come evidenziato nella Tabella 1 in cui sono riportati i prodotti sviluppati da aziende in altri paesi europei come Francia e Inghilterra. Questi sono HEMT per applicazioni di potenza e sono confrontabili con i dispositivi realizzati ed ottimizzati in questo lavoro di tesi.

	UMS (FRANCIA) PPH25X	**RFMD (INGHILTERRA) FD30**
Tecnologia a doppio recess 0.25 μm	Sì	Sì
Frequenza di taglio	45 GHz	40 GHz
Densità di potenza	0.9 W/mm	0.7 W/mm
MAG	16 dB@10GHz	12 dB@10GHz
Tensione di breakdown	>20V	>20V

Tabella 1: stato dell'arte GaAs

Altre aziende che producono dispositivi per applicazioni di potenza sono Triquint in America, che realizza HEMT con gate da 0.25 μm utilizzati fino in banda Ka (26-40 GHz) e Ommic (Francia) che fabbrica dispositivi su GaAs con gate da 0.13 μm. Per quanto riguarda il GaN in prima linea nello sviluppo della tecnologia ci sono USA e Giappone con aziende come CREE e NTT. Triquint realizza dispositivi con gate da 0.25 μm per applicazioni in banda Ku (12-18 GHz).

1.3 Materiali per l'elettronica alle alte frequenze ed alte potenze

Come descritto in precedenza, i materiali attualmente più utilizzati per ottenere dispositivi ad alta frequenza ed alta potenza sono quelli di nuova e nuovissima generazione come GaAs e GaN. Questo in quanto le loro caratteristiche fisiche messe a confronto ad esempio con quelle del silicio risultano essere nettamente superiori come evidenziato dalla Tabella 2.

	Si (---)	GaAs (AlGaAs/ InGaAs)	GaN (AlGaN/ GaN)
Bandgap (eV)	1.1	1.42	3.49
Electron mobiliy (cm2/Vs)	1500	8500 (10000)	900 (>2000)
Saturated (peak) electon velocity ($x10^7$ cm/s)	1.0 (1.0)	1.0 (2.1)	1.5 (2.7)
Critical breakdown field (MV/cm)	0.3	0.4	3.3
Thermal conductivity (W/cm-K)	1.5	0.5	>1.7 (SiC >3)

Tabella 2: confronto tra diversi materiali

Inoltre caratteristica ancora più interessante è quella di poter realizzare crescite epitassiali di eterostrutture con l'alternanza di materiali GaAs e AlGaAs o GaN e AlGaN, sulle quali vengono fabbricati i dispositivi che ne sfruttano le caratteristiche per migliorare le prestazioni. Un'eterostruttura è formata da

semiconduttori di tipo diverso che abbiano simile costante reticolare ed energia della gap diversa. Come si vede dalla Figura 1.1 in cui è riportato un grafico che mette in relazione la costante reticolare con l'energia della gap di diversi materiali, il GaAs e l'AlAs hanno approssimativamente lo stesso valore del parametro reticolare e energia della gap diversa. E' dunque possibile sostituire gli atomi di gallio del GaAs con atomi di alluminio senza introdurre forti variazioni dei parametri reticolari e andando a formare quindi il composto ternario $Al_xGa_{1-x}As$ in cui c'è una frazione x di alluminio a piacere.

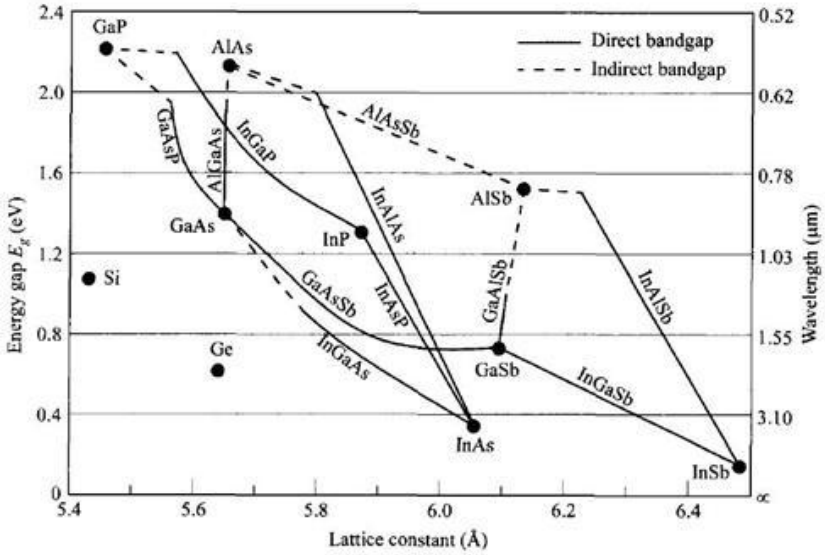

Figura 1.1: correlazione tra parametro reticolare e energia della gap

In questo modo la struttura che verrà fuori avrà un mismatch tra i due layer che dipenderà dallo spessore del secondo materiale cresciuto sul primo (vedi Figura 1.2).

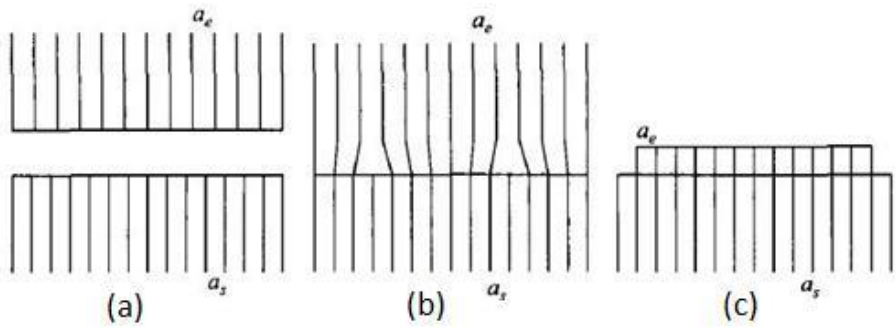

Figura 1.2: esempio di eterostruttura isolata (a), con spessore molto elevato del secondo layer (b), con spessore sottile del secondo layer (c)

Come si può osservare dalla figura precedente, se lo spessore del secondo layer cresciuto è molto elevavo, le dislocazioni all'interfaccia sono inevitabili e sono dovute al mismatch tra i legami superficiali. Se al contrario lo spessore del secondo strato è molto sottile, il layer può essere fisicamente stressato fino al punto che la sua costante reticolare diventa uguale a quella del layer sottostante e non si formano dislocazioni. Si ha dunque uno spessore critico oltre il quale continuando la crescita epitassiale, si generano delle dislocazioni [4].

Per realizzare le eterostrutture vengono impiegati due metodi differenti di crescita: l'epitassia da fasci molecolari (Molecular Beam Epitaxy MBE) e la deposizione da fase vapore con metallorganici (Metal-Organic Chemical Vapour-phase Deposition, MOCVD). La prima tecnica prevede la crescita epitassiale in una camera ad alto vuoto nella quale gli elementi vengono evaporati, formando dei fasci molecolari, sul substrato riscaldato in modo da migliorare la qualità della struttura cristallina. Mediante la seconda tecnica le molecole necessarie alla crescita vengono inserite, sotto forma di gas, in una camera in cui sono presenti

più substrati riscaldati ad alta temperatura e nella quale i gas si dissociano depositando i composti nella giusta proporzione.

1.3.1 Caratteristiche del GaAs

L'arseniuro di gallio è un semiconduttore a bandgap diretta, con energia della gap pari a 1.42 eV e per questo motivo viene adoperato in ottica ad esempio per la realizzazione di LASER e LED. Ha mobilità elettronica di 8500 cm^2/Vs molto superiore a quella del silicio e velocità di saturazione elevata; questo lo rende utilizzabile per la realizzazione di transistor ad alta frequenza oltre i 100 GHz e quindi per applicazioni nel campo delle microonde. Viene cresciuto come un cristallo tramite tecnica Bridgman e risulta nettamente più fragile del silicio.
I primi dispositivi realizzati su GaAs furono i MESFET con l'intento di migliorare le prestazioni offerte dai transistor realizzati su silicio. Uno dei problemi incontrati risiedeva nel fatto che la realizzazione di transistor su GaAs risultava molto più costosa a causa del valore maggiore dei substrati di GaAs rispetto a quelli di silicio. A partire dagli anni '90, la tecnologia MESFET è stata rimpiazzata dalla non più costosa tecnologia PHEMT (pseudomorphic HEMT) per la quale le caratteristiche dei dispositivi realizzati risultano migliori di quelle offerte dai MESFET. In particolare ad esempio era possibile ottenere una tensione di break-down maggiore così da poter realizzare transistor ad alta potenza. Il termine "pseudomorfico" sta ad indicare che i layer che formano l'eterostruttura hanno diversa costante reticolare e se sono sufficientemente sottili quando

vengono cresciuti, assumono una struttura particolarmente soggetta a stress e con costante reticolare diversa da quella propria.

1.3.2 Caratteristiche del GaN

Il nitruro di gallio è un semiconduttore a bandgap diretta, con energia pari a 3.4 eV e per questo motivo è classificato come semiconduttore a larga gap. Grazie a questa caratteristica, il GaN si presta bene alla realizzazione di dispositivi ad alta potenza in quanto garantisce il raggiungimento di elevati valori di tensione di break-down pari a $3 \cdot 10^6$ V/cm per dispositivi ad alta mobilità elettronica contro i $4 \cdot 10^5$ V/cm del GaAs. Inoltre presenta un buon valore di conducibilità termica, un alto valore di velocità di saturazione e un discreto valore di mobilità anche per bassi campi elettrici e questo rende possibile l'utilizzo del GaN nella realizzazione di amplificatori che vengono impiegati in condizioni critiche come in applicazioni spaziali e militari.

Negli anni '80 la crescita epitassiale del GaN era già ad un buon livello in quanto si cresceva GaN su substrati di zaffiro o carburo di silicio utilizzando un strato detto "nucleation layer" che ha la funzione di ridurre i disadattamenti reticolari tra il substrato e il GaN in modo da diminuire stress e difetti del layer di nitruro di gallio. A partire dalla metà degli anni '90 furono realizzati i primi FET su eterostruttura di GaN ed è tutt'ora in sviluppo la tecnologia per la realizzazione di amplificatori di potenza realizzati con HEMT su GaN. Uno dei vantaggi di fabbricare amplificatori in GaN piuttosto che in GaAs risiede nel fatto che a parità

di potenza raggiunta, l'amplificatore in GaN ha dimensioni ridotte rispetto a quello in GaAs e questo riduce nettamente i costi di produzione.

1.4 HEMT

All'interno di un RADAR attivo di tipo AESA (Active Electronically Scanned Array) è contenuto un numero elevato di moduli Trasmetti/Ricevi (T/R) i quali racchiudono al loro interno, circuiti di tipo amplificatore ad alta potenza o a basso rumore fatti su GaAs. L'elemento alla base di un circuito amplificatore è rappresentato dall' HEMT. I dispositivi ad elevata mobilità hanno preso il posto dei più tradizionali MESFET in quanto migliorano di gran lunga le caratteristiche più importanti del transistor. Essi lavorano nel campo delle microonde e onde millimetriche in quanto sono caratterizzati da frequenze di funzionamento più alte dei normali transistor bipolari in silicio. In particolare presentano alte velocità, frequenze di transizione molto elevate, bassi livelli di rumore ed elevate potenze.
Nelle tradizionali strutture MESFET per formare il canale si utilizza la tecnica di impiantazione o diffusione di atomi donatori; a temperatura ambiente, una concentrazione di atomi donatori di $10^{17}/cm^3$ diminuisce la mobilità degli elettroni di circa il 20% e se si aumenta la concentrazione di questi atomi, la mobilità decresce ancora. Uno degli aspetti rilevanti che riguardano gli HEMT è la possibilità di formare il cosiddetto "gas bidimensionale"; si genera cioè una buca di potenziale per gli elettroni che permette di confinare il moto e di limitarlo in due sole direzioni. Ciò che caratterizza le eterostrutture è dunque la possibilità di separare spazialmente, tramite la cosiddetta tecnica di "modulation doping" [5][6],

gli elettroni di conduzione dalle impurezze donatrici che li hanno generati, minimizzando l'interazione coulombiana e di conseguenza ottenendo la massima mobilità permessa del materiale puro. Per questo motivo è dunque possibile ottenere velocità di commutazione maggiori nei circuiti logici che li impiegano. Inoltre, la transconduttanza risulta essere molto più elevata di un MESFET proprio in quanto la velocità degli elettroni nel gas bidimensionale è maggiore ed anche perché tale gas si forma molto vicino al gate, per cui questa grande densità di carica può essere modulata da tensioni minori.

1.4.1 Principi di funzionamento di un HEMT

Gli HEMT sono transistor ad effetto di campo realizzati, come già motivato, su eterostrutture di GaAs/AlGaAs o GaN/AlGaN. A causa della presenza di un materiale con alta bandgap nell'eterostruttura, si ha un incurvamento delle bande di energia all'interfaccia tra i due materiali che dà luogo ad una buca quantica triangolare all'interno della quale sono confinati gli elettroni del canale la cui concentrazione ne determina la conducibilità. Applicando un elettrodo di gate sul canale è possibile pilotare la densità di popolazione del gas bidimensionale, creando dunque uno strato conduttivo pilotato in tensione. Sono dispositivi a svuotamento che raggiungono il completo svuotamento del canale (condizione di pinch-off) per tensioni di gate negative. Le caratteristiche DC dell'HEMT sono simili a quelle del MESFET; in Figura 1.3 sono mostrate le curve I-V di un HEMT.

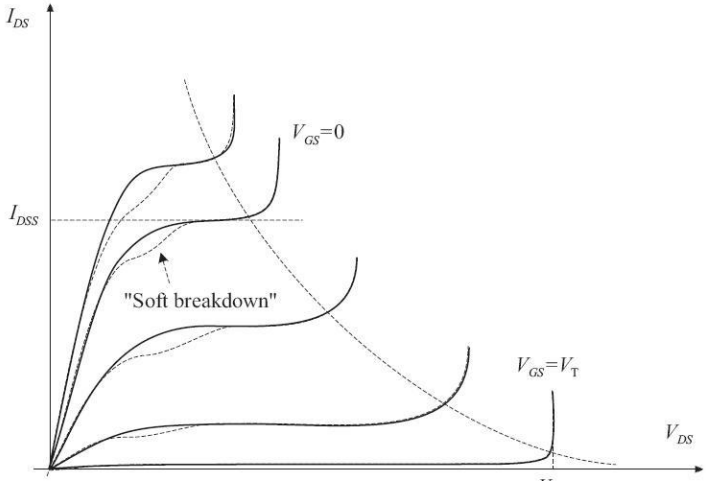

Figura 1.3: I-V dell'HEMT

In Figura 1.4 è presentata la transconduttanza g_m di un HEMT ; il massimo valore lo si ottiene per tensioni di gate prossime allo zero.

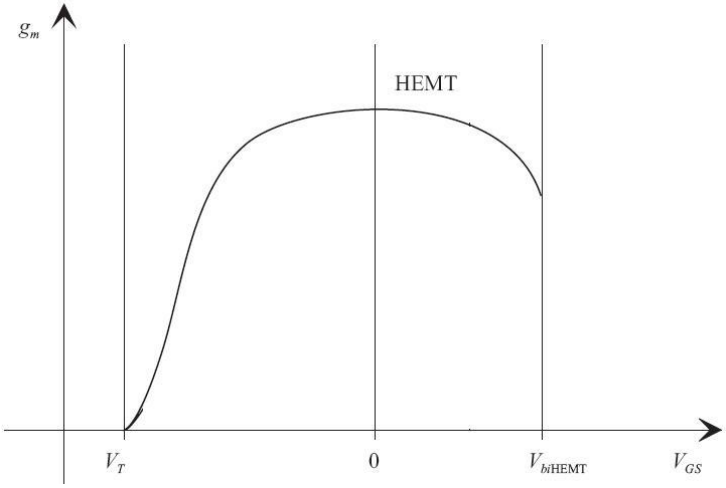

Figura 1.4: transconduttanza HEMT

Come si osserva dal'andamento della transconduttanza, nell'HEMT la corrente presenta un fenomeno di saturazione per valori positivi di tensione che portano alla diminuzione del valore di g_m.

La struttura tipica di un HEMT è quella rappresentata in Figura 1.5 in cui abbiamo un transistor con due contatti di source e drain ai quali viene applicata la tensione di polarizzazione e un contatto di gate che modula la corrente nel canale. In questa rappresentazione viene riportato il circuito equivalente per piccolo segnale del dispositivo evidenziando il dispositivo intrinseco (tutta la parte attiva) dal dispositivo estrinseco costituito dalla rete di accesso [7].

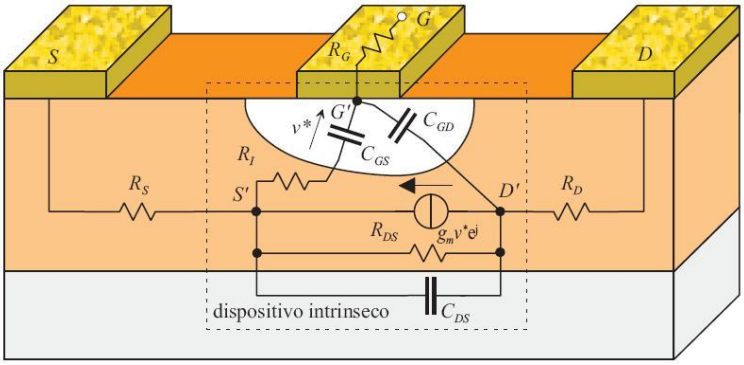

Figura 1.5: modello equivalente per piccolo segnale

Il dispositivo intrinseco può essere visto come un generatore di corrente pilotato dalla tensione applicata al gate che è rappresentato da una parte capacitiva (C_{GS}) e da una parte resistiva (R_I). La capacità tra source e drain è dovuta ad effetti del substrato ma anche ad accoppiamenti capacitivi in aria o in strati di passivazione posti sulla superficie del dispositivo. Per quanto riguarda invece la parte estrinseca, questa è rappresentata dalle resistenze parassite dovute ai contatti metallici e che dipendono esclusivamente da come vengono realizzati tali contatti.

A seconda dell'impiego che si vuole fare del dispositivo è possibile scegliere il punto di polarizzazione ottimale come mostra la Figura 1.6.

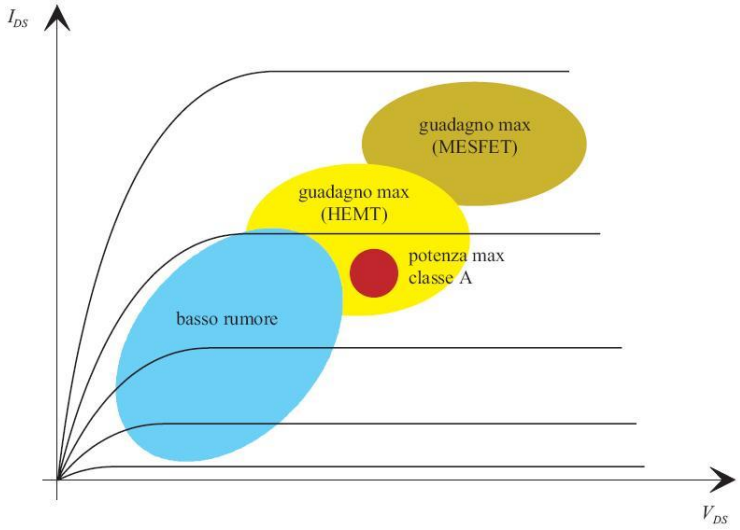

Figura 1.6: scelta del punto di polarizzazione

E' possibile avere diversi casi:

- alto guadagno e quindi alta trasconduttanza: si lavora con tensione di drain lontana dalla zona lineare e gate vicino al valore per il quale si ha la massima transconduttanza
- basso rumore: tensioni di drain basse
- massima potenza di uscita: massima escursione di tensione e corrente cioè a metà tra polarizzazione nulla e massima (in classe A). Si traccia quindi la retta di carico che massimizza l'area del triangolo di massima potenza

A seconda dunque dell'utilizzo che se ne vuole fare, il layout del dispositivo sarà diverso e studiato appositamente per le varie applicazioni.

1.4.2 P-HEMT

Gli HEMT pseudomorfici vengono costruiti su eterostrutture di GaAs in cui i contatti ohmici vengono realizzati su uno strato drogato n^+ di GaAs mentre il contatto di gate viene poggiato sullo strato di AlGaAs come mostrato in Figura 1.7.

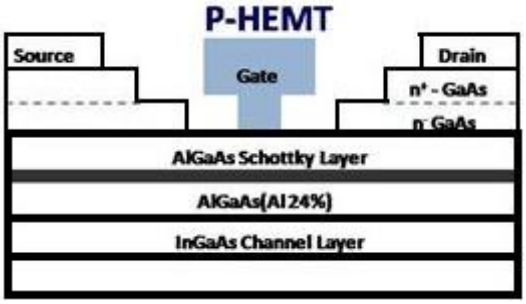

Figura 1.7: tipica struttura P-HEMT

Con questo tipo di struttura, si avvicina il metallo di gate il più possibile al canale e grazie alla realizzazione del recess, si aumenta la tensione di break-down del dispositivo. In Figura 1.8 è riportata la tipica struttura che assumono le bande di un HEMT su GaAs [8].

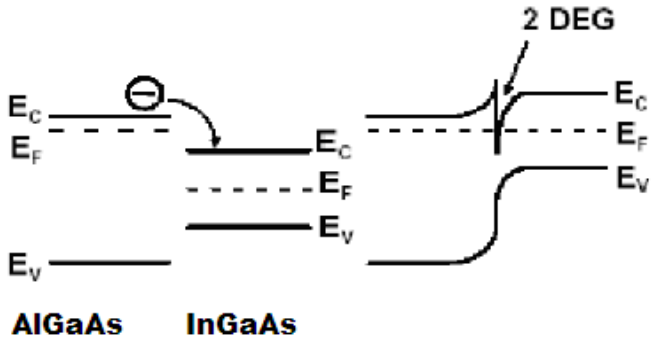

Figura 1.8: struttura a bande

Il gas bidimensionale di elettroni (2DEG) si forma all'interfaccia tra lo strato drogato di AlGaAs e lo strato intrinseco di GaAs. Con dispositivi P-HEMT su GaAs è possibile realizzare circuiti amplificatori in banda X e in banda larga anche grazie all'ottimizzazione della tecnologia per la realizzazione dei dispositivi stessi e in particolare del contatto di gate e di tutti gli step di processo che servono per fabbricarlo.

1.4.3 GaN-HEMT

Gli HEMT su eterostrutture GaN/AlGaN sono dispositivi realizzati totalmente al livello superficiale come si può osservare dalla Figura 1.9. I contatti di source e drain come anche quello di gate sono realizzati sullo strato di AlGaN.

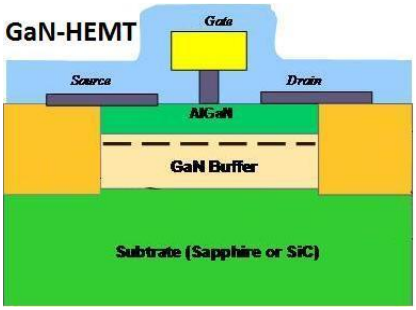

Figura 1.9: tipica struttura GaN-HEMT

In

Figura 1.10 è rappresentato lo schema delle bande di un transistor GaN-HEMT. Il gas bidimensionale si forma per trasferimento di carica all'interfaccia tra GaN e AlGaN [10][10].

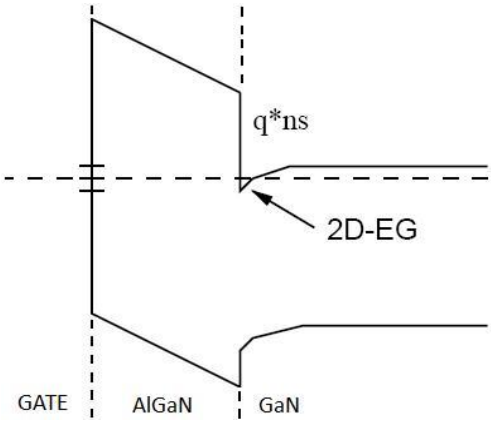

Figura 1.10: struttura a bande

Il vantaggio delle strutture GaN-HEMT rispetto a quelle P-HEMT sta soprattutto nel fatto di poter ottenere campi elettrici di break down più elevati, densità di potenze decisamente più elevate e quindi il vantaggio di avere dimensioni ridotte dei circuiti a parità di potenza di uscita. Inoltre la maggiore conducibilità termica del GaN permette a questi dispositivi di operare in ambienti in cui le temperature sono molto elevate.

Capitolo 2 Tecniche di realizzazione e analisi dei processi

2.1 INTRODUZIONE 19
2.2 LITOGRAFIA STEPPER 22
2.3 PROCESSO DI EVAPORAZIONE E LIFT-OFF 25
2.4 ATTACCO DRY DEL SI_3N_4 27
2.5 ATTACCO WET DEL GAAS 29
2.6 ANALISI DEI PROCESSI 30
2.6.1 SCANNING ELECTRON MICROSCOPE (SEM) 30
2.6.2 FOCUSED ION BEAM (FIB) 31

2.1 Introduzione

Per realizzare un dispositivo HEMT a stato solido in GaAs o GaN esistono diversi step di processo che coinvolgono l'utilizzo di notevoli risorse in termini di macchinari e materiali. I dispositivi vengono realizzati su substrati di GaAs e GaN di diverse dimensioni e i passi di processo per la loro fabbricazione possono essere schematizzati nel modo seguente:

- Definizione dei marker per lo STEPPER

- Definizione del contatto ohmico
- Isolamento
- Definizione dei marker EBL
- Definizione del gate
- Overlay
- Ispessimento dei contatti

La sequenza di passaggi per la realizzazione dei dispositivi su GaAs o GaN con tecnologia 0.5 μm o 0.25 μm è la stessa; la diversità si manifesta nell'uso di materiali diversi e nei processi necessari alla realizzazione dei contatti ohmici e del gate che risultano anch'essi differenti. Descriviamo in modo molto indicativo quello che è il processo; il primo passo è quello della realizzazione dei marker dello STEPPER necessari per il riallineamento di tutti i layer di processo successivi. Di seguito si ha la realizzazione dei contatti ohmici tramite litografia stepper, deposizione dei metalli, lift-off e rapid thermal annealing (RTA) per fare in modo che il contatto diventi ohmico. I metalli depositati su GaAs per la definizione dei contatti ohmici sono Au/Ge/Ni successivamente annilati a temperatura di circa 400 °C che danno origine a resistenze di contatto dell'ordine di 0.18 Ω·mm. Per quanto riguarda il GaN i metalli sono Ti/Al/Ni/Au annilati a circa 800 °C [11] con resistenza di contatto di 0.3 Ω·mm. Un aspetto molto importante è quello della morfologia del contatto ohmico dopo il lift-off e dopo la lega. Come si vede dall'immagine a sinistra della Figura 2.1, questa presenta dei residui sul bordo del contatto e perciò ci possono essere dei problemi nel momento in cui si va a realizzare il gate in quanto la stesura del resist nel canale può risultare difficoltosa e non uniforme.

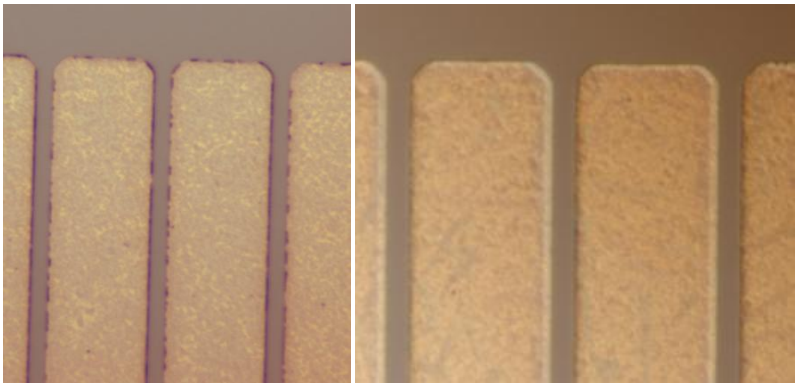

Figura 2.1: contatto dopo lift-off e annealing con residui di metallo sul bordo del contatto (sinistra) e senza residui (destra)

Successivamente si ha l'isolamento che rende il dispositivo conduttivo solo nella zona del canale ed è realizzato tramite impiantazione di ioni fluoro ad alta energia nel caso del GaN, mentre nel caso del GaAs si usa il deuterio; in questo caso la maschera fatta con il resist deve essere molto spessa e resistente in quanto l'impiantazione avviene ad energie molto elevate. Il passaggio del gate può essere considerato uno dei più delicati e consiste nella realizzazione di una giunzione Schottky tra metallo e semiconduttore; a seconda che esso abbia dimensione di 0.5 μm o 0.25 μm, si realizza tramite litografia stepper o litografia EBL; vedremo più in dettaglio questo step nei capitoli successivi. Si ha poi l'inspessimento dei contatti tramite overlay con metallizzazioni depositate sui pad dei dispositivi e un'ulteriore crescita galvanica per rendere meno resistive le vie di accesso al dispositivo ma anche per renderle meccanicamente più resistenti alle punte che si utilizzano per le misure. Sulle piste e sui contatti del circuito la crescita è di circa 5 μm.

2.2 Litografia STEPPER

Tutti i processi per la fabbricazione di un HEMT a stato solido passano per il cosiddetto processo di litografia STEPPER che è un'evoluzione di quella ottica. La fotolitografia è basata sulla possibilità di utilizzare una lampada ad ultravioletti per ottenere una qualsiasi struttura che viene aperta su un polimero fotosensibile detto fotoresist. Una quantità predeterminata di fotoresist viene stesa sulla superficie del wafer mediante l'aiuto di uno spinner (Figura 2.2) cioè un macchinario capace di far ruotare il wafer ad una velocità controllata e per un tempo prefissato.

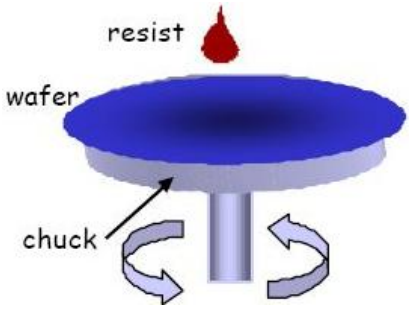

Figura 2.2: spinner

In questo modo il polimero ricopre la superficie in maniera omogenea e a seconda della velocità e dei tempi di rotazione dello spinner si avranno diversi spessori del fotoresist depositato; in generale, maggiore è lo spessore depositato, minore è la risoluzione che si ottiene con l'esposizione del resist alla lampada. Successivamente alla deposizione, il resist subisce una fase di cottura necessaria a far evaporare il solvente e in seguito, tramite processo di esposizione e sviluppo, vengono realizzare le strutture desiderate. A seconda del tipo di processo

successivo alla litografia, il resist può subire ulteriori cotture dopo l'esposizione o dopo lo sviluppo (post-exposition bake e hard bake) in modo da renderlo adatto ai processi seguenti.

La tecnica litografica può essere realizzata in due modi principali:

- Litografia a contatto
- Litografia STEPPER

Per quanto riguarda la litografia a contatto, questa viene eseguita tramite mask-aligner e, mediante una maschera ottica si trasferisce il disegno desiderato sul resist (vedi Figura 2.3). La maschera è formata da zone chiare o scure che fanno passare o no la luce e che rendono il resist solubile nello sviluppo perciò lì dove è stato impressionato, verrà rimosso.

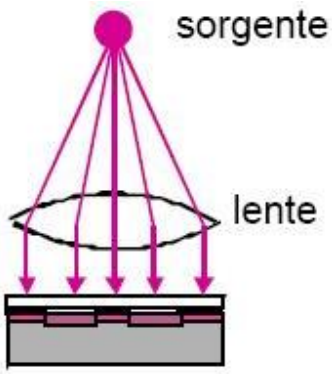

Figura 2.3: litografia a contatto

La risoluzione della litografia a contatto è limitata dagli effetti di diffrazione e in particolare la minima risoluzione viene definita come:

$$R=1.5\ (\lambda z/2)^{1/2}$$

dove λ è la lunghezza d'onda della luce e z è lo spessore del resist. Ad esempio con 1 μm di resist e linea di 365 nm la risoluzione è di 0.7 μm.

La litografia STEPPER consiste nel riprodurre e proiettare sul wafer l'immagine contenuta in reticoli di vetro ognuno dei quali contiene più maschere.

La radiazione ultravioletta incide sul reticolo e grazie ad un sistema di ottica avanzata, il disegno viene riportato sul wafer (vedi Figura 2.4). Una grossa differenza risiede nel fatto che non tutto il wafer viene esposto alla radiazione ma solo una cella alla volta, perciò si riproduce più volte la stessa cella con la tecnica "step and repeat".

Figura 2.4: litografia stepper

Questo tipo di tecnica è in grado di spingere di molto il limite dovuto agli effetti di diffrazione e in particolare la risoluzione [12] viene definita come:

$$R=k_1\lambda/NA$$

dove k_1 è un fattore dipendente dal resist e NA è l'apertura numerica della lente. Il limite di risoluzione con uno stepper può arrivare anche a 300 nm.

2.3 Processo di evaporazione e lift-off

Il processo di evaporazione dei metalli si rende necessario come passo successivo alla litografia quando si debbano realizzare contatti ohmici, gate, overlay ed altri tipi di metallizzazione. Questo processo fisico utilizza effetti meccanici e termodinamici per la deposizione di layer metallici. La sorgente viene portata in una condizione energetica molto alta così che le particelle di materiale vengono desorbite dalla superficie e si depositano sul substrato. La deposizione fisica è molto direzionale, conforme al sistema ed avviene in vuoto in modo da garantire alle particelle di viaggiare liberamente e quindi di non avere scattering con altre particelle ma anche in modo da ridurre l'incorporazione di impurità sulla superficie del wafer. Esistono diversi metodi di evaporazione tra i quali:

- evaporazione termica
- evaporazione e-beam.

Un tipico sistema di evaporazione è quello rappresentato in Figura 2.5 in cui abbiamo una camera di evaporazione tenuta sotto vuoto da una pompa criogenica. Nella parte alta della camera si posiziona il campione sul quale si vuole evaporare il metallo e accanto c'è una bilancia di quarzo che viene utilizzata per il controllo della misura di spessore del materiale cresciuto.

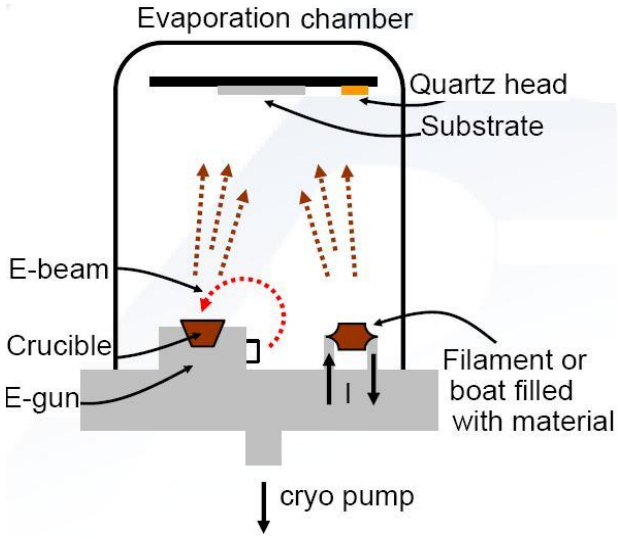

Figura 2.5: sistema di evaporazione

Nel caso in cui la camera di evaporazione sia dedicata all'evaporazione di tipo termico, un crogiolo riempito con il materiale da evaporare, viene posizionato tra due morsetti all'interno dei quali viene fatta passare una corrente che fluisce attraverso il crogiolo e ne scalda il materiale.

Nel caso in cui la camera di evaporazione sia dedicata all'evaporazione di tipo e-gun, un filamento controllato tramite una potenza, emette elettroni [13] e viene focalizzato sul crogiolo all'interno del quale si trova il materiale da evaporare. E' importante l'ampiezza del fascio e la posizione in cui questo viene focalizzato in quanto è necessario scaldare uniformemente il materiale ed evitare che il fascio vada ad incidere sul crogiolo con il rischio di rovinarlo. Il filamento deve essere inoltre posizionato in modo da proteggerlo da qualunque deposizione di materiale.

Anche in questo caso il substrato è posizionato nella parte superiore della camera con accanto una bilancia per la misura dello spessore del film depositato.

Il processo che segue necessariamente quello dell'evaporazione nel caso in cui si stiano realizzando dei contatti metallici, è il lift-off. Questo consiste nella rimozione del metallo dove non necessario grazie alla presenza del resist sotto le zone in cui il metallo deve essere tolto [14].

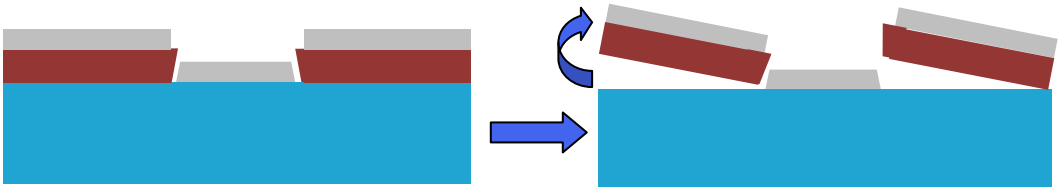

Figura 2.6: deposizione e lift off del metallo

Il wafer viene immerso in una sostanza che discioglie il resist e rimuove il metallo; affinchè si abbia un buon lift-off è necessario che il resist sia molto più spesso del layer depositato e abbia il profilo tale da non causarne la continuità durante l'evaporazione come evidenziato dalla Figura 2.6.

2.4 Attacco dry del Si_3N_4

Il processo di attacco di un qualsiasi materiale, utilizza come maschera principalmente il fotoresist ma è possibile utilizzare maschere formate da layer metallici come il cromo. L'attacco dry prevede che i reagenti vengano impiegati sotto forma di gas e tipicamente questo avviene in una atmosfera di plasma in cui i reagenti sono ionizzati. Il processo avviene in tre passaggi principali; il trasporto dei reagenti sul layer da rimuovere, la reazione tra il film e i gas utilizzati e infine il trasporto al di fuori della superficie [15]. Gli etch dry sono maggiormente

utilizzati per attaccare film sottili di strati passivanti o ossidi ma vengono spesso impiegati ad esempio per la realizzazione dei buchi per il retro del dispositivo. Esistono diversi tipi di dry etch:

- RIE (reactive ion etching)
- ICP (Inductively coupled plasma)

Entrambi i sistemi fanno uso di generatori RF per indurre il plasma ma il RIE è molto meno energetico dell'ICP [16]. Con quest'ultimo sistema è possibile raggiungere potenze molto elevate anche dell'ordine dei 1000 W con particolari tipi di gas. L'etch in plasma si distingue in due tipi di etch:

- etch di tipo fisico
- etch di tipo chimico

Il primo è un meccanismo fisico; gli ioni positivi vengono accelerati sulla superficie con alta energia cinetica la quale in parte si trasferisce sul substrato e provoca la rimozione del materiale. Questo tipo di meccanismo è molto anisotropo ma poco selettivo. Il secondo è un meccanismo chimico; atomi neutri reagiscono con il materiale della superficie formando sostanze volatili che sicuramente non si ridepositano sulla superficie. Questo tipo di meccanismo è isotropo e cioè attacca il materiale in egual misura in tutte le direzioni ma è molto selettivo e quindi attacca solo il materiale di interesse.

Il nitruro di silicio è uno strato passivante molto utilizzato nei semiconduttori sia per la realizzazione i condensatori che per la protezione della superficie del wafer. Per rimuovere in attacchi dry il Si_3N_4 si possono utilizzare gas come il CF_4/O_2 (tetrafluoruro di carbonio e ossigeno) o SF_6 (esafluoruro di zolfo) che danno

origine a SiF_4 (tetrafluoruro di silicio) in fase gassosa. L'etch del Si_3N_4 rappresenta un passaggio molto critico nella realizzazione del gate su GaN come vedremo più in dettaglio in quanto è necessario trovare le giuste condizioni per ottenere un attacco selettivo, anisotropo ed efficace in termini di assenza di rideposizioni di materiale nelle aree aperte.

2.5 Attacco wet del GaAs

Gli attacchi umidi sono processi che utilizzano soluzioni chimiche per rimuovere il materiale dal substrato là dove necessario e anche questi fanno uso del fotoresit come maschera per l'etch. Il wafer viene immerso in una soluzione liquida all'interno della quale sono contenuti i reagenti necessari per la rimozione del materiale, in genere diluiti con altre sostanze. Avviene dunque una reazione chimica di ossidoriduzione che varia la concentrazione dei reagenti all'interno della soluzione e per questo motivo dopo un certo numero di processi effettuati con la stessa soluzione, è necessario cambiarla in quanto è possibile che questa sia diventata satura e non abbia più capacità di attaccare il materiale. In generale questi processi possono essere utilizzati per la pulizia e preparazione delle superfici. Per quanto riguarda le caratteristiche più importanti di un processo di wet etch, possiamo dire che questo è fortemente isotropo e quindi attacca il materiale tanto in verticale quanto in orizzontale. Inoltre è un processo poco controllabile in termini di rate di attacco in quanto man mano che la soluzione satura, il rate diminuisce. Esistono attacchi cosiddetti selettivi che si bloccano non appena incontrano lo strato che fa da stop etch. Per quanto riguarda il GaAs, la

sostanza che attacca la superficie è l'H_2O_2 messa in soluzione con NH_4; queste soluzioni vengono utilizzate per realizzare il recess necessario nella fabbricazione di gate per dispositivi ad alta potenza. Anche in questo caso dunque questo processo di etch svolge un ruolo critico nella realizzazione del gate.

2.6 Analisi dei processi

Esistono diversi metodi per l'analisi dei processi sia dal punto di vista elettrico tramite il controllo delle prestazioni dei dispositivi realizzati, che dal punto di vista dell'analisi visiva del processo realizzato. Il controllo visivo è importante se si vogliono tenere sotto controllo tutti gli step di processo in modo da monitorare i problemi che si potrebbero presentare. Molto importante è dunque l'analisi con il microscopio ottico ma la risoluzione che si ottiene con questo strumento è limitata dalla lunghezza d'onda della luce e dall'ottica che lo caratterizza; perciò è difficoltoso indagare con buona accuratezza strutture al di sotto di 0.5 μm. A supporto del microscopio ottico intervengono altri strumenti come il microscopio elettronico e il dual beam.

2.6.1 Scanning electron microscope (SEM)

Il microscopio a scansione elettronica è uno strumento in grado di superare il limite di risoluzione dell'ottica. Esso è composto da un fascio elettronico emesso da una sorgente che può essere termoionica o a emissione di campo. Questo strumento lavora in vuoto; il fascio viene generato al alta tensione, passa attraverso un sistema di lenti e bobine magnetiche che sono in grado di focalizzare

il fascio e defletterlo in modo da fare una scansione su una certa area del campione. L'interazione tra il fascio elettronico e il campione, genera diversi tipi di segnali che vengono raccolti da detector per poi essere elaborati fino a formarne un'immagine. Gli elettroni emessi dal campione sono di diversa natura ma quelli che servono alla generazione dell'immagine sono gli elettroni retro diffusi e quelli secondari. I primi sono quelli appartenenti al fascio che dopo un certo numero di urti elastici escono dal campione; essi dipendono in modo significativo dall'energia del fascio e in particolare, maggiore è l'energia, maggiore è la possibilità che gli elettroni vengano emessi. Gli elettroni secondari si generano dal campione ad una cera profondità z ma sono anche prodotti dagli elettroni retro diffusi. Con questo tipo di scansione è possibile risolvere anche particolari molto piccoli dell'ordine delle decine di nanometri. Uno degli svantaggi da attribuire al SEM è la lentezza dell'indagine in quanto è un'analisi che va fatta in vuoto; inoltre può essere un metodo di analisi distruttiva come ad esempio nel caso in cui si vada ad analizzare una apertura su un resist elettronico il quale, essendo sensibile agli elettroni, si deforma nel momento in cui lo si osserva. Per questo motivo viene utilizzato in fase di messa a punto dei processi di sviluppo per verificarne i risultati ottenuti.

2.6.2 Focused ion beam (FIB)

Il focused ion beam si differenzia dal SEM principalmente per il fatto che possiede al suo interno una dual beam e cioè due colonne, una di ioni e l'altra di elettroni. Anche questo strumento lavora in vuoto e per questo motivo può essere

considerato un metodo di indagine abbastanza lento, possiede un sistema di lenti e bobine magnetiche in grado di focalizzare il fascio e defletterlo e ricostruisce l'immagine raccogliendo gli elettroni secondari che vengono generati dall'interazione degli ioni con la superficie del campione raggiungendo dunque alte risoluzioni spaziali. Le due colonne mantengono entrambe lo stesso centro sul campione come si vede nell'immagine riportata in Figura 2.7 [17].

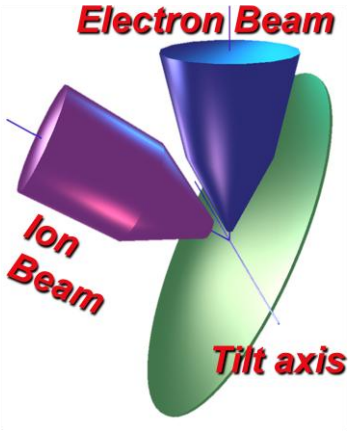

Figura 2.7: colonna focused ion beam

Il FIB ha come caratteristica principale il fatto di poter realizzare delle sezioni sul campione per poi andarlo ad analizzare, ma è anche in grado di depositare materiale sul campione o di realizzare un pattern precedentemente caricato sul software in formato bitmap o di preparare delle lamelle per poi fare delle analisi di tipo TEM (Transmission electron microscopy).

Per quanto riguarda la possibilità di realizzare delle sezioni, quello che si fa è tiltare il campione ad un angolo di 52° in modo che si trovi ortogonale alla colonna ion beam, in seguito si deposita uno strato più o meno sottile di platino

sull'area che si vuole analizzare, a seconda dello spessore di questa zona e a seconda della struttura che abbiamo in analisi. Questo strato di platino serve da protezione in quanto il passaggio successivo è quello di andare ad erodere la superficie con gli ioni gallio che possono andare a rovinare tutta la struttura. Una volta realizzata la sezione è possibile osservarla con la colonna SEM. Questo metodo di analisi risulta molto utile nel caso in cui si voglia indagare la sezione del gate di dispositivi per vedere se questi hanno ad esempio difetti strutturali o di forma. I tempi di realizzazione di una sezione sono tali da consentire di realizzarne un numero limitato.

Capitolo 3 Litografia elettronica

3.1 INTRODUZIONE 34
3.2 PRINCIPI DI FUNZIONAMENTO 36
3.2.1 LA SORGENTE 39
3.2.2 METODO DI SCRITTURA DEL PATTERN 40
3.3 PIANIFICAZIONE DELL'ESPOSIZIONE 43
3.3.1 PREPARAZIONE DEL DISEGNO 44
3.3.2 PREPARAZIONE DEL CAMPIONE 47
3.3.3 STRATEGIA DI ESPOSIZIONE 48
3.4 EFFETTO DI PROSSIMITÀ 49

3.1 Introduzione

La litografia elettronica è la tecnica impiegata per la realizzazione di tutti quei dispositivi che necessitano una risoluzione superiore a quella tipica della litografia ottica. Al contrario di quest'ultima che utilizza una lampada a raggi ultravioletti per impressionare il resist e realizzare la geometria desiderata, o della litografia stepper che comprende, all'interno dell'apparato, un sistema di ottica in grado di spingere la risoluzione fino alla realizzazione di dimensioni minime di circa 300 nm, l'e-beam lithography utilizza un fascio di elettroni emessi da un field

emission gun (FEG), cioè da un cannone elettronico, composto da un catodo di tungsteno (W) o esaboruro di lantanio (LaB_6). La Figura 3.1 mostra il fascio che viene focalizzato con una certa intensità di corrente su un'area del substrato ricoperto da un polimero sensibile agli elettroni, in modo da ottenere le strutture richieste. Per poter scrivere sull'area vicina, il fascio di elettroni si sposta fino al suo limite massimo di deflessione e successivamente interviene un sistema meccanico di precisione che regola lo spostamento dello stage sul quale è montato il campione. La movimentazione del fascio è regolata tramite l'elettronica che genera segnali di controllo analogici e digitali per comandare il sistema di lenti e bobine all'interno della colonna.

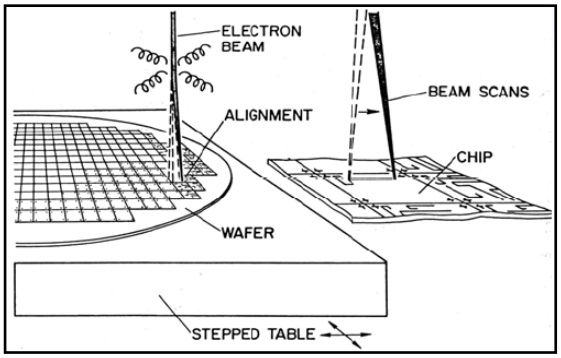

Figura 3.1: EBL direct writing

Il sistema EBL lavora in condizioni di alto e altissimo vuoto; nella parte in cui è contenuta la sorgente si ha una pressione pari a 10^{-10} Torr mentre la colonna è tenuta ad una pressione di 10^{-8} Torr; infine la camera di esposizione si trova a 10^{-7} Torr. I vantaggi principali della litografia elettronica sono dati dalla capacità di realizzare strutture di dimensioni nanometriche, dalla precisione che si ottiene

nell'allineamento degli step litografici successivi e dalla sua flessibilità in quanto è possibile realizzare la scrittura diretta su wafer senza dover fare uso di maschere fisiche [18]. Il limite principale è dato dall'effetto di prossimità che riduce la dimensione minima realizzabile; inoltre il tempo richiesto per l'esposizione del singolo wafer è considerevole e questo limita il numero di wafer realizzabili.

3.2 Principi di funzionamento

Il sistema EBL utilizzato per la realizzazione e l'ottimizzazione del gate dei dispositivi è un EBPG 5-High Resolution dell'IFN-CNR di Roma (Figura 3.2).

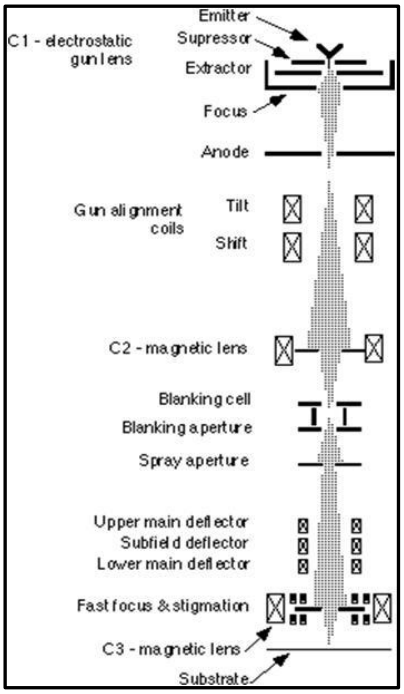

Figura 3.2: EBPG 5HR

Questo apparato presenta le seguenti caratteristiche:

- Fascio gaussiano
- Scansione di tipo vettoriale
- Movimentazione dello stage “step and repeat”
- Alta energia del fascio

Con queste caratteristiche il sistema presenta un’alta risoluzione, dell’ordine delle decine di nanometri, la capacità di spegnere il fascio elettronico durante la movimentazione dello stage e un basso effetto di prossimità dovuto all’alta energia di accelerazione degli elettroni.

Gli elettroni emessi dalla sorgente vengono estratti e accelerati con una tensione di 100 kV e, tramite un sistema di lenti elettrostatiche, vengono focalizzati e fatti convergere in un fascio di elettroni con dimensioni dello spot molto ridotte in modo da regolarne anche l’intensità della corrente (lenti C1). Nella colonna dell’EBL (mostrata a destra della Figura 3.2) un sistema di bobine realizza l’allineamento e in particolare regola il tilt e lo shift del fascio che passa successivamente attraverso un sistema di lenti magnetiche che ha il compito di focalizzarlo (lenti C2). Proseguendo lungo la colonna è presente un sistema detto “beam blanker” che funziona come un interruttore di accensione o spegnimento del fascio e che viene utilizzato per far passare o meno gli elettroni a seconda che ci sia ancora area da scrivere o che questa sia ultimata. Infine il beam viene convogliato attraverso un sistema di bobine che ne provoca la deflessione entro il suo massimo campo di funzionamento e passa attraverso un sistema di lenti che ne correggono il fuoco e l’astigmatismo. In questo modo gli elettroni raggiungono il substrato, precedentemente trasferito dal “load-lock” alla camera di esposizione

mediante un braccio meccanico, e concretizzano le geometrie realizzate tramite un disegno.

Il controllo di ogni singolo movimento del fascio elettronico nella colonna dell'EBL, il controllo delle lenti, delle bobine magnetiche e del "beam blanker" è gestito mediante calcolatore che, con l'uso di alcuni parametri, invia dei segnali all'elettronica che gestisce tutti gli spostamenti. Il controllo della movimentazione dello holder sul quale è montato il campione, nella camera in cui ha luogo l'esposizione, avviene grazie ad un laser interferometrico che legge la posizione mediante le sue coordinate x e y e pilota un motorino passo-passo per spostamenti di precisione.

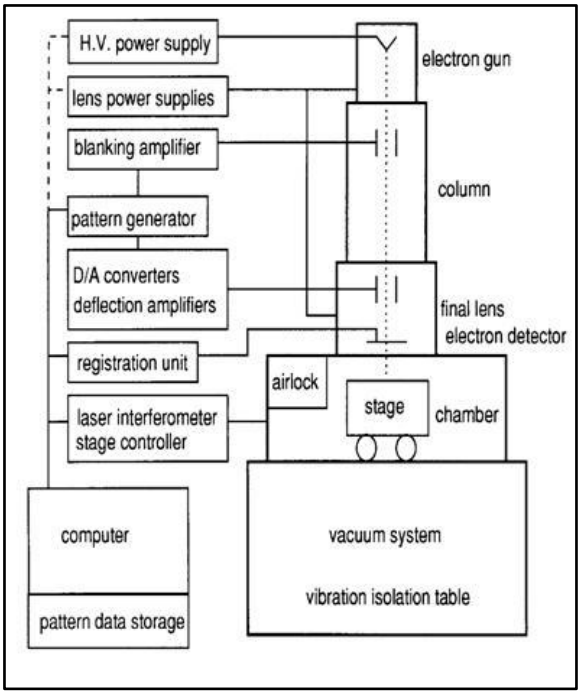

Figura 3.3: elettronica di controllo dell'EBL

Nella Figura 3.3 è rappresentata tutta l'elettronica di controllo dell'EBL [19], dall'alimentatore ad alta tensione per la sorgente, agli alimentatori utilizzati dalle lenti elettro-magnetiche. Il controllo dello stage e della generazione del pattern avviene mediante computer.

3.2.1 La sorgente

Il cannone elettronico è costituito da un emettitore (catodo) ad effetto di campo (*FEG*, Field Effect Gun) di tipo Schottky [20] e consta di tre parti principali (Figura 3.4):

- una punta di Tungsteno (W) cristallino orientato lungo il piano cristallografico <100>;
- un serbatoio di Ossido di Zirconio, ZrO;
- un filamento di Tungsteno policristallino

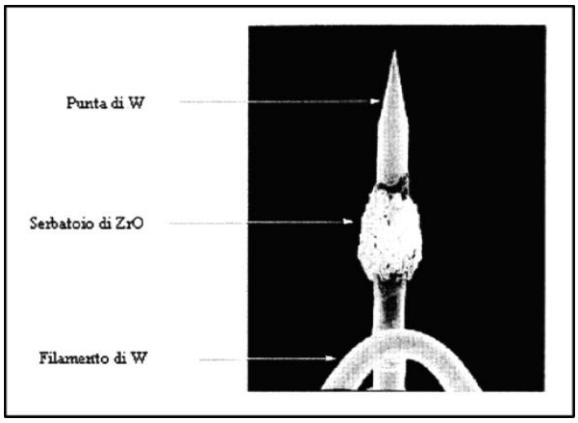

Figura 3.4: sorgente dell'EBL

Quando il campo elettrico raggiunge i 10V/nm la barriera si abbassa, si stringe in larghezza e si ha emissione di tipo Schottky. A temperature molto elevate (1800 K) l'ossido di zirconio diventa mobile e migra dal serbatoio alla punta, abbassandone la funzione di lavoro da 4.5 eV a 2.9 eV e favorendone quindi l'emissione di elettroni. L'emissione di tipo Schottky produce un fascio di elettroni con spot-size molto piccolo e quindi con risoluzione molto spinta; inoltre le alte temperature di funzionamento garantiscono la pulizia della punta.

Un parametro caratteristico della sorgente è la *brillanza* che misura l'efficienza dell'emettitore e rappresenta la capacità della sorgente di generare un fascio elettronico con elevata densità di corrente nello spot finale. Un emettitore Schottky ha brillanza più alta rispetto al caso degli emettitori LaB_6 o Tungsteno.

3.2.2 Metodo di scrittura del pattern

Il fascio elettronico regolato dal sistema di lenti e bobine, è in grado di scrivere all'interno del cosiddetto *main field.* Si definisce campo massimo, l'area massima all'interno della quale il beam non subisce deformazioni come ad esempio l'astigmatismo (Figura 3.5)

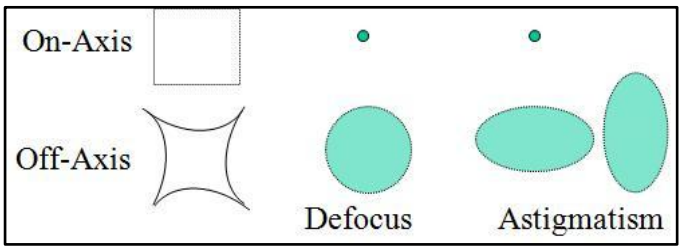

Figura 3.5: distorsione del fascio

Il pattern, sotto forma di file, viene convertito tramite un DAC (convertitore digitale/analogico) che controlla la movimentazione del fascio elettronico e il beam blanker.

Il DAC lavora a 15 bit e a seconda della risoluzione utilizzata, definisce il massimo campo di scrittura secondo la formula che segue:

$$risoluzione = \frac{main\ field}{32768}$$

Ciascuna pattern è dunque costituito da un insieme di *blocchi* e ogni blocco è composto da altri sottoblocchi che vengono detti *trapezi* (Figura 3.6).

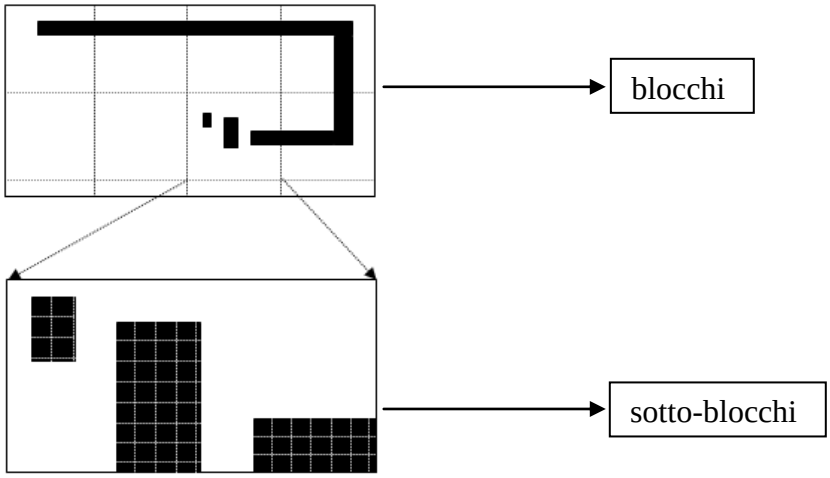

Figura 3.6: suddivisione pattern

Il metodo di scrittura utilizzato dall'EBL è quello di esporre a partire dall'angolo in basso a sinistra per ogni trapezio e continuare formando un meander fino ad arrivare all'angolo in alto a sinistra come mostrato in Figura 3.7.

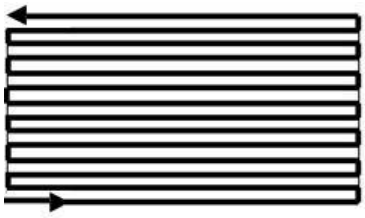

Figura 3.7: metodo di scrittura

Terminato ciascun trapezio, il fascio viene spento tramite il beam blanker che lo deflette in modo da non farlo passare (Figura 3.8)

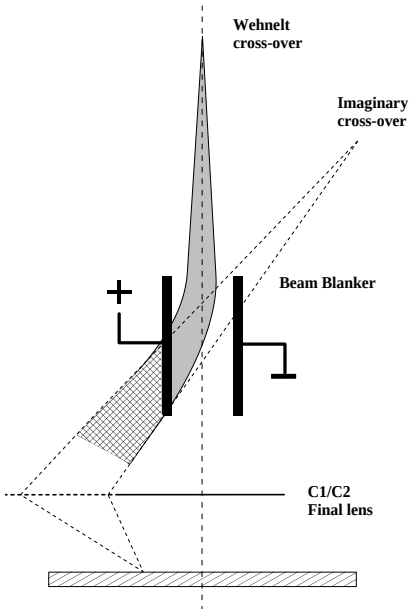

Figura 3.8: fascio completamente deflesso

Ultimato ciascun field invece, si ha la movimentazione dello stage per passare al field successivo; anche in questo caso la scrittura avviene a meander. Infine un insieme di blocchi possono andare a costituire una cella base che viene ripetuta sul

campione più volte. Nella Figura 3.9 è mostrato il substrato posto sul suo sistema di riferimento e su di esso sono rappresentate in ordine il trapezio, il main field e la cella. Il tempo impiegato dallo stage per la movimentazione da un blocco a quello successivo e da una cella all'altra può non essere trascurabile rispetto al tempo di effettiva esposizione del substrato.

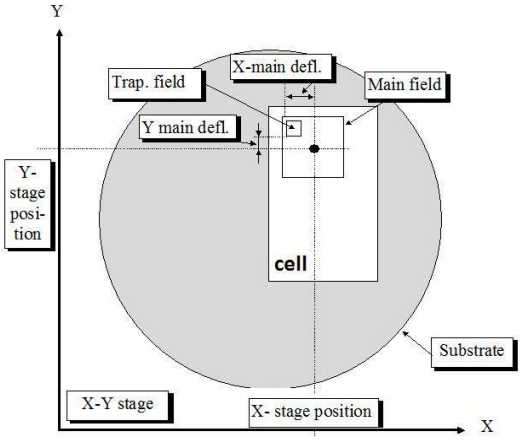

Figura 3.9: sistema di riferimento

3.3 Pianificazione dell'esposizione

La preparazione all'esposizione comprende una prima parte di preparazione del disegno, una seconda parte per la preparazione meccanica del campione e un' ultima parte di organizzazione del file che verrà utilizzato dall'EBL per far partire l'esposizione.

3.3.1 Preparazione del disegno

Il pattern che viene realizzato durante l'esposizione e trasferito sul substrato, è stato precedentemente convertito mediante computer in un formato compatibile con il software che gestisce l'EBL; a partire da un disegno progettato tramite cad in formato *tlc* che comprende l'informazione sui diversi layer da realizzare, sulle dimensioni della cella e delle varie strutture, si passa ad un disegno in formato *IWFL* (internal working file) che contiene all'interno un numero di informazioni necessarie per l'esposizione:

- Risoluzione
- Dimensione dei blocchi
- Fratturazione in trapezi
- Layer da esporre
- File delle dosi (CFA)

La risoluzione viene stabilita in base alla larghezza minima presente all'interno del disegno e da questa dipende la dimensione dei blocchi. E' tuttavia possibile fissare in anticipo la dimensione del main field e realizzare una griglia sovrapposta al disegno (vedi Figura 3.10) che verrà utilizzata, durante la conversione del file, come riferimento per posizionare ogni elemento critico all'interno di un campo. In questo modo è possibile evitare a priori eventuali problemi di stitching che si potrebbero manifestare lungo la congiunzione di campi contigui che vengono scritti separatamente, in caso di una cattiva calibrazione del sistema.

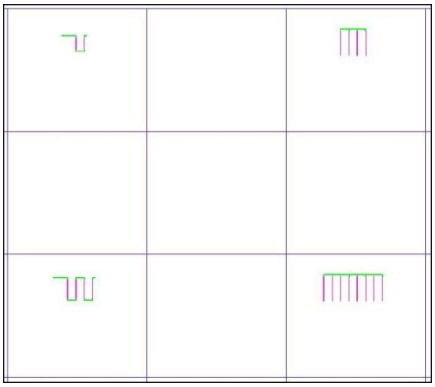

Figura 3.10: griglia sovrapposta al disegno

Un esempio di stitching è mostrato in Figura 3.11; in corrispondenza della linea bianca tratteggiata dove si ha l'unione di due campi adiacenti, le parti della struttura non coincidono perfettamente e questo crea problemi soprattutto quando si hanno strutture molto piccole che necessitano di una risoluzione molto elevata e di una precisione altrettanto elevata nella realizzazione della struttura.

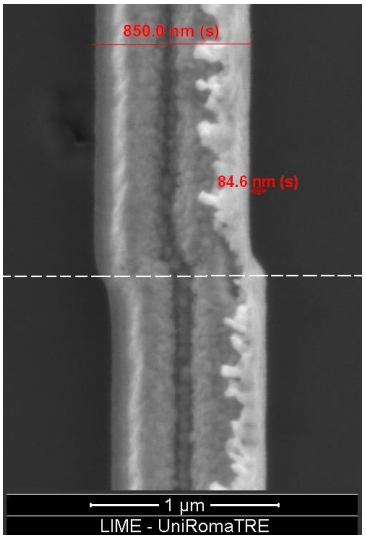

Figura 3.11: immagine dall'alto dello stitching

L'ottimizzazione della fatturazione in trapezi di una geometria (vedi Figura 3.12) è effettuata dal programma di conversione (CATS) [21][22] in base alle specifiche di risoluzione che gli vengono fornite.

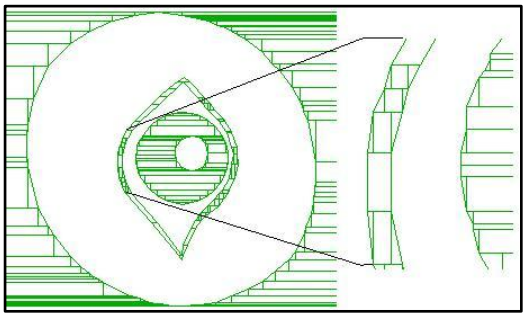

Figura 3.12: fratturazione in trapezi di una shape

Infine, all'interno del file IWFL, sono contenute le informazioni sui layer e a questi sono associate le dosi per l'esposizione.

Per *dose* si intende la quantità di carica che arriva sulla superficie calcolata per unità di area e si misura in $\mu C/cm^2$. E' possibile realizzare un file di testo, detto CFA, che contiene le informazioni sulle dosi associate ad ogni layer che verrà esposto, e caricarlo nel programma di conversione del disegno. Per ogni dose verrà dunque calcolata la frequenza con cui il fascio resterà su una zona da esporre; minore è la dose, maggiore sarà la frequenza così che il fascio si fermerà su quella zona solo per poco tempo. I limiti di frequenza imposti nel sistema EBL presente all'IFN vanno da 500kHz a 10MHz e per questo bisogna mantenersi all'interno di questo range valutando la corrente che si può utilizzare, la risoluzione e la dose in base alla formula:

$$frequenza = \frac{0.1 * I}{D * R^2}$$

La frequenza è dunque strettamente dipendente dalla corrente I, dalla risoluzione R e dalla dose D. La scelta della corrente usata per l'esposizione è legata alla risoluzione desiderata (la dimensione del fascio aumenta con il valore della corrente) e al contenimento dei tempi di scrittura. Minore è la corrente utilizzata, maggiori saranno i tempi di scrittura soprattutto per aree molto estese.

3.3.2 Preparazione del campione

Il sistema EBPG5HR è dotato di un cassetto con 10 holder differenti che garantiscono la possibilità di montare campioni di diverso tipo: substrati da 2, 3 o 4", pezzetti e maschere ottiche. In Figura 3.13 è riportata un'immagine dello stage per wafer da 4".

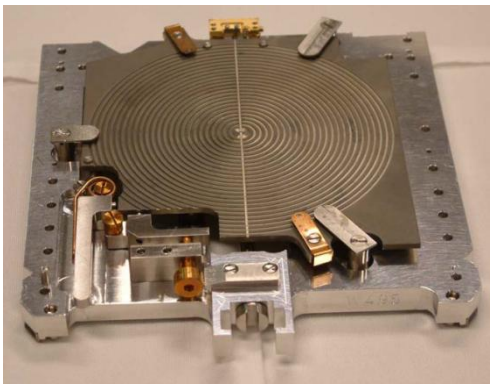

Figura 3.13: holder 4"

L'immagine mette in evidenza come lo holder sia dotato di due mollette che entrano in contatto col wafer per far scaricare a massa gli elettroni e tre mollette

per la messa in piano del substrato. Dopo aver montato il campione sullo stage è necessario eseguire un allineamento più o meno grossolano al microscopio ottico, realizzato tramite dei marker che vengono fabbricati in uno step precedente; in questo modo si cerca di correggere l’errore di allineamento dovuto alla rotazione e di mantenerlo al di sotto dell’angolo limite che l’EBL può compensare e che è pari a 0.1 gradi. Una volta effettuato l’allineamento il wafer viene caricato nel “load-lock” dell’EBL per poi essere trasferito nella camera di esposizione tramite un braccio meccanico, non appena si raggiunge il minimo livello di vuoto tale da permettere il collegamento tra le due parti.

3.3.3 Strategia di esposizione

In seguito al trasferimento si effettua tutta la serie di calibrazioni necessarie al fascio per raggiungere le sue condizioni ideali, in termini di corrente, messa a fuoco, tilt, shift etc. Si definiscono tutti i parametri necessari all’esposizione come dose, corrente, pattern selezionato, coordinate del centro del wafer etc [23]. Si determina un layout che verrà riprodotto su tutto il wafer e si esegue un allineamento globale automatico del wafer che consiste nel far localizzare all’EBL un marker per ogni cella e nel correggere l’errore realizzato in precedenza mediante l’allineamento al microscopio ottico. A questo punto l’esposizione può cominciare.

3.4 Effetto di prossimità

L'effetto di prossimità è il limite principale della litografia elettronica in quanto va ad influire sulla dimensione minima realizzabile. Durante l'esposizione, gli elettroni che arrivano sulla superficie penetrano fino ad una certa profondità nel campione e interagiscono con gli elettroni degli atomi che formano il substrato. Si ha in questo caso il cosiddetto scattering elastico che provoca la variazione della direzione di propagazione degli elettroni generando elettroni di *backscatteing* che tornando verso la superfice, contribuiscono nel computo della dose. L'effetto di prossimità dipende in primo luogo dal numero atomico del substrato che stiamo utilizzando e in particolare, all'aumentare del numero atomico diminuisce l'effetto di prossimita in quanto diminuisce la profondità di penetrazione degli elettroni; in secondo luogo esso è direttamente proporzionale all'energia di accelerazione degli elettroni come mostrato nella Figura 3.14.

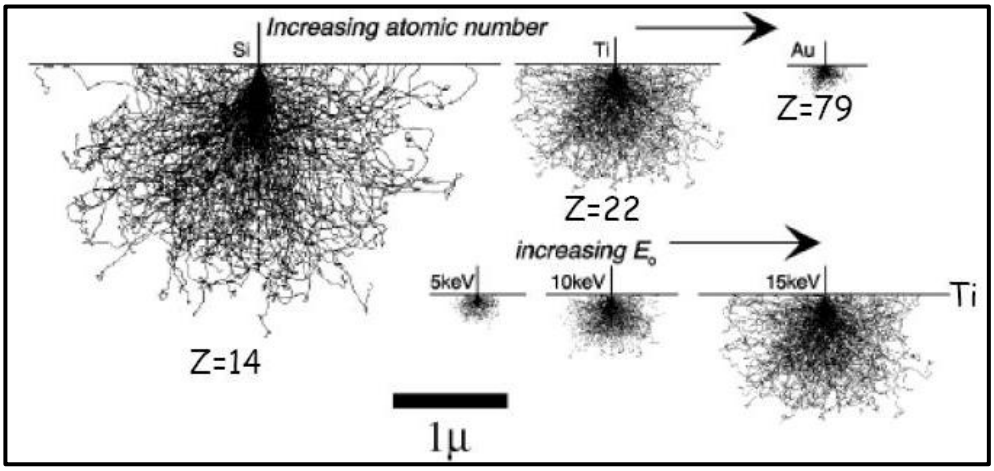

Figura 3.14: pera di penetrazione in funzione di numero atomico e energia

La Figura 3.15 mostra un esempio tipico di effetto di prossimità sul resist elettronico. Tutti i dot che se trovano sulla destra e che sono adiacenti alla cornice esposta intorno, raccolgono parte della dose della cornice e si allargano di più di quelli che si trovano lontani dalla cornice.

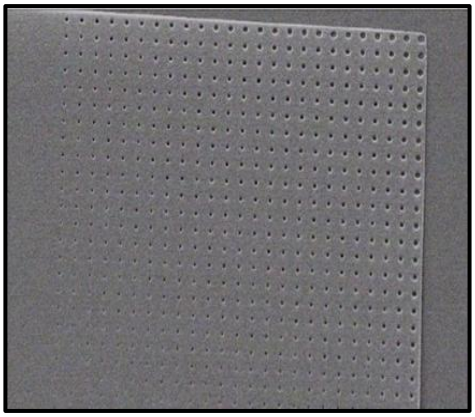

Figura 3.15: effetto di prossimità della dose

Inoltre, più grande è la struttura che esponiamo, maggiore sarà il numero di elettroni di backscattering che essa raccoglie, perciò le aree grandi risentono dell'effetto di prossimità in modo più rilevante rispetto alle zone di dimensioni ridotte. E' possibile controllare l'effetto di prossimità in modo abbastanza sperimentale facendo dei test di dose al variare della dimensione del disegno o viceversa mantenendo fisso il disegno e variando la dose. Su aree grandi è possibile attribuire dosi diverse al centro e agli angoli della struttura per correggere questo effetto [24] . Inoltre esistono software molto avanzati che fanno una correzione automatica dell'effetto di prossimità in base alle caratteristiche della struttura, del substrato e in base ai parametri che si impongono per l'esposizione.

Capitolo 4 Ottimizzazione contatto di gate su GaAs

4.1	INTRODUZIONE	51
4.2	STRUTTURA DEL DISPOSITIVO SU GAAS	52
4.3	DESCRIZIONE ED OTTIMIZZAZIONE DEL PROCESSO EBL	54
4.4	DESCRIZIONE ED OTTIMIZZAZIONE DEL RECESS	64
4.5	OTTIMIZZAZIONE DEL PROCESSO DI EVAPORAZIONE	67
4.6	OTTIMIZZAZIONE DI UN NUOVO TRILAYER	69

4.1 Introduzione

La messa a punto del processo utilizzato per la realizzazione del contatto di gate da 0.25 μm per dispositivi HEMT su GaAs, ha riguardato l'ottimizzazione di tutti gli step che vengono impiegati per la sua fabbricazione. A partire da un processo che in linea di principio poteva essere considerato in grado di produrre un numero di dispositivi funzionanti molto limitato rispetto a quelli effettivamente realizzati, l'obiettivo raggiunto è stato quello di ottenere una resa dell'80% di HEMT che soddisfino le specifiche. Questo grazie ad una serie di aggiustamenti successivi di

tutti i passi necessari alla fabbricazione del gate. In dettaglio, il processo viene realizzato tramite i seguenti step:

- Litografia EBL
- Recess del gate
- Metallizzazione e lift-off

Ognuno di questi passaggi ha presentato le sue criticità che sono state risolte e hanno portato al conseguimento di un processo efficiente e riproducibile.

4.2 Struttura del dispositivo su GaAs

Per la fabbricazione di transistor ad alta mobilità realizzati su eterostrutture P-HEMT di GaAs sono necessari una serie di passaggi. Il layout del transistor viene realizzato in base all'applicazione che questo deve ricoprire; nel caso di dispositivi amplificatori ad alta potenza ad esempio, una possibile soluzione è quella di realizzare HEMT multifinger e cioè con più dita di gate, come si vede in Figura 4.1, in modo da raccogliere più corrente.

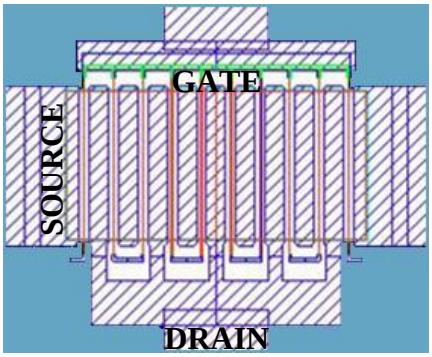

Figura 4.1: dispositivo HEMT di potenza

I gate (disegnati in rosso) vengono uniti da un unico raccordo (barra verde) per dare origine ad un unico contatto di gate. Un accorgimento importante per migliorare le prestazioni del dispositivo in RF [25], è ad esempio quello di diminuire il più possibile tutte le resistenze e le capacità parassite associate sia alla rete di accesso che al dispositivo intrinseco. Importante è dunque avere basse resistenze di contatto, basse capacità e resistenze di gate, basse resistenze di tutte le piste sulle quali si poggiano le punte GSG (ground-signal-ground) per le misure. Per quanto riguarda le linee di accesso al dispositivo, queste vengono ricoperte da un metallo molto spesso realizzato tramite crescita galvanica. Al livello di tecnologia, gli accorgimenti che si devono tenere in considerazione durante la progettazione del layout del dispositivo, sono quelli riguardanti la sovrapposizione tra i diversi layer che impone di avere una minima area di overlap per essere certi del contatto di tutti i layer, ma anche le regole che impongono le minime distanze da rispettare tra le diverse strutture in modo tale da non avere, ad esempio, problemi di lift-off.

Un transistor P-HEMT di potenza viene realizzato con tecnologia a doppio recess; in questo modo è possibile aumentare il valore della tensione di breakdown associata al dispositivo. In particolare, maggiore è la larghezza del primo recess, maggiore è la tensione di breakdown che il dispositivo può raggiungere ma minore diventa la corrente ad esso associata. Per questo motivo potrebbe non soddisfare le specifiche di potenza e perciò è necessario trovare un giusto compromesso tra valore di tensione e di corrente per avere un buon amplificatore ad alta potenza. Altro accorgimento che può servire ad aumentare la tensione di break down senza andare ad influire sul valore della corrente è quello di

posizionare il gate più vicino al source in modo da aumentare la distanza tra drain e gate [26][27]. Per quanto riguarda più in particolare il contatto di gate quello che si fa è diminuire la lunghezza del gate per avere una capacità più bassa in modo da aumentare di conseguenza la frequenza di taglio del dispositivo. Per mantenere anche una bassa resistenza del contatto, è necessario aumentarne la sezione quindi si realizza un T-gate con piede da 250 nm e testa più larga come mostrato in Figura 4.2.

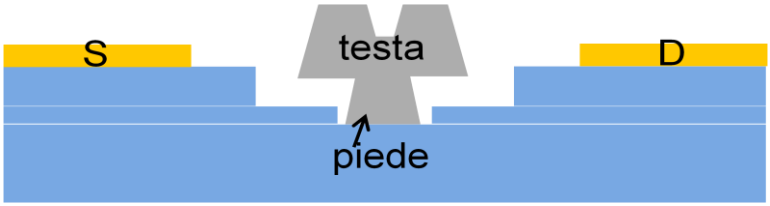

Figura 4.2: struttura HEMT su GaAs

4.3 Descrizione ed ottimizzazione del processo EBL

Tra i vari passi che sono stati ottimizzati per la realizzazione di dispositivi che funzionassero e che rientrassero nelle specifiche di progetto, quello della litografia elettronica è stato il più problematico. Il processo EBL così come è stato implementato per i nostri scopi, prevede una singola scrittura e-beam per realizzare il T-gate [28]. Gli obiettivi dell'ottimizzazione della litografia hanno riguardato:

- la necessità di avere un buon profilo dei resist in modo da ottenere un buon lift-off
- la necessità di ottenere un'area aperta nel resist priva di residui di polimero
- la necessità di ottenere le dimensioni di piede e testa prefissati dal progetto

Per quanto riguarda la preparazione alla litografia, ogni wafer viene ricoperto con i resist elettronici mediante stesura su spinner; la superficie viene precedentemente trattata tramite una soluzione wet di disossidante in modo da eliminare ogni possibile ossidazione e poi ricoperta con un resist ottico per migliorare l'aderenza di quelli elettronici. Per realizzare il T-gate vengono utilizzati tre resist con sensibilità diversa agli elettroni ognuno dei quali viene steso sul wafer e subisce un tempo di cottura tale da far evaporare tutto il solvente. I tre resist vengono spinnati in sequenza facendo intercorrere un certo intervallo di tempo tra una stesura e l'altra per il raffreddamento del materiale in modo da evitare un mescolamento dei resist stessi; il risultato è quello di Figura 4.3.

Figura 4.3: substrato dopo la stesura dei resist

A questo punto il wafer è pronto per essere caricato nella camera dell'EBL ed essere sottoposto al processo di esposizione. Un aspetto importante della preparazione dei wafer alla litografia, è di avere uno spessore uniforme dei resist in quanto questo influisce sulla dimensione e sulla risoluzione ottenibile delle strutture realizzate. La sua uniformità può dipendere dallo stato dei resist utilizzati (ad esempio se questi sono stati in contatto con l'aria è possibile che abbiano perso solvente e che siano più densi di come erano originariamente), dalla planarità dello spinner, dalla rugosità delle strutture precedentemente realizzate,

dalla velocità di accelerazione dei giri dello spinner, dai tempi di attesa fra una stesura e l'altra e dalla pulizia del wafer in quanto se ci sono granelli di polvere che coprono un'area, il resist in quel punto si stende male. Il fatto che i tre resist abbiano sensibilità diverse agli elettroni, fa sì che questi rispondano diversamente alla dose che gli viene impostata; in particolare il resist più sensibile, quello intermedio, serve ad ottenere un buon lift-off. Il primo strato è al contrario il meno sensibile e viene utilizzato per definire il piede mentre l'ultimo strato ci dà la dimensione della testa del gate (vedi Figura 4.4).

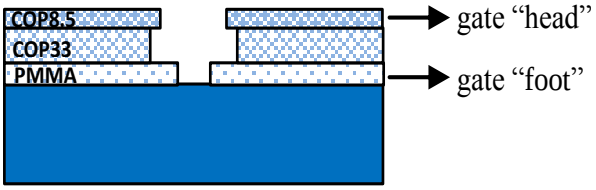

Figura 4.4: profilo dei resist dopo l'esposizione e sviluppo

Il primo aspetto che è stato ottimizzato è il layout dei gate. In particolare, come possiamo vedere dall'immagine SEM di Figura 4.5, la barra di raccordo dei gate mostra una forma non adatta a causa dell' "alone" che c'è intorno.

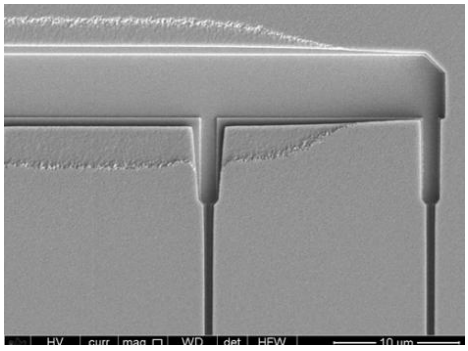

Figura 4.5: SEM di una barra di raccordo di gate dopo metallizzazione e lift-off

Questo è dovuto al fatto che, esponendo aree molto grandi con l'EBL, soprattutto nel caso in cui si utilizzi un trilayer con resist molto sensibili, si ha l'effetto di sovraesposizione di queste zone in quanto, a causa dell'effetto di prossimità, esse raccolgono un numero molto elevato di elettroni. Altra conseguenza che si può verificare è quella di un allargamento troppo accentuato del resist intermedio che può causare il collasso dello strato sovrastante su di esso. Le possibilità che si hanno per ovviare a questo problema sono quelle di abbassare la dose con il rischio però di avere dei residui di polimero agli angoli della struttura oppure diminuire le dimensioni del disegno come mostrato in Figura 4.6.

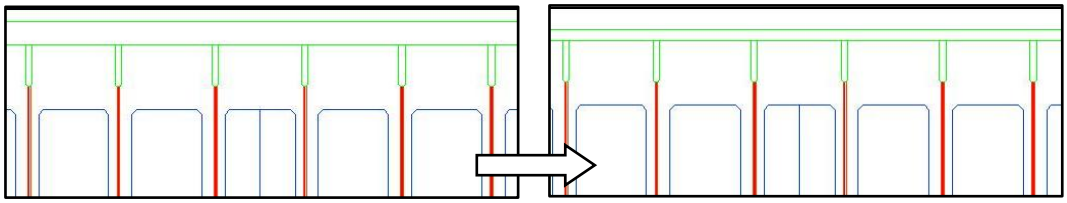

Figura 4.6: layout raccordo dei gate

Il risultato ottenuto è mostrato in Figura 4.7; si osserva come la diminuzione della dimensione della barra di raccordo abbia portato all'ottimizzazione del lift-off.

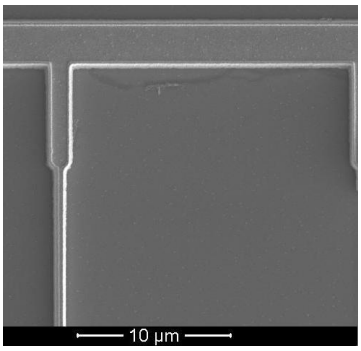

Figura 4.7: immagine SEM dopo ottimizzazione del layout del raccordo di gate

La realizzazione del disegno per il dito di gate prevede un layer per definire il piede e un layer più largo per definire la testa (Figura 4.8). La dose di quest'ultima si va a sommare a quella necessaria ad esporre il piede e per tale motivo è importante determinare il rapporto corretto tra le dosi dei due layer.

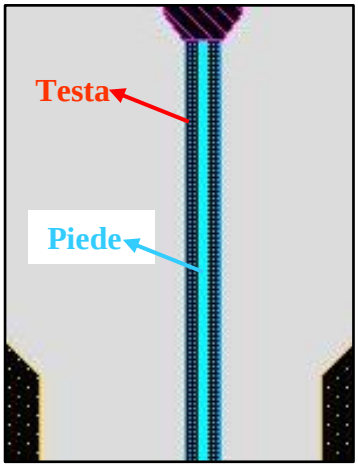

Figura 4.8: layout di un finger di gate

Inoltre, dovendo tener conto dell'effetto di prossimità, la dimensione nominale del piede non sarà 0.25 µm ma viene sottodimensionata rispetto a questa lunghezza. La strategia impiegata per l'ottimizzazione delle dosi ha previsto diverse fasi di sviluppo:

- realizzazione ed analisi di strutture di gate con solo resist su substrati blank di GaAs semi-isolante
- realizzazione ed analisi di strutture di gate con solo resist su substrati blank di GaAs epitassiale
- realizzazione ed analisi di strutture di gate completi su substrati di GaAs epitassiali

Il primo approccio al problema della realizzazione del T-gate è stato quello di realizzare test di dose variando proporzionalmente la dose di piede e testa o variandone solo i rapporti e mantenendo fissa la dose totale sul piede, utilizzando substrati blank di GaAs semi-isolanti. Le strutture sono state realizzate su wafer da 4" per testare anche l'uniformità dei risultati. Ogni struttura è stata esaminata in prima analisi al microscopio ottico e successivamente al SEM avendone fatta una prima selezione delle strutture con dose insufficiente o troppo elevata. Sono state osservate geometrie del tipo riportate in Figura 4.9.

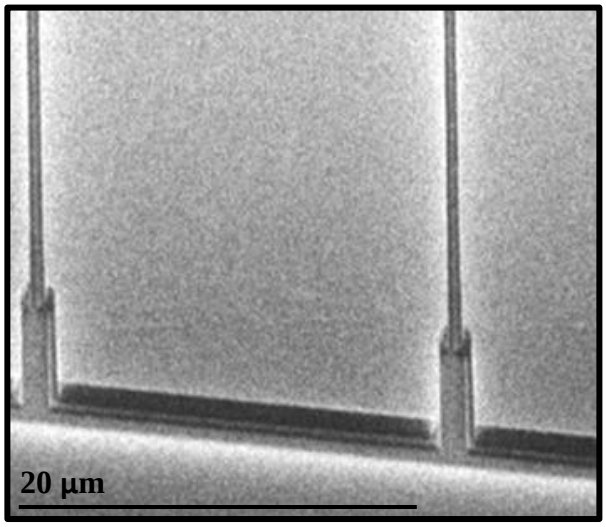

Figura 4.9: immagine SEM del profilo resist dopo esposizione e sviluppo

Alcuni esempi di profili di resist di strutture in cui sono evidenti dei residui all'interno del gate, sono riportati in Figura 4.10. Nell'immagine di sinistra il bordo del resist (PMMA) a contatto col substrato risulta irregolare; nell'immagine centrale (vista in sezione) si vedono chiaramente dei residui su tutto il filo del gate mentre nell'immagine a destra si evidenziano dei residui solo in alcuni punti.

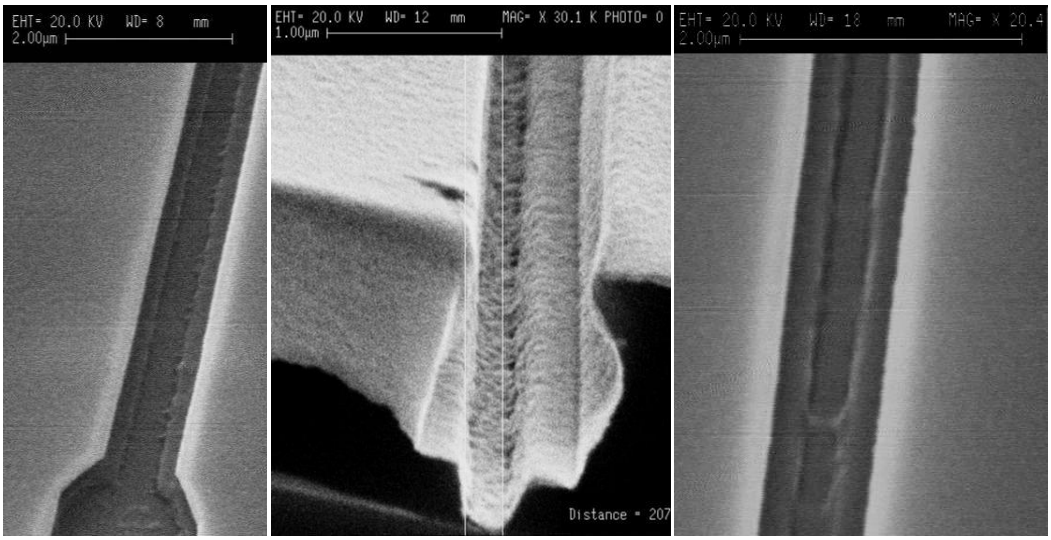

Figura 4.10: profili T-gate con residui di resist

Nei casi riportati in figura è evidente come la dose per il piede non sia sufficiente ad assicurare la continuità del gate su tutto il finger. L'immagine SEM seguente (Figura 4.11), mostra invece un piede di gate privo di residui.

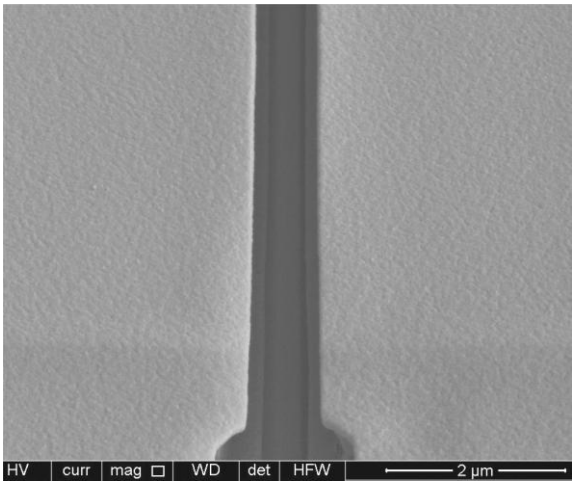

Figura 4.11: profilo T-gate senza residui

L'immagine nella figura precedente rappresenta la dose ottimale per la realizzazione dei gate dei dispositivi. C'era però un'ulteriore condizione da tenere sotto controllo che era quella di avere lunghezze di gate pari a 0.25 μm e per fare ciò è stato possibile giocare sulla dimensione del disegno tenendo fissa una certa dose o viceversa giocare sulla dose tenendo fissa la dimensione del disegno.

Il passo successivo all'aver definito la dose ottimale è stato quello di completare la struttura degli HEMT precedentemente realizzati su substrati epitassiali, con i contatti di gate. Il risultato ottenuto non è stato quello atteso in quanto le dimensioni dei gate analizzati con il FIB dell'università di Roma Tre, sono risultate maggiori di 250 nm. Come si vede dall'immagine FIB riporta in Figura 4.12 sono state ottenute dimensioni di circa 300 nm.

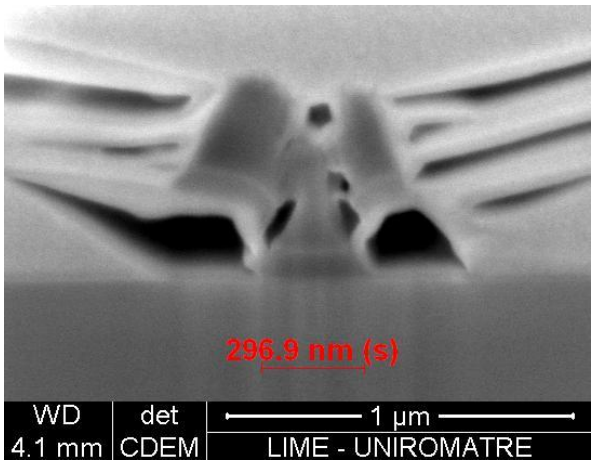

Figura 4.12: cross section di un gate

Questo aspetto di allargamento rispetto alla dimensione attesa è stato attribuito al fatto che la dose necessaria all'esposizione del gate su un substrato isolante è diversa da quella che occorre utilizzare nel caso di substrato conduttivo in quanto

varia la quantità di elettroni di backscattering. E'stata necessaria la realizzazione di ulteriori strutture di test al variare di dimensioni e dosi su eterostrutture uguali a quelle utilizzate per la fabbricazione dei dispositivi reali. Da questi test sono state ricavate dosi e dimensioni nominali per ottenere un buon profilo di resist per il lift-off, senza residui all'interno del dito di gate e con la dimensione realmente desiderata di 250 nm. Come si vede nell'immagine sulla sinistra della Figura 4.13 che mostra la vista in piano del resist dopo esposizione e sviluppo, l'apertura risulta priva di residui e della dimensione voluta. L'immagine a destra mostra invece una sezione del gate dopo la metallizzazione e lift-off.

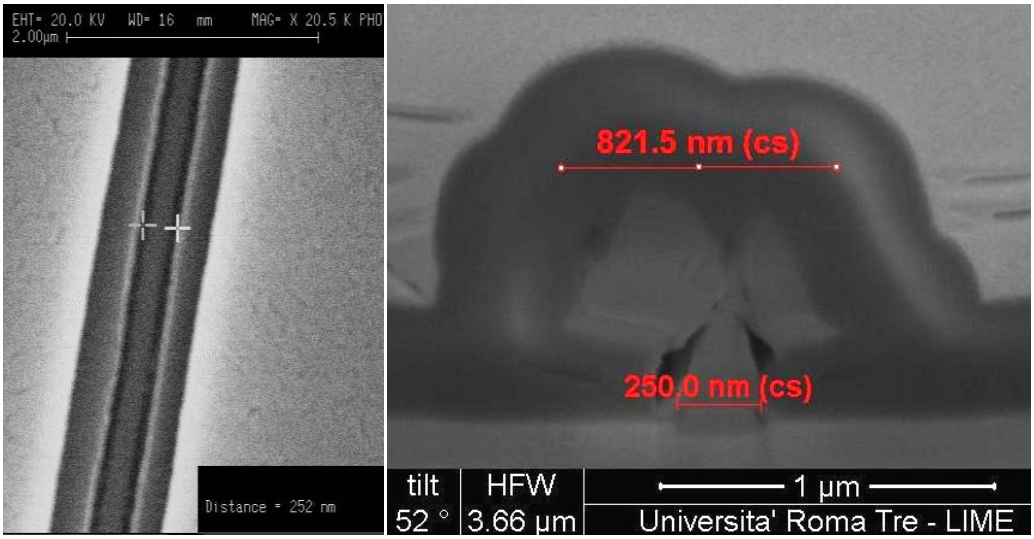

Figura 4.13: profilo di resist T-gate e sezione del gate

La dose ottimale da assegnare al piede per avere dei buoni risultati è pari ad un totale di 900 $\mu C/cm^2$ di cui circa 300 $\mu C/cm^2$ provengono dalla dose che si attribuisce alla testa. Tale dose è stata in seguito utilizzata per realizzare gate di HEMT da analizzare mediante misure elettriche in DC, RF e misure di potenza

per capire se questi potessero soddisfare le specifiche di progetto e ancora una volta per analizzarli in sezione con il FIB. Dal punto di vista dell'analisi della morfologia dei gate realizzati si può evidenziare come questi abbiano un aspetto che risulta difettato. Si può osservare dalla Figura 4.14 che il gate presenta una forma moto asimmetrica dei due lobi della testa e in più si possono notare interruzioni tra piede e testa.

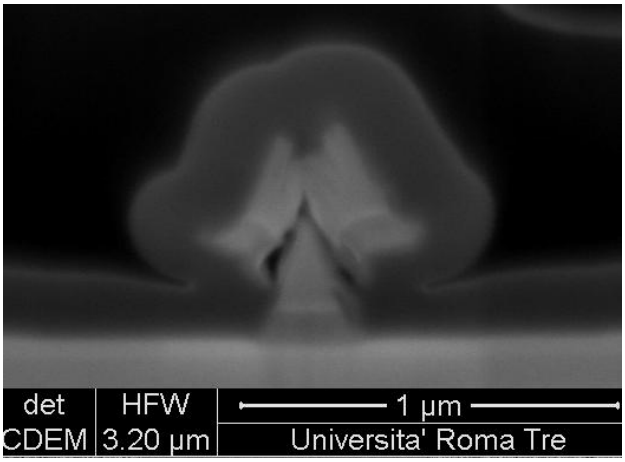

Figura 4.14: sezione FIB di un gate di dispositivo

Questo aspetto causa un'instabilità di tipo meccanico del gate che tende a staccarsi se non si fa attenzione quando si sottopone il wafer al processo di lift-off e in più il valore della resistenza di gate risulta elevata anche a causa del fatto che il piede si stringe in punta. Come vedremo in seguito sono state adottate delle misure per risolvere questi problemi andando ad ottimizzare la tecnica di evaporazione del metallo e il profilo dei resist.

4.4 Descrizione ed ottimizzazione del recess

Un processo fondamentale nella fabbricazione del gate è quello necessario alla realizzazione del recess. In particolare per dispositivi di potenza vengono formati due recess; il primo, quello largo, si concretizza nello step precedente alla realizzazione del gate EBL, mentre il secondo viene realizzato contestualmente al gate da 0.25 μm. La formazione del primo recess avviene tramite etch umido in soluzione con H_2O_2 per realizzare l'attacco del GaAs mentre il secondo avviene con una soluzione in cui si include dell'acido citrico. Ovviamente le soluzioni che si adoperano per i diversi attacchi, dipendono dai tipi di strati epitassiali che si hanno nella struttura. I substrati che sono stati utilizzati in partenza per l'ottimizzazione del gate EBL erano composti da una struttura a singolo stop etch (Figura 4.15) per cui il primo recess veniva realizzato tramite attacchi successivi in soluzione, tenendo sotto controllo la misura della corrente tra source e drain mediante test successivi.

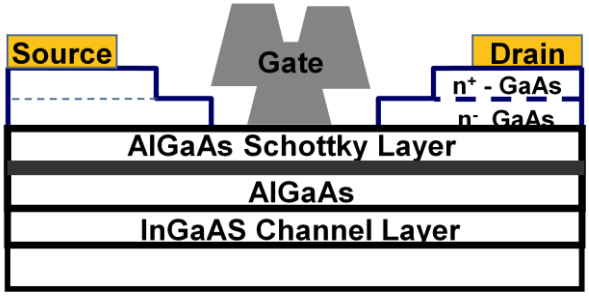

Figura 4.15: struttura P-HEMT a singolo stop etch

Abbiamo osservato che con tale metodo non si raggiunge mai lo stesso valore di corrente tra un wafer e l'altro e di conseguenza non si ha lo stesso spessore di

GaAs attaccato; questo è causa di non uniformità di prestazioni tra un campione e l'altro e di non uniformità di corrente tra una a zona e l'altra dello stesso wafer. Per tale motivo sono state apportate delle modifiche al processo di realizzazione del recess utilizzando eterostrutture a doppio stop etch come quella di Figura 4.16 la quale presenta due strati di AlAs che svolgono la funzione di stop etch [29][30].

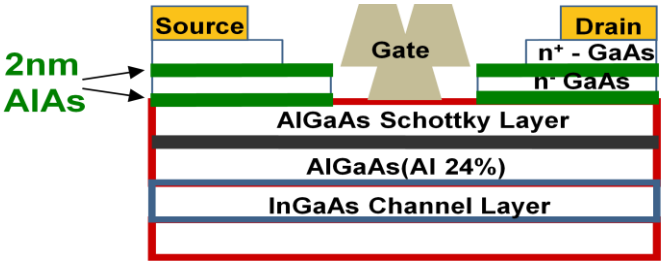

Figura 4.16: struttura P-HEMT a doppio stop etch

Il processo di attacco avviene in questo caso con due soluzioni diverse, una per il GaAs (acido citrico) che attacca fino allo strato che fa da stop e l'altra per l'AlAs (HF buffered). Per quanto riguarda il primo recess sono state testate diverse concentrazioni di acido citrico con diverso rate di attacco (30 Å/s e 35 Å/s) per trovare la soluzione che allargasse il recess in modo tale da avere un buon compromesso tra la corrente del dispositivo ottenuta e la tensione di break-down. Per quanto riguarda invece il secondo recess, sì è dovuto tener conto del fatto che i resist elettronici sono più problematici dal punto di vista della chimica rispetto a quelli ottici; ad esempio tendono a disciogliersi in alcool isopropilico e non sono adatti a tutte le soluzioni chimiche. Sono stati provati tempi di attacco diversi in modo da trovare il processo adatto a non allargare il recess lateralmente ma anche a non rovinare il profilo del trilayer. Inoltre inizialmente, era stata provata una soluzione di HF per rimuovere lo strato di AlAs, ma si è visto come questa fosse

troppo aggressiva sul resist elettronico; dopo l'ecth si potevano osservare, al microscopio ottico, delle macchie di resist che si staccava dal substrato. Si è passati dunque ad una soluzione meno aggressiva che è quella dell'HF bufferato. I risultati ottenuti sono stati i seguenti:

- ✓ un maggior controllo dei tempi di attacco, degli spessori di GaAs attaccati e delle dimensioni dell'allargamento laterale del recess
- ✓ un maggior controllo dell'uniformità, della resa e della ripetibilità del processo su tutti i wafer

Questo si è riscontrato durante le caratterizzazioni elettriche dei dispositivi sui wafer realizzati. Si è visto però, ancora una volta dalle sezioni dei gate fatte al FIB, che la forma del gate risultava non perfetta, con asimmetrie, interruzioni e restringimenti del piede troppo evidenti come mostra la Figura 4.17; per questo motivo è stato testato un trilayer di resist diverso da quello utilizzato fino a questo momento.

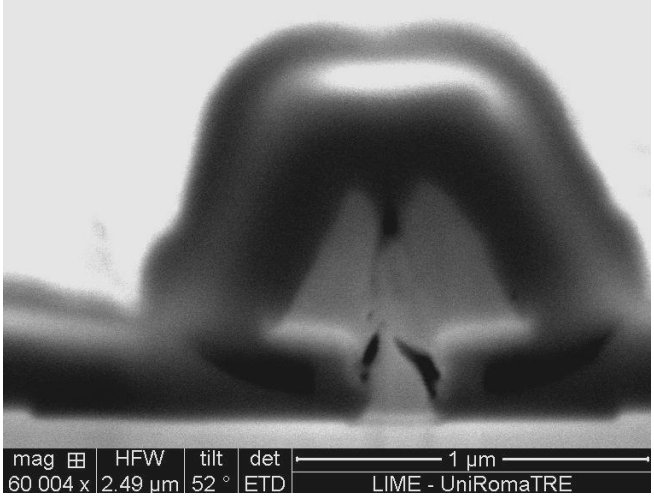

Figura 4.17: cross section di un gate su struttura a doppio recess

Un aspetto molto interessante che si osserva dall'immagine FIB è come nelle strutture a doppio stop etch il recess sia molto evidente e netto; questo proprio perché lo spessore che è possibile attaccare è limitato dallo strato che funziona da stop etch.

4.5 Ottimizzazione del processo di evaporazione

Altro processo che è stato messo sotto controllo è quello dell'evaporazione. Come abbiamo visto precedentemente, i lobi della testa del gate erano asimmetrici. Questo è imputabile al fatto che il wafer, all'interno della camera di evaporazione, era montato su una struttura tipo planetario come mostrato in Figura 4.18.

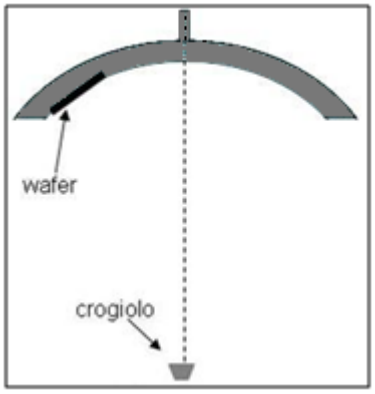

Figura 4.18: sistema di evaporazione a planetario

Questo tipo di sistema ruota su se stesso intorno all'asse di rotazione ma il wafer rimane fermo e per questo motivo la parte del campione più vicina al crogiolo è sempre la stessa. Inoltre non c'è un alloggiamento in cui il wafer può essere posizionato ortogonale al crogiolo e quindi il sistema sarà sempre asimmetrico. La combinazione di questi due problemi ha portato ad una disuniformità

dell'evaporazione del metallo nelle varie zone del wafer e ad una asimmetria del gate stesso. E' stato implementato un sistema di evaporazione migliore con la possibilità di posizionare il wafer in piano (vedi Figura 4.19) e al centro del piatto in modo da averlo ortogonale al crogiolo.

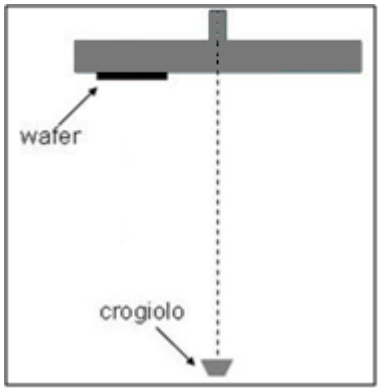

Figura 4.19: sistema di evaporazione con piatto piano

I risultati ottenuti sono stati di un miglioramento della simmetria del gate come visibile in Figura 4.20 anche se erano ancora evidenti interruzioni del metallo.

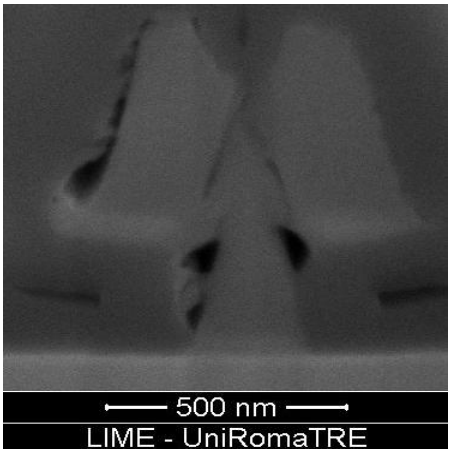

Figura 4.20: gate evaporato con sistema di piatto piano

4.6 Ottimizzazione di un nuovo trilayer

Nell'ambito di un progetto che ha coinvolto l'IFN, per la realizzazione di diodi Schottky per applicazione nel THz, è stato intrapreso lo studio di un trilayer necessario per fabbricare T-gate con singola scrittura EBL. La strategia è stata quella di prendere come riferimento il trilayer utilizzato per i gate degli HEMT su GaAs e implementare una struttura che potesse essere simile per quanto riguarda gli spessori e profilo dei resist. Inoltre si è tenuto in considerazione il fatto che i resist dovessero avere la capacità di sopportare gli attacchi wet in soluzioni di vario tipo. Sono stati valutati come resist la combinazione di PMMA - COP8.5 - PMMA con pesi molecolari di 950K per il primo e 50K per l'ultimo. I test di dose per verificare quale fosse quella opportuna sono avvenuti tramite i seguenti passaggi:

- realizzazione di un disegno a dosi diverse su substrati semi-isolanti di GaAs; sviluppo e analisi tramite microscopio elettronico dei profili di resist ottenuti
- realizzazione di un disegno a dosi diverse su substrati epitassiali di GaAs; sviluppo e analisi tramite microscopio elettronico dei profili ottenuti.
- osservazione del comportamento dei resist nella chimica utilizzata per realizzare il T-gate e analisi tramite microscopio elettronico
- realizzazione del T-gate, con la dose selezionata dalle analisi precedenti, su substrati blank di GaAs epitassiale e analisi al FIB della sezione del gate

Il risultato ottenuto è riportato in Figura 4.21 dove si può osservare come il gate non presenti imperfezioni di nessuna natura rispetto a quelli realizzati con il trilayer usato in precedenza.

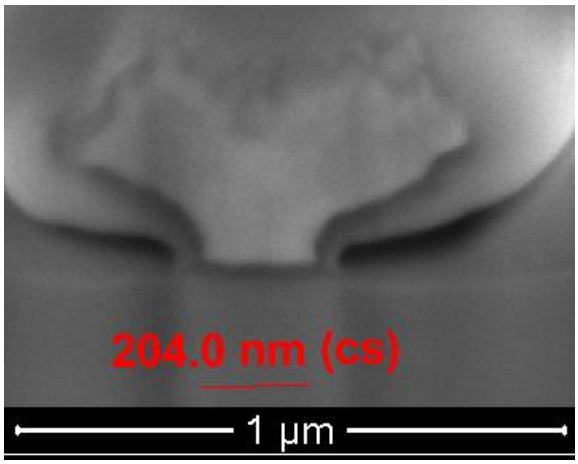

Figura 4.21: profilo T-gate per diodi Schottky

I resist utilizzati per questo scopo non subiscono danneggiamenti durante i processi di chimica e richiedono come dose totale sul piede la stessa che si aveva nel trilayer usato per i gate degli HEMT.

A partire da questi risultati è stata ottimizzata la litografia elettronica per la realizzazione dei gate dei transistor utilizzando come dose centrale quella che impone un totale sul piede di 900 $\mu C/cm^2$ e variando del più o meno 10% questa dose. Le prove sono state fatte su substrati epitassiali di GaAs sui quali erano stati precedentemente realizzati gli altri step di processo per la fabbricazione dei dispositivi. Il risultato ottenuto ha evidenziato una dose opportuna di 900 $\mu C/cm^2$ per avere un gate da 250 nm senza residui di resist sul piede e con un buon profilo, di cui circa 460 $\mu C/cm^2$ di dose sulla testa. Questo risultato è stato

riscontrato tramite misure elettriche che hanno evidenziato il buon funzionamento dei dispositivi e tramite analisi delle sezioni dei gate al FIB come riportato in Figura 4.22.

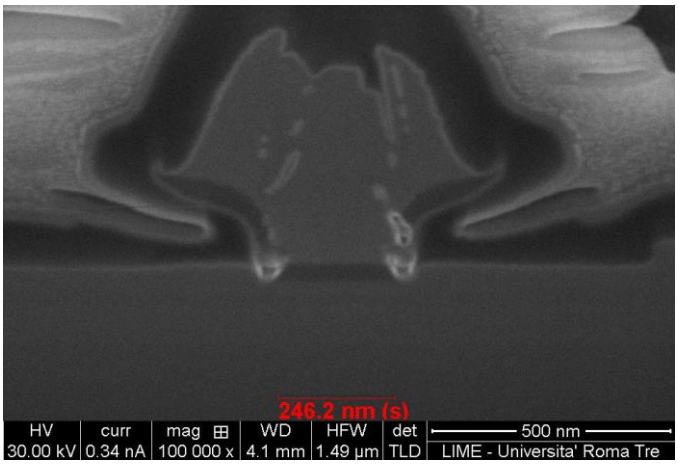

Figura 4.22: struttura gate con nuovo trilayer

Come si può osservare, il gate presenta un aspetto notevolmente diverso e migliore rispetto a quelli realizzati in precedenza; per questo motivo il nuovo trilayer è stato adottato per la fabbricazione dei dispositivi realizzati successivamente.

Capitolo 5 Ottimizzazione contatto di gate su GaN

5.1 INTRODUZIONE 72

5.2 STRUTTURA DEL DISPOSITIVO GAN-HEMT 73

5.3 DESCRIZIONE DEL PROCESSO EBL 75

5.4 OTTIMIZZAZIONE DEL PROCESSO DI ETCH DEL SI_3N_4 84

5.5 OTTIMIZZAZIONE DEL PROCESSO DI ANNEALING DEL PIEDE 92

5.1 Introduzione

Il nitruro di gallio è oggetto attualmente di diversi studi riguardanti l'ottimizzazione delle strutture epitassiali [31], l'ottimizzazione delle tecnologie per la realizzazione dei dispositivi [32] e lo studio dell'affidabilità di tali dispositivi. Anche per il GaN, come per il GaAs, per realizzare transistor HEMT ad alta potenza, si realizzano layout multifinger in modo da raccogliere più corrente; si ottiene che, a parità di millimetro, la potenza è molto più elevata nel GaN rispetto al GaAs. Ciò che distingue i processi tecnologici per la realizzazione di un transistor su GaN da quello su GaAs è tutto ciò che riguarda la fabbricazione dei contatti ohmici e del gate. L'ottimizzazione del contatto di gate ha coinvolto

tutti gli step necessari alla sua fabbricazione ed è avvenuta in parallelo all'attività su GaAs nonostante i due processi abbiano caratteristiche di realizzazione molto differenti l'uno dall'altro.

5.2 Struttura del dispositivo GaN-HEMT

Dal punto di vista del layout, il dispositivo segue le regole tecnologiche già viste per il GaAs. Anche in questo caso dunque per migliorare le prestazioni del dispositivo in RF, è necessario diminuire il più possibile tutte le resistenze e le capacità parassite associate sia alla rete di accesso che al dispositivo intrinseco. E' importante avere basse resistenze di contatto, basse capacità e resistenze di gate, basse resistenze di tutte le piste per le misure. Il dispositivo finale è rappresentato in Figura 5.1

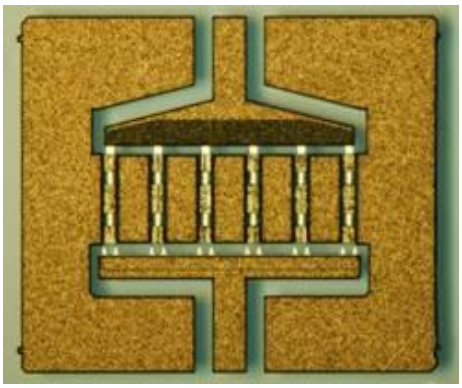

Figura 5.1: dispositivo GaN-HEMT finito

Entrando nel dettaglio del processo per la realizzazione del gate, questo viene realizzato tramite i seguenti step:

- Litografia EBL

- Attacco Si_3N_4
- Metallizzazione sottile e lift-off
- Annealing
- Litografia EBL
- Metallizzazione spessa e lift-off

Ognuno di questi passaggi è stato messo a punto in modo da ottenere un processo ripetibile e che avesse una buona uniformità e resa su tutto il wafer.

I dispositivi GaN-HEMT di potenza presentano una tensione di break-down notevolmente più elevata dei P-HEMT su GaAs, dovuta alle migliori caratteristiche del GaN. Per aumentare questo valore è possibile utilizzare diverse tecniche; una di queste consiste nell'allontanare il gate dal drain posizionandolo decentrato all'interno del canale. In questo modo si aumenta la distanza tra gate e drain e, a parità di campo elettrico, la tensione necessaria alla rottura del dispositivo aumenta. Un'altra possibile soluzione è quella di introdurre il cosiddetto "field plate" [33][34] come mostrato in Figura 5.2.

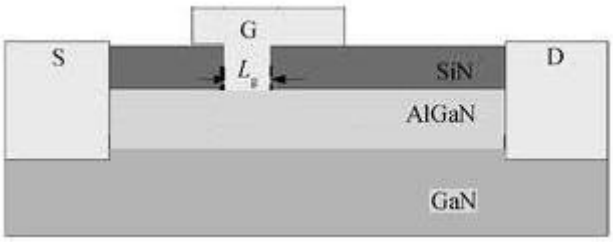

Figura 5.2: GaN-HEMT con field plate

Il suo ruolo è quello di distribuire il campo elettrico non più solo sotto il gate, ma anche all'estremità del field plate e quindi la caduta di tensione viene ridistribuita tra i due e il picco del campo viene ridotto. In questo modo è possibile applicare

una tensione maggiore al drain prima di avere il break-down del dispositivo. Il field plate può, dall'altro lato, limitare la frequenza di funzionamento del transistor stesso in quanto introduce un'ulteriore capacità parassita sul gate [35]. Come per i dispositivi su GaAs, anche i dispositivi su GaN migliorano nelle prestazioni RF riducendo il gate a 0.25 μm o meno (0.15μm) e realizzando forme particolari per il gate come ad esempio Γ-gate [36], T-gate o F-gate, in modo da aumentarne la sezione del contatto e diminuirne la resistenza.

5.3 Descrizione del processo EBL

Per la fabbricazione del gate da 0.25 o 0.15 μm su GaN è stato necessario implementare un processo che prevedesse due scritture differenti di litografia elettronica, una per la definizione del piede del gate e l'altra per la definizione della testa. In questo modo è stato più agevole mettere sotto controllo tutti gli step di processo successivi come ad esempio quello dell'etch del nitruro di silicio o quello dell'annealing del piede del gate. Con entrambi i passaggi di litografia elettronica sono state riscontrate evidenti criticità che andremo ad analizzare nel dettaglio. Come preparazione alla litografia, ciascun wafer è stato sottoposto ad un trattamento in plasma di argon e successivamente ad un priming con HMDS (Hexamethyldisilazane) che viene utilizzato per migliorare l'aderenza dei resist che vengono stesi in seguito sul substrato. La prima litografia messa a punto è stata quella che viene utilizzata per la definizione del piede del gate. Questa implica la stesura di un bilayer di resist con sensibilità diverse il primo dei quali, il PMMA, è utilizzato per la realizzazione della struttura da 250 o 150 nm in quanto

riceve la dose necessaria ad ottenere l'apertura desiderata; il secondo viene utilizzato come strato di protezione dalla chimica che subisce il wafer dopo la litografia. Infatti ciascun substrato, in seguito allo spinning dei resist, viene ricoperto da un layer sottile di metallo. Viene applicata tale procedura in quanto, essendo il GaN un materiale trasparente, il sistema e-beam non ha la capacità di metterne a fuoco la superficie sulla quale va a riprodurre le strutture desiderate; con questo strato metallico sottile pari ad una decina di nanometri, l'electron beam è in grado di aggiustare il fuoco sulla superficie e l'esposizione non risente del metallo che c'è sopra i resist. Il wafer prima dell'esposizione, ha l'aspetto rappresentato in Figura 5.3.

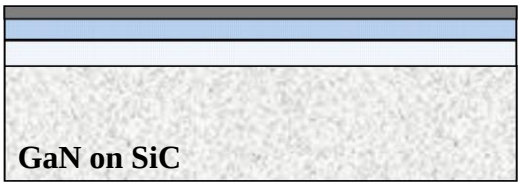

Figura 5.3: GaN prima della litografia per il piede

Il primo processo a cui sono stati sottoposti tutti i wafer dopo l'esposizione è stato dunque quello della chimica per rimuovere lo strato metallico. Tale processo avviene tramite un etch umido in una soluzione adeguata, seguito da sciacqui in alcool isopropilico (IPA) i quali danno inizio al processo di sviluppo del resist; l'IPA infatti è uno dei prodotti utilizzati per lo sviluppo insieme all'MIBK (metilisobutilchetone). L'obiettivo dell'ottimizzazione di questo step è stato quello di riuscire ad ottenere un'apertura nel resist senza residui, uno spessore e un profilo tale da garantire un buon lift-off e il raggiungimento delle dimensioni prefissate e in più un'uniformità, resa e ripetibilità del processo. Il punto più critico è stato quello della messa a punto dello spessore utilizzato per il primo

strato di resist in quanto si è cercato di realizzare dispositivi con gate da 250 nm e da 150 nm utilizzando lo stesso processo ed è stata sperimentata anche la possibilità di realizzare gate con dimensione pari a 0.08 μm sulle stesse eterostrutture. Per realizzare strutture molto strette è necessario che il resist non sia troppo spesso in quanto se l'apertura è molto più piccola dello spessore del resist, questa tende a chiudersi durante l'evaporazione facendo da maschera al metallo che deve essere depositato. D'altra parte il processo prevede un passaggio di attacco in plasma per etchare il nitruro di silicio; il resist elettronico risente delle alte potenze di plasma e di miscele di gas in cui c'è una quantità troppo elevata di ossigeno e perciò si consuma. L'eventualità che il resist si assottigli troppo può causare la probabilità che esso non sia sufficiente per il lift-off del metallo nonostante il layer depositato per il piede sia molto sottile. E' stato necessario trovare un giusto compromesso per soddisfare entrambe le condizioni. Sono state testate due diverse strade:

- utilizzare un resist sottile accorciando i tempi di etch del Si_3N_4
- utilizzare un resist spesso allungando i tempi di etch del Si_3N_4

Per entrambe le condizioni sono state fatte delle prove di dose su substrati GaN su SiC per capire quale fosse la dose ottimale; tali test sono stati analizzati tramite microscopio elettronico per assicurarsi di avere un'area pulita e con dimensione pari a quella voluta. I test di dose sono stati realizzati per gate da 250-150-80 nm avendo sottodimensionato la larghezza del disegno rispetto a ciò che ci aspettavamo, in modo da tener conto dell'effetto di prossimità. Per il GaN, rispetto al GaAs, la dose ottimale ottenuta è risultata molto più elevata e pari a 1500 $\mu C/cm^2$ nonostante lo Z del materiale sia molto superiore e quindi l'effetto

di prossimità sia molto inferiore. Questo è dovuto al fatto che il GaN è un materiale isolante rispetto al GaAs e dunque il comportamento degli elettroni all'interno del substrato GaN è diverso da ciò che si ha nel GaAs. E' stato inoltre osservato che la dose ottimale per il piede è la stessa sia nel caso di resist più spesso (PMMA 6%), sia nel caso di resist più sottile (PMMA 4%). I risultati sono riportati in Figura 5.4.

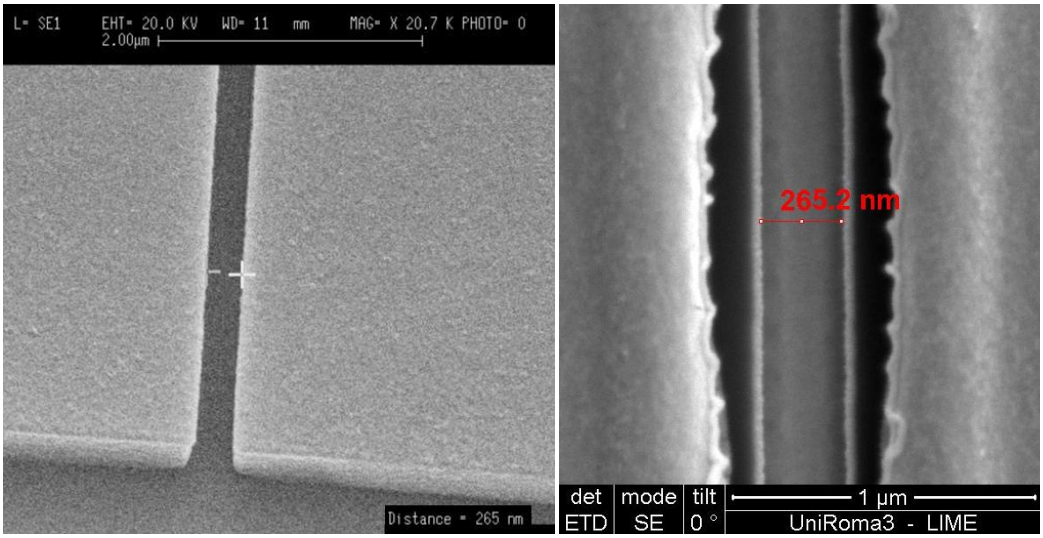

Figura 5.4: immagini SEM di resist per la definizione del piede

Nell'immagine di sinistra è rappresentato un profilo di resist per un piede di gate da 0.25 µm realizzato tramite resist più sottile (PMMA 4%); come si può osservare, non vi sono residui all'interno e la dimensione è quella voluta. L'immagine a destra rappresenta invece l'apertura del resist, anche questa da 0.25 µm, realizzata col resist più spesso (PMMA 6%). Anche questa apertura è priva di residui e la dimensione ottenuta è quella desiderata. Il secondo layer di resist più in alto presenta i bordi arricciati per un effetto di deformazione durante

l'ispezione, dovuta agli elettroni della colonna SEM che ne vanno a modificare il profilo. Il risultato ottenuto dopo la metallizzazione e il lift-off del piede è quello di Figura 5.5 in cui riportiamo i risultati più significativi anche dal punto di vista delle dimensioni ottenute.

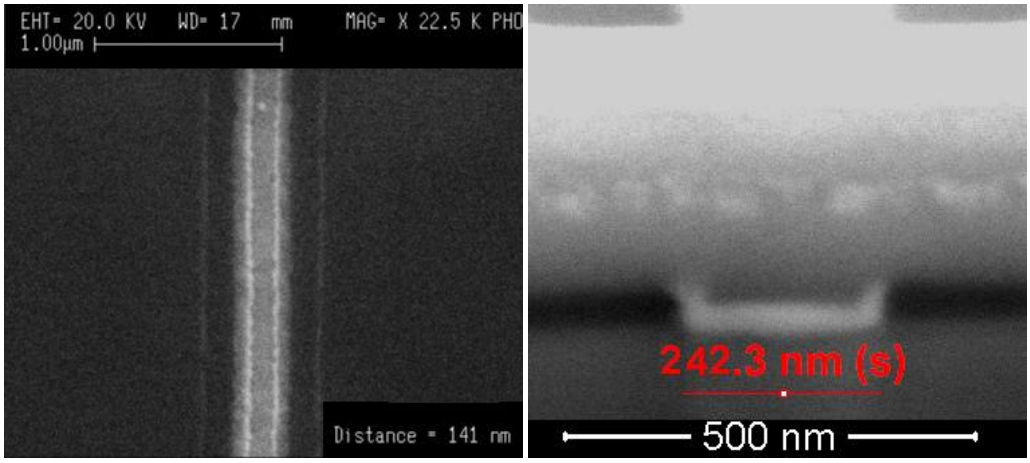

Figura 5.5: piede del gate dopo metallizzazione e lift-off

Nell'immagine SEM a sinistra è riportata la visualizzazione in piano di un finger di gate da 150 nm mentre nell'immagine a destra abbiamo una cross section realizzata al FIB per un gate da 250 nm.

Per quanto riguarda il secondo passaggio di litografia elettronica, è stato ottimizzato un processo che prevede la realizzazione di un T-gate sopra il piede. La scelta di questa forma per la testa è stata dettata innanzi tutto dal fatto di voler aumentare la sezione del gate in modo da diminuirne la resistenza e poi in quanto la testa del gate appoggiata sul nitruro può comportarsi da field plate e migliorare la tensione di break-down. Per l'ottimizzazione del trilayer, delle dosi e dimensioni, sono stati utilizzati substrati con eterostrutture GaN/AlGaN su Sic. Come punto di partenza è stato utilizzato il trilayer di resist ripreso dal processo

EBL, descritto in precedenza per il GaAs, e sono stati preparati alcuni wafer di test per realizzare questa litografia. Tutti i wafer sono stati sottoposti ad un trattamento iniziale della superficie tramite plasma di argon e primer per migliorare l'aderenza dei resist, come fatto anche nel caso della prima litografia. I resist del trilayer (PMMA-COP33-COP8.5) sono stati spinnati in sequenza, rispettando i tempi di attesa tra una stesura e l'altra per il raffreddamento del substrato, in modo da evitare il rimescolamento degli stessi. A fine spinning, ogni wafer è stato ricoperto tramite uno strato sottile di metallo (cromo) in modo da renderlo processabile all' EBL. Il risultato del wafer pronto prima dell'esposizione è quello riportato in Figura 5.6.

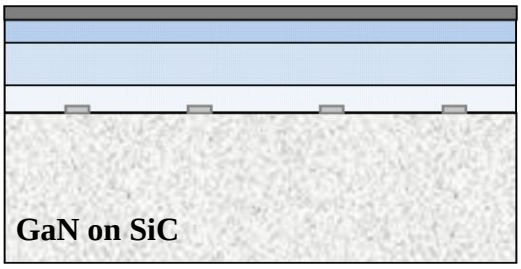

Figura 5.6: GaN prima della litografia del T-gate

Per quanto riguarda le dosi utilizzate, è stata impiegata come dose centrale, quella ottenuta dalla realizzazione del piede (1500 $\mu C/cm^2$) e, a partire da questa, sono stati effettuati test per variarne il valore del ±10% entro un certo intervallo limitato inferiormente dai valori che si usano per il GaAs e superiormente dalle condizioni limite dell'EBL. Dopo esposizione e sviluppo del resist il profilo si presenta come in Figura 5.7.

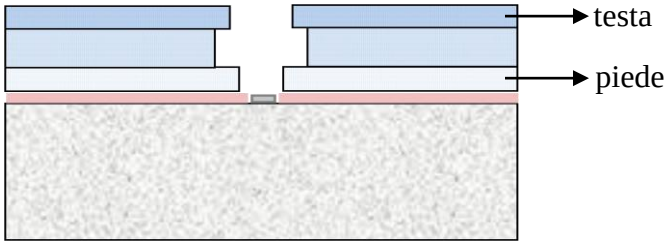

Figura 5.7: profilo dei resist dopo esposizione e sviluppo

Per quanto riguarda la strategia utilizzata, sono stati realizzati diversi wafer di test per ottenere un profilo adatto ad avere un buon lift-off con una apertura priva di residui di resist. In particolare sono state fatte tre prove principali con le seguenti caratteristiche:

- variazione della dose per il piede
- variazione proporzionale della dose tra piede e testa
- variazione delle dimensioni del disegno

Nella prima prova dunque si è tenuta fissa la dose della testa sempre allo stesso valore pari a 200 $\mu C/cm^2$ e variata la dose per il piede da 700 a 1500 $\mu C/cm^2$. Per la seconda prova sono state variate proporzionalmente piede e testa del ±10% considerando lo stesso intervallo di valori mentre l'ultima prova è stata utilizzata per decidere, dopo aver fissato la dose ottimale, quale fossero le dimensioni nominali da realizzare per il disegno in modo da ottenere le dimensioni volute. In particolare, avendo realizzato gate con dimensioni da 80-150-250 nm, il T-gate realizzato sopra ognuno di essi ha una dimensione diversa come riportato in Figura 5.8.

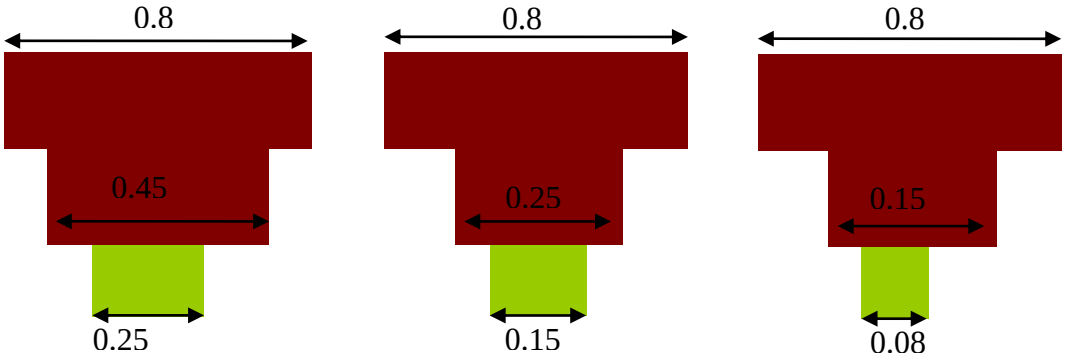

Figura 5.8: profili di gate realizzati con lo stesso processo

A tutti i test realizzati è seguita una fase di analisi al microscopio elettronico per indagare quali fossero i risultati ed è stato osservato come ancora una volta la dose ottimale fosse 1500 μC/cm^2 totali sul piede di cui 200 μC/cm^2 sono attribuiti alla testa. Il profilo dei resist del T-gate, non diverso da quello ottenuto per il GaAs, è quello riportato di seguito (Figura 5.9)

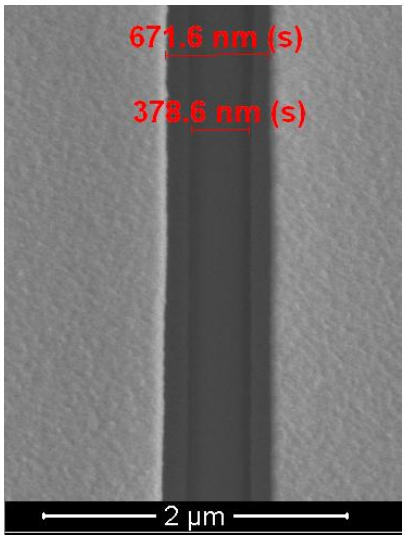

Figura 5.9: profilo di resist dopo esposizione e sviluppo per gate da 0.25 μm

Come si può vedere dall'immagine, la dimensione voluta non è quella effettivamente raggiunta e per questo motivo sono stati fatti dei test per aggiustare il disegno dei gate in modo da tener conto della dose ottimale e dell'effetto di prossimità che allarga le dimensioni nominali. In conclusione, le dimensioni nominali ottenute come buone per raggiungere le larghezze di gate desiderate sono:

- ✓ per piede da 0.25 µm: piede del T-gate pari a 0.35 µm e testa da 0.7 µm
- ✓ per piede da 0.15 µm: piede T-gate pari a 0.16 µm e testa da 0.7 µm
- ✓ per piede da 0.08 µm: piede T-gate pari a 0.08 µm e testa da 0.7 µm

Vengono riportate di seguito le sezioni dei gate a processo interamente portato a termine (Figura 5.10 e Figura 5.11)

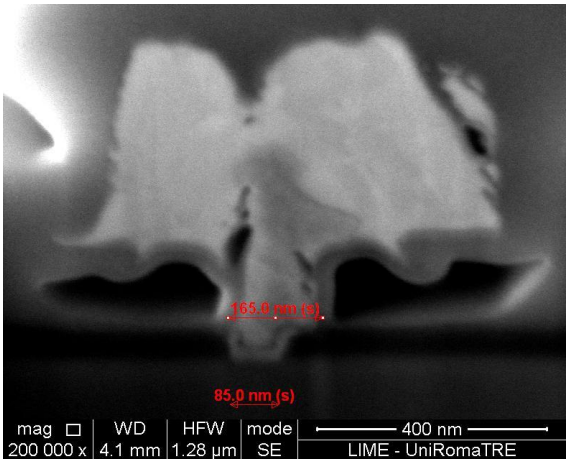

Figura 5.10: cross section del gate da 80 nm

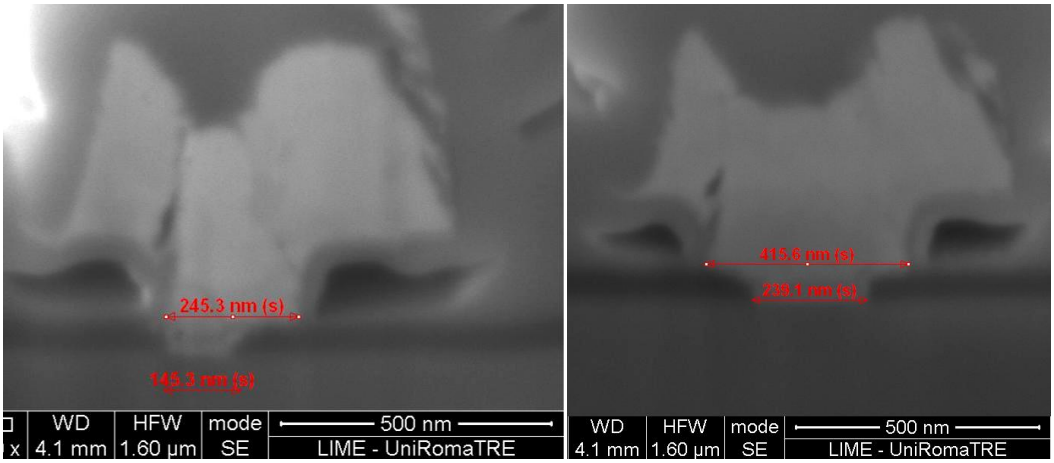

Figura 5.11: cross section dei gate da 150-250 nm

5.4 Ottimizzazione del processo di etch del Si_3N_4

Il processo di etch del Si_3N_4 è fortemente legato al processo di litografia elettronica per la definizione del piede del gate; in particolare la buona riuscita dell'attacco di tutto lo strato di nitruro è strettamente dipendente dalla pulizia dell'apertura realizzata sul resist. Infatti, se all'interno di tale apertura sono presenti residui di resist dopo lo sviluppo, quello che accade è che il plasma utilizzato per la rimozione del nitruro di silicio incontra delle zone in cui non è in grado di raggiungere il Si_3N_4 in quanto queste sono mascherate dal resist. A seconda di quali siano le condizioni di tempo, potenza, pressione e gas utilizzati per indurre il plasma, i residui di resist potrebbero essere rimossi durante l'etch ma in questo modo l'attacco che avviene sul nitruro di silicio sottostante non è sufficiente per avere la rimozione totale; in questo caso si ha disuniformità dell'etch nelle varie zone del gate con conseguente disuniformità nel

funzionamento del diversi dispositivi. E' evidente come la messa a punto della litografia elettronica abbia giocato un ruolo estremamente importante nella messa a punto di tutto il processo e della riuscita degli step successivi ad essa. Una volta superato l'ostacolo della prima scrittura EBL, è stato possibile concentrare l'attenzione sull'ottimizzazione di tutto ciò che riguarda l'etch in termini di gas utilizzati, tempi di attacco, pressioni e potenze dei generatori RF dell'ICP. Il processo è stato realizzato in una macchina di dry-etch di tipo ICP nella quale sono presenti due generatori RF, un Coil Generator posto nella parte superiore della camera e un Platen Generator posto nella parte inferiore. Il Coil ha potenze regolabili da 30W a 3000W mentre il Platen da 0 a 30 W e in base al tipo di gas utilizzati per il plasma si sceglie la potenza più adatta; ad esempio nel caso di SF_6, al di sotto di potenze di Coil pari a 250W, il plasma è instabile mentre per CF_4/O_2 l'instabilità si ha al di sotto di 100 W. Il danno elettrico che l'ICP produce è dovuto in gran parte all'accelerazione del plasma (platen) ma una piccola parte è influenzata anche dalla generazione del plasma (coil).

Sono stati effettuati diversi tipi di test:

- etch con CF_4/O_2
- etch con SF_6
- variazione delle potenze del generatore
- variazione dei tempi di attacco
- matching tra ecth in plasma e chimica wet per il gate

L'obiettivo principale della messa a punto di questo processo è stato quello di ottenere un etch uniforme su tutto il gate che rimuovesse il nitruro di silicio fino all'interfaccia con il substrato. Inoltre, aspetto altrettanto importante, è stato avere

un processo che non allargasse lateralmente il gate rispetto alla dimensione realizzata tramite maschera EBL.

Per quanto concerne i primi test realizzati, si è utilizzata una miscela di CF_4/O_2 con potenza di plasma pari a 100W/10 W per vedere quale fosse l'etch rate del Si_3N_4 [37] in modo da decidere il tempo di attacco ed è stato valutato il grado di selettività dell'etch rispetto al resist ottico. Nel grafico di Figura 5.12 sono riportate le prove fatte su un substrato da 3" sul quale era stato depositato precedentemente del nitruro di silicio che viene attaccato prima di depositare il metallo sottile del piede del gate.

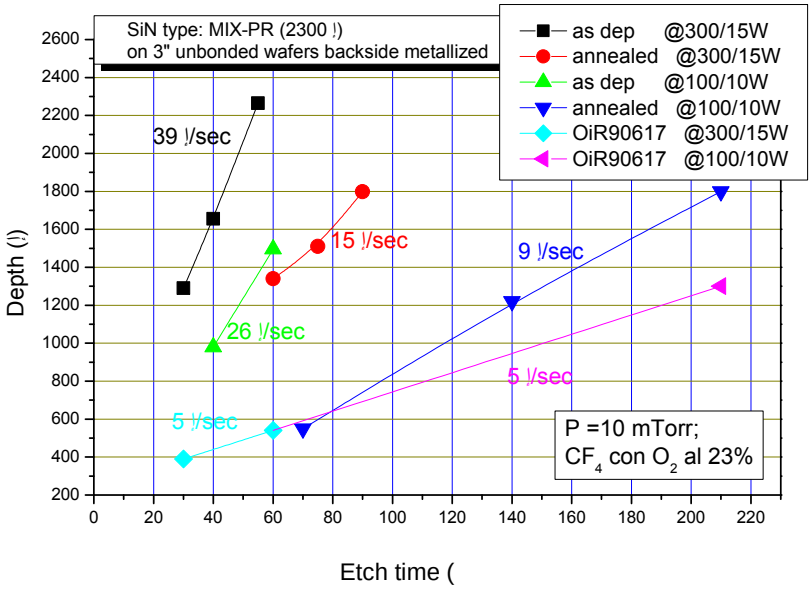

Figura 5.12: andamento etch rate su Si_3N_4 con CF_4/O_2

Il grafico mostra gli etch rate sul Si_3N_4 in funzione delle potenze di platen e coil e in funzione del fatto che il nitruro abbia subito o meno un processo ad alta

temperatura. Come si vede, ad alte potenze l'etch rate è molto elevato (~ 40 Å/s) e diminuisce a più basse potenze (~ 26 Å/s); per quanto riguarda invece l'etch rate sul resist, questo è molto basso e ciò indica la buona selettività del processo. Tale processo è stato riportato in un vero test su gate realizzati tramite e-beam lithography ma si è osservato come il resist elettronico non reagisce bene a questo tipo di etch in quanto in esso è presente una quantità di ossigeno tale da ridurre di molto lo spessore del PMMA. Non è stato possibile eliminare l'ossigeno in quanto il CF_4 è già miscelato nella bombola con una minima percentuale di questo gas.

Si è passati ad un processo che utilizza l'SF_6 come gas per l'etch; in questo caso le potenze adoperate sullo stesso tipo di nitruro di silicio del caso precedente sono molto più elevate sia per il coil che per il platen (300W/30W). Sono stati effettuati test riducendo la potenza di platen e introducendo l'He nella miscela di gas. Nel grafico di Figura 5.13 riportiamo gli etch rate dei differenti casi.

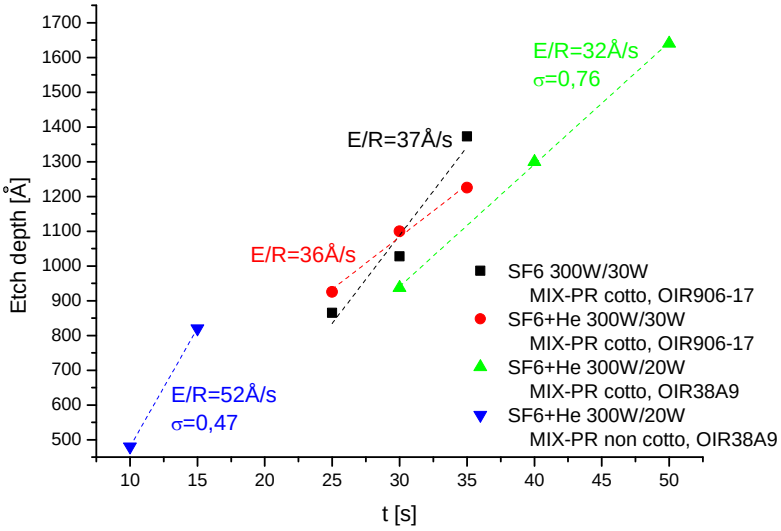

Figura 5.13: andamento etch rate su Si_3N_4 con SF_6

E' stato valutato il cambiamento degli etch rate e il danneggiamento effettivo sul substrato. Il passaggio da SF_6 a SF_6+He ha portato una lieve diminuzione dell'etch rate medio del Si_3N_4 cotto (~ 32 Å/s) ma il danneggiamento indotto all'interfaccia col substrato non è trascurabile in quanto l'attacco è molto energetico. I danni elettrici vengono rinvenuti tramite annealing dopo la metallizzazione sottile del piede. L'etch con SF_6+He è stato testato su gate realizzati tramite e-beam lithography e si è visto come anche in questo caso, essendo il processo molto energetico, il PMMA tende a consumarsi rapidamente e in particolare è stato calcolato un etch rate di circa 55 Å/s.

In un primo test, sono stati realizzati gate su metà wafer ed è stato scelto un etch di 50" che, dai calcoli effettuati, doveva essere sufficiente ad attaccare i 1000 Å di Si_3N_4 depositati. Mediante misure elettriche realizzate subito dopo la metallizzazione del gate si è visto come il nitruro non fosse stato rimosso completamente (il dispositivo non raggiungeva il pinch-off).

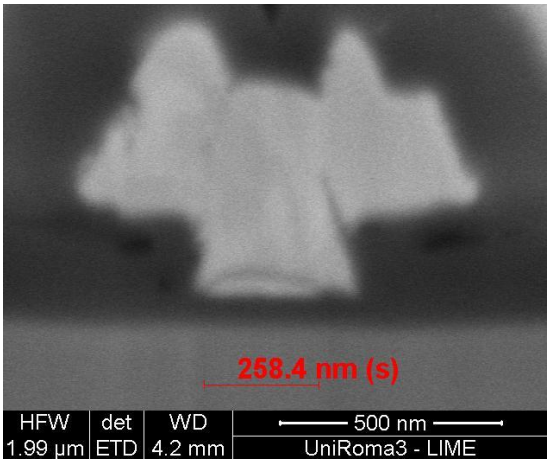

Figura 5.14: cross section di gate con etch 50 s

Dall'immagine riportata sopra in Figura 5.14, realizzata tramite analisi al FIB dopo aver portato a termine l'intero processo del gate, è evidente come fosse rimasto sotto il gate uno strato sottile di nitruro. Per questo motivo la seconda metà del wafer è stata processata con un etch di 70 s e la differenza con il caso precedente è riportata in Figura 5.15 in cui si osserva che il metallo di gate è depositato sull'interfaccia con il substrato.

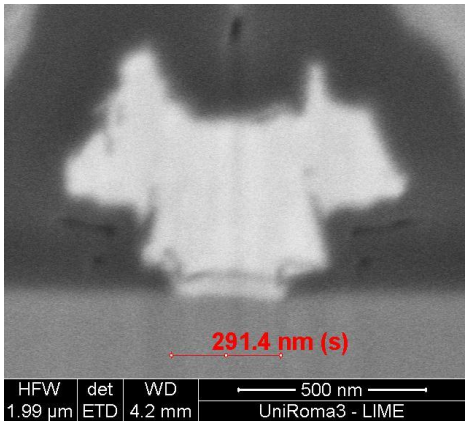

Figura 5.15: cross section di gate con etch 70 s

In entrambi i casi, prima della deposizione del metallo di gate, il wafer ha subito dei processi di chimica umida per la pulizia della superficie e per la realizzazione del sottoattacco utile nel lift-off. Si può notare come la dimensione del gate sia più larga di quella desiderata e probabilmente questo è in parte dovuto all'attacco wet; per questo motivo è cominciata una serie di test di etch in ICP seguiti da processi in soluzioni chimiche diverse per capire come fosse possibile evitare l'allargamento. I test sono stati i seguenti:

- 90 s di etch
- 70 s di etch + BOE

- 70 s di etch + HCl e CH_3COOH

I risultati, analizzati tramite SEM, sono riportati nelle seguenti immagini. Nelle tre figure sono riprodotti gate da 150 nm a sinistra e 250 nm a destra dell'immagine e in particolare in Figura 5.16 si ha il risultato per la prova con il solo ICP, in Figura 5.17 etch più BOE e infine in Figura 5.18 è riportata l'ultima prova in cui era compresa una chimica di HCl e acido acetico.

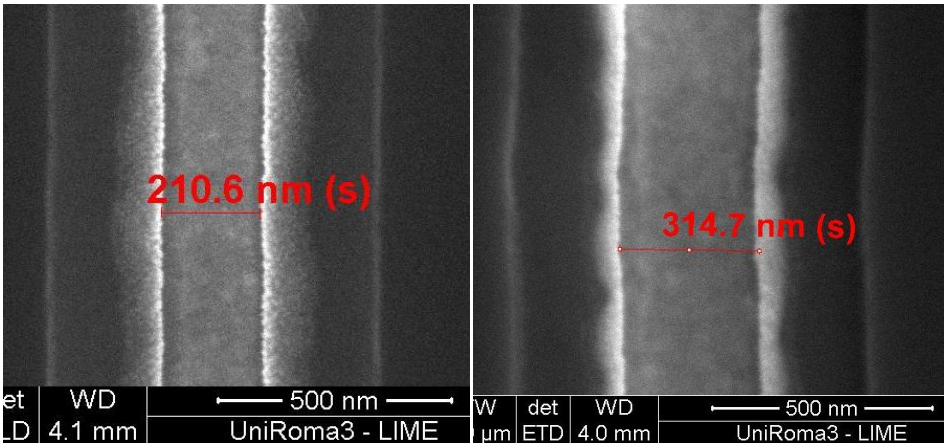

Figura 5.16: SEM di un piede di gate da 150 nm (a sinistra) e 250 nm (a destra) con 90 s di etch

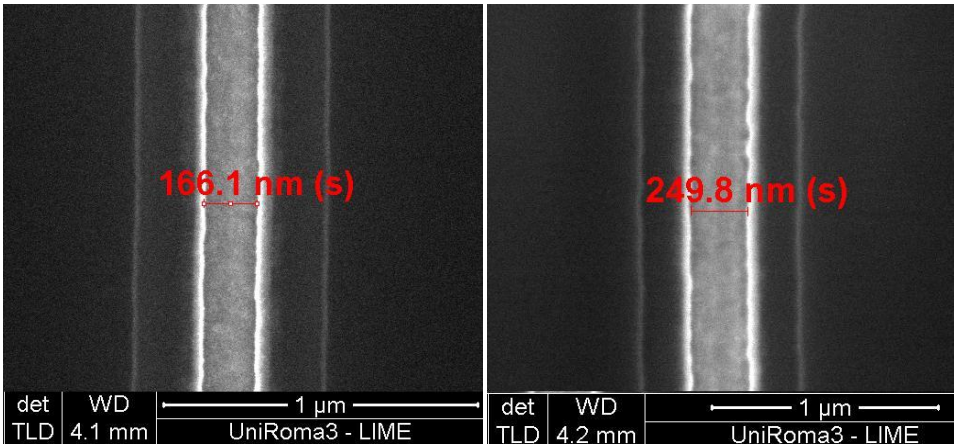

Figura 5.17: SEM di un piede di gate da 150 nm (a sinistra) e 250 nm (a destra) con 70 s di etch + BOE

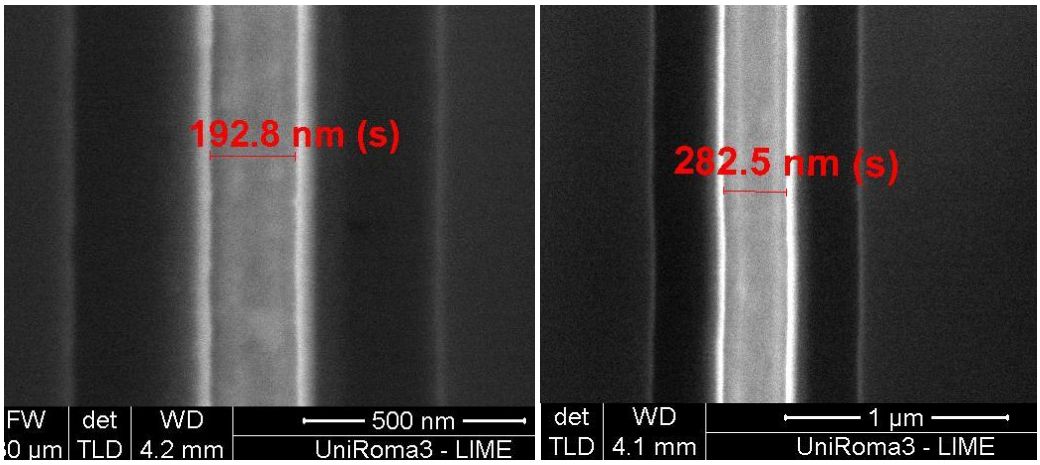

Figura 5.18: SEM di un piede di gate da 150 nm (a sinistra) e 250 nm (a destra) con 70 s di etch + chimica

E' evidente come solo il processo in ICP per 90 s allarghi di molto la dimensione del gate mentre quello migliore sembra essere quello con associato il BOE che viene utilizzato per ottenere un buon sottoattacco del nitruro necessario per lift-off. Si è visto però che anche solo dopo il processo di ICP si ha un buon sottoattacco del Si_3N_4 (come si vede anche dalle immagini, l'impronta più larga rappresenta il sottoattacco sul nitruro) e si è deciso di utilizzare quel processo per la realizzazione dei gate in quanto a parità di risultati è più semplice. Naturalmente sono state riviste le dimensioni dei disegni. Inoltre sono state fatte le misure al profilometro e si é visto che da uno strato di 7000 Å, il resist si riduce a circa 2000 Å dopo 90 s di attacco, che però sono sufficienti ad avere un buon lift-off in quanto il metallo depositato è circa 10 volte più sottile dello spessore totale del resist.

5.5 Ottimizzazione del processo di annealing del piede

Il processo di annealing del piede del gate risulta necessario in quanto la superficie dell'AlGaN subisce il danneggiamento dovuto all'etch molto energetico in ICP. Allo scopo di ridurre questo danneggiamento, il piede del gate viene sottoposto ad un ciclo termico che migliora l'altezza di barriera della giunzione Schottky [38][39][40] e diminuisce il leakage di gate in reverse. Per avere un processo efficace sono stati effettuati alcuni test prendendo come variabili il tempo e la temperatura di annealing. In particolare sono stati considerati i confronti tra temperature di 400°C e 500°C e tra tempi di annealing di 30 s o 60 s.

Nei grafici seguenti sono riportate le curve I-V in forward e reverse per calcolare l'altezza di barriera e il leakage del diodo di gate prima e dopo l'annealing. A sinistra della Figura 5.19 è riportato il leakage nel caso di annealing a 500 °C per un minuto confrontato con il leakage calcolato prima del processo di annealing.

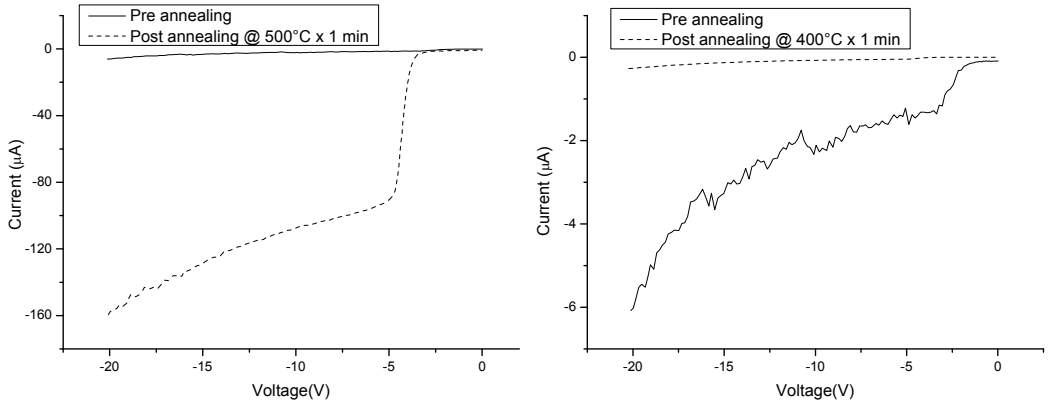

Figura 5.19: leakage di gate annealed @ 500 o 400 °C per 1 min

Nell'immagine a destra è riportata la stessa grandezza nel caso di annealing a 400 °C per un minuto. E' evidente come a -20 V nel caso di ricottura a 500 °C il leakage sia molto peggiorato (160 μA), mentre a 400 °C diventa dell'ordine di pochi nA. In Figura 5.20 ancora il confronto tra il leakage ma stavolta con durata del processo pari a 30 s. Anche in questo caso per 500 °C si ha un peggioramento, anche se di pochi μA, rispetto al caso di dispositivo non annilato mentre per il dispositivo che ha subito l'annealing a 400 °C si ha di nuovo un miglioramento anche se non eccezionale.

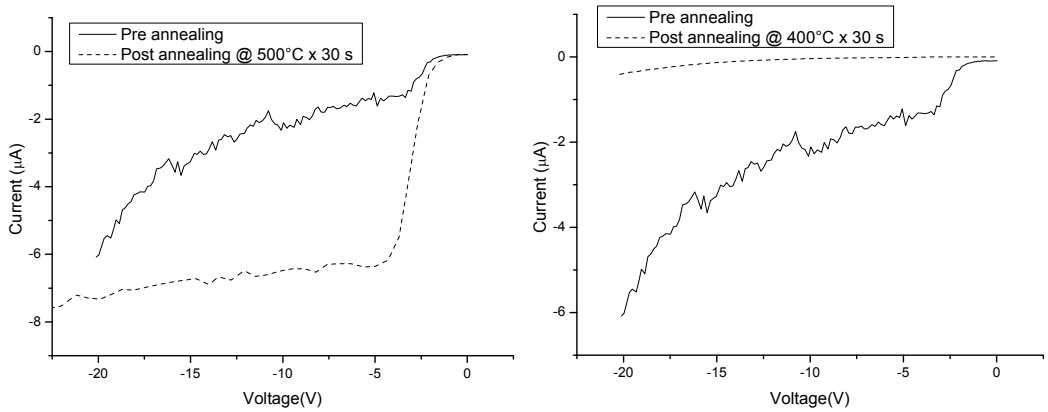

Figura 5.20: leakage di gate annealed @ 500 o 400 °C per 30 s

Visti i risultati sul leakage di gate, un'indicazione del processo migliore di annealing è abbastanza evidente. Sono state effettuate le misure I-V sul diodo di gate per calcolare il valore dell'altezza della barriera Schottky. In Figura 5.21 sono riportati gli andamenti di queste curve. E' evidente come l'altezza di barriera abbia un aumento maggiore del suo valore nel caso di anneling a 400 °C per 1 minuto.

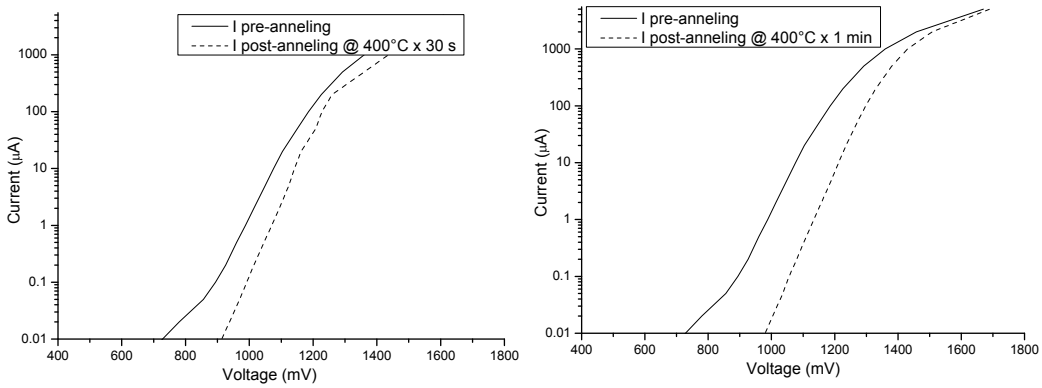

Figura 5.21: I-V del diodo annealed @ 400 °C per 30 s e 1 min

Un aspetto molto importante del litografia realizzata tramite due step è proprio quello di poter realizzare l'annealing dello strato metallico sottile del piede invece di annilare tutto il metallo del gate che porterebbe come conseguenza un aumento della resistenza di gate del 50% rispetto al suo valore. E' stato scelto il processo che prevede una ricottura di 400 °C per 1 minuto come processo da utilizzare per la realizzazione dei successivi dispositivi.

Capitolo 6 Conclusioni

6.1 INTRODUZIONE 95
6.2 RISULTATI SU GAAS 96
6.3 RISULTATI SU GAN 102
6.4 PROSPETTIVE FUTURE 105

6.1 Introduzione

L' ottimizzazione e messa a punto di tutti i processi per la realizzazione del gate su GaAs e GaN ha portato come conseguenza la possibilità di realizzare dispositivi discreti su nitruro di gallio, ma anche circuiti monolitici integrati e in particolare amplificatori in banda X e banda larga su arseniuro di gallio. Tutti i dispositivi realizzati sui differenti wafer sono stati testati dal punto di vista elettrico durante i vari step di processo e sono stati caratterizzati a fine processo tramite misure in continua (C-V, I-V), misure DIVA (dynamic I-V analyzer) e misure in RF, quest'ultime effettuate dal laboratorio di microonde delle fonderia GaAs di Selex S.I. In questo capitolo vengono riportati i risultati delle caratterizzazioni elettriche su GaAs e GaN.

6.2 Risultati su GaAs

I primi test effettuati su wafer GaAs, sui quali sono stati realizzati circuiti discreti, sono test di resistenza di contatto di gate e lunghezza di gate per capire come fossero migliorati i parametri in base agli accorgimenti di processo messi in atto. Come si osserva dal grafico in Figura 6.1 in cui sono riportati i valori medi della resistenza di gate misurata in 10 zone diverse del wafer, essa si è stabilizzata su valori dell'ordine dei 20 Ω/100μm mentre in precedenza superava anche i 30 Ω/100μm.

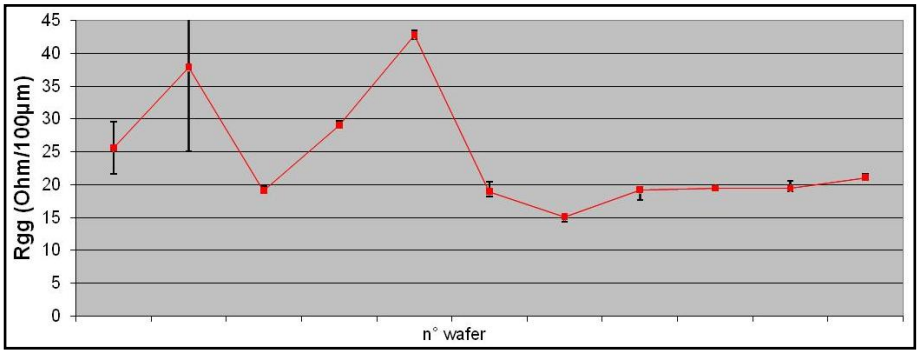

Figura 6.1: andamento della R_{gg} per i diversi wafer realizzati

Per quanto riguarda la lunghezza di gate, i valori ottenuti dall'ottimizzazione avvenuta per le dosi, hanno raggiunto il target di 250 nm con una variabilità del ±10% tra un wafer e l'altro, errore in ogni caso accettabile; soprattutto però, come evidenziato nel grafico di Figura 6.2, è diminuito lo scattering dei valori sul wafer e cioè il processo risulta molto più uniforme e in grado di assicurare la stessa lunghezza di gate per tutti i dispositivi che vengono realizzati su ogni substrato.

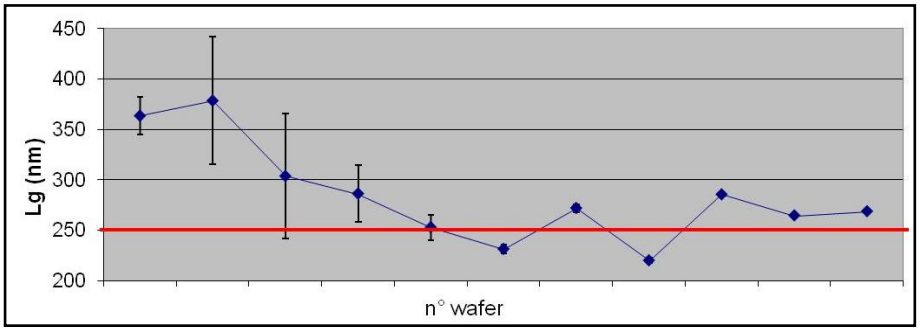

Figura 6.2: andamento della L_g per i diversi wafer realizzati

A fine processo i wafer sono stati caratterizzati con diversi tipi di misure. In Figura 6.3 vengono riportate le misure al DIVA di due dispositivi; quello a sinistra preso come riferimento era stato realizzato con il vecchio processo, mentre quello a destra è stato fabbricato con il processo del gate ottimizzato.

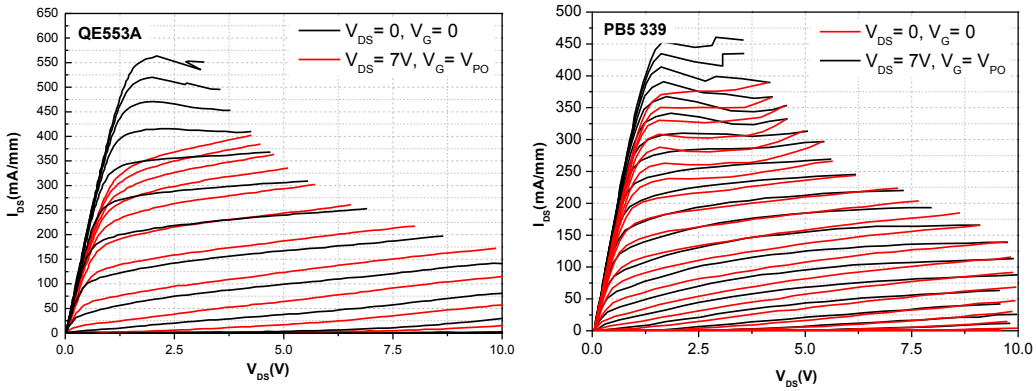

Figura 6.3: DIVA a confronto tra il dispositivo di riferimento a sinistra e uno degli ultimi realizzati a destra

Le misure impulsate sono state fatte nelle stesse condizioni per entrambi i dispositivi: le curve in nero rappresentano le caratteristiche I-V impulsate avendo imposto come tensioni di bias i valori di V_{DS}=0 e V_{GS}=0 mentre in rosso sono

riportate le curve per le quali le tensioni di bias sono uguali a V_{DS}=7V e V_{GS}=V_{po} cioè nel caso peggiore di attivazione delle trappole superficiali. Come si vede dalla figura, il dispositivo con processo ottimizzato presenta una dispersione di corrente minore del vecchio tipo di dispositivo e questo va a ripercuotersi poi anche sui valori di potenza ottenuti.

Per quanto riguarda le misure RF, in Figura 6.4 sono riportati gli andamenti del G_{max} e dell'H_{21} per ricavare i valori di f_{max} e f_T degli HEMT.

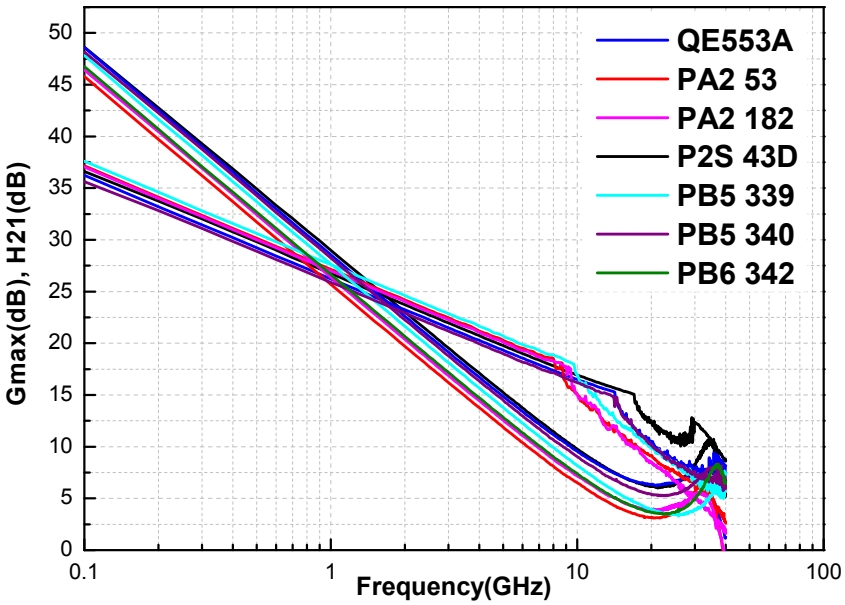

Figura 6.4: G_{max} e H_{21} per differenti wafer

Rispetto al wafer di riferimento (QE553A) si è raggiunto un leggero miglioramento per quanto riguarda il valore del guadagno a 10 GHz, come evidenziato anche nei valori riportati in Tabella 3 con valore massimo raggiunto

di 17 dB mentre per quanto riguarda f_T e f_{max} sono stati raggiunti i valori massimi di 29±1 GHz e 65±2 GHz.

Wafer	V_{BD} (V)	R_{gg} (Ω/100μm)	C_{gs} (pF/mm)	F_T (GHz)	F_{MAX} (GHz)	G_{max} @10 GHz (dB)	P_{out} (mW/mm)
QEA553A	> 20	18	1.61	26 ± 1	65 ± 2	16.5	650
QEA959D	15	> 30	1.5±0.03	22.5 ± 2.5	45 ± 4	12.3dB	630
PA2 52	19	19.0±0.8	1.47±0.03	23±1	57 ± 3	17dB	690
PA2 53	18	15.0±0.15	1.56±0.02	22.5±1.5	45 ± 2	14.8dB	690
PA2 182	16	19.0±0.22	1.38±0.03	22.5±1.5	42 ± 2	14.5dB	700
P2S 43D	> 20	19±0.17	1.44±0.03	29±1	65± 2	16.8 dB	---
PB5 339	≥20	19±1	1.23±0.09	27±1	65± 2	16.8 dB	800
PB6 342	>20	21.0±0.6	1.37±0.12	26.5±1.5	65± 2	16.9dB	650
PB7 354	13	20.3±0.28	1.7±0.18	27±1	64± 2	16.6 dB	1000

Tabella 3: riassunto dei parametri caratteristici di alcuni dei wafer realizzati

Alcuni parametri caratteristici dell'HEMT riportati in tabella, sono ad esempio la tensione di break-down e la capacità associata al gate, come anche la potenza ottenuta per millimetro. Per quanto riguarda il primo parametro, si osserva come il valore degli ultimi dispositivi realizzati fosse superiore a 20 V tranne che per l'ultimo wafer processato; tale risultato in quanto la struttura epitassiale di quest'ultimo era diversa rispetto alle altre. Con l'intento di aumentare la transconduttanza e aggiustare il pinch-off del dispositivo, è stato degradato il break-down. Per quanto riguarda le potenze si osserva come proprio quest'ultimo wafer presenta la massima potenza raggiunta e questo perché ad un basso valore di tensione di break-down è associato un alto valore di corrente e quindi di potenza. Buoni valori di potenza sono risultati per il wafer PB5-339. Le capacità del dispositivo ci danno un'indicazione della lunghezza di gate, ma anche qui è necessario tener conto della struttura epitassiale e del suo pinch-off.

Visti i risultati ottenuti su dispositivi discreti, si è provato a realizzare circuiti monolitici per diverse applicazioni. In Figura 6.5 sono riportati due esempi per applicazione in banda larga mentre in Figura 6.6 per banda X.

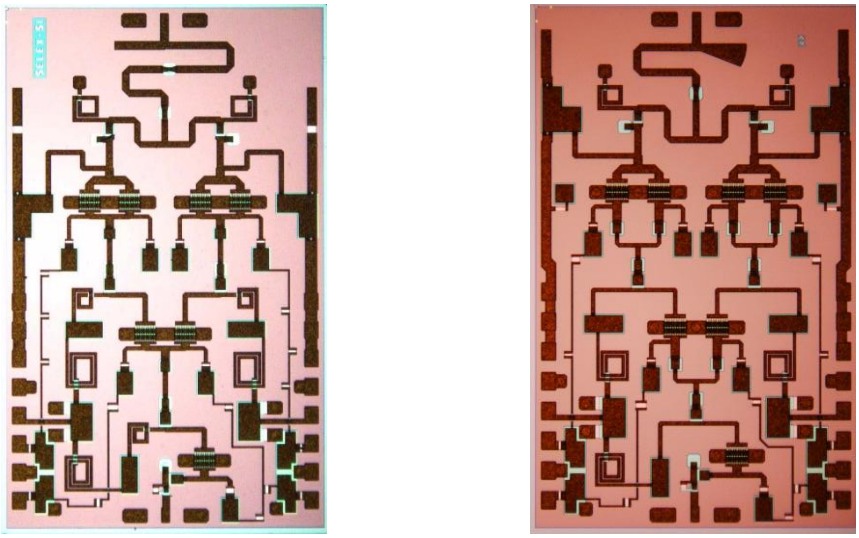

Figura 6.5: circuiti per banda larga

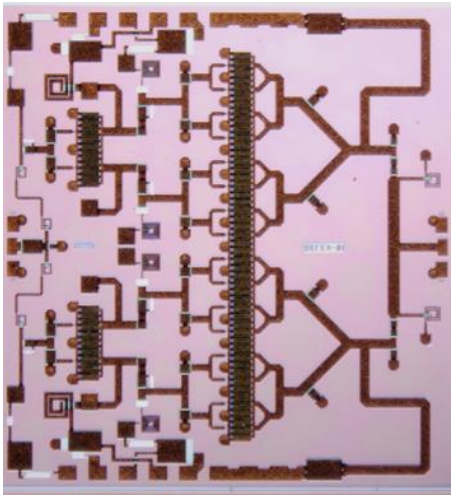

Figura 6.6: circuito per banda X

In Tabella 4 sono riportati i parametri caratteristici ottenuti per i tre diversi circuiti; si osserva come per il caso di banda larga la potenza di uscita sia molto simile con effetto dunque sulla riproducibilità del processo. Inoltre la resa sul wafer è pari all'85% su periferie di gate molto basse (7 mm) e ancora più interessante il fatto che su periferie di gate quasi 4 volte maggiori la resa risulta ancora molto alta (75%).

Applicazione	**P_{out} (dBm)**	**Gain (dB)**	**Dimensione chip size (mm x mm)**	**Yield (%)**	**Periferia gate (mm)**
Banda larga	34±1	> 17	4.8 x 2.8	85	7.0
Banda larga	33±1	> 16	5.2 x 2.9	85	7.0
Banda X(8-12 GHz)	40.8±0.5	> 18	3.8 x 4.2	75	26.4

Tabella 4: parametri caratteristici dei circuiti realizzati

Infine riportiamo in Tabella 5 il confronto tra il dispositivo di potenza, ottimizzato nella parte del gate in questa tesi, e gli stessi dispositivi prodotti da Francia e Inghilterra.

	UMS PPH25X	**RFMD FD30**	**SELEX S.I.**
Tecnologia a doppio recess 0.25 µm	Sì	Sì	Sì
Frequenza di taglio	45 GHz	40 GHz	30 GHz
Densità di potenza	0.9 W/mm	0.7 W/mm	0.9 W/mm
MAG	16 dB@10GHz	12 dB@10GHz	16.9 dB@10GHz
Tensione di breakdown	>20V	>20V	>20V

Tabella 5: confronto del risultati con i competitor

Come si può vedere, il dispositivo è confrontabile in termini di prestazioni sia di potenza che di massimo guadagno disponibile e tensione di break-down. Bisogna ancora lavorare sulla frequenza di taglio del dispositivo andando a migliorare tutti i parassiti e i parametri che ne possono dare un miglioramento.

6.3 Risultati su GaN

Per quanto riguarda il GaN sono stati fabbricati dispositivi discreti utilizzando lo stesso processo per realizzare diverse lunghezze di gate e i risultati ottenuti dal punto di vista del profilo e della geometria del gate sono quelli riportati dalle sezioni fatte al FIB in Figura 6.7.

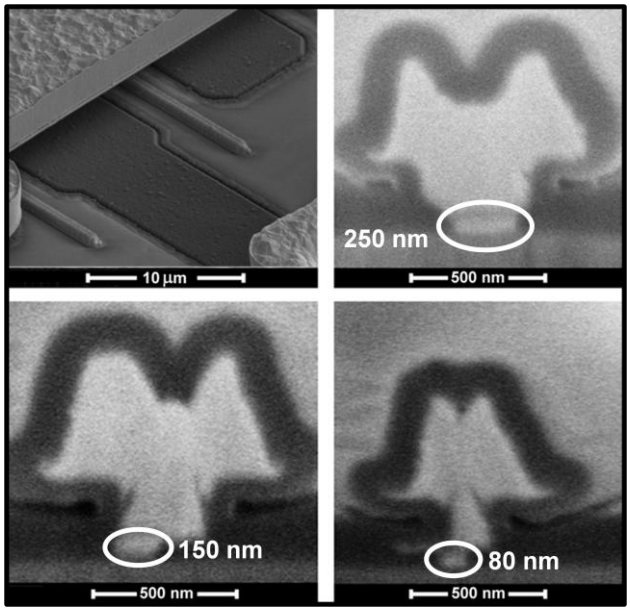

Figura 6.7: cross section di 3 dispositivi con lunghezze di gate differenti

Come si può osservare dalle immagini, i gate non presentano nessun tipo di interruzione e il T-gate è abbastanza bene allineato sul piede.

Per quanto riguarda le caratterizzazioni elettriche, riportiamo in Figura 6.8 l'andamento delle curve I-V di due dispositivi con 2 finger da 50 µm e lunghezza di gate pari a 250 nm (sinistra) e 150 nm (destra) mentre in Figura 6.9 è riportato il confronto tra 150 nm (sinistra) e 80 nm (destra).

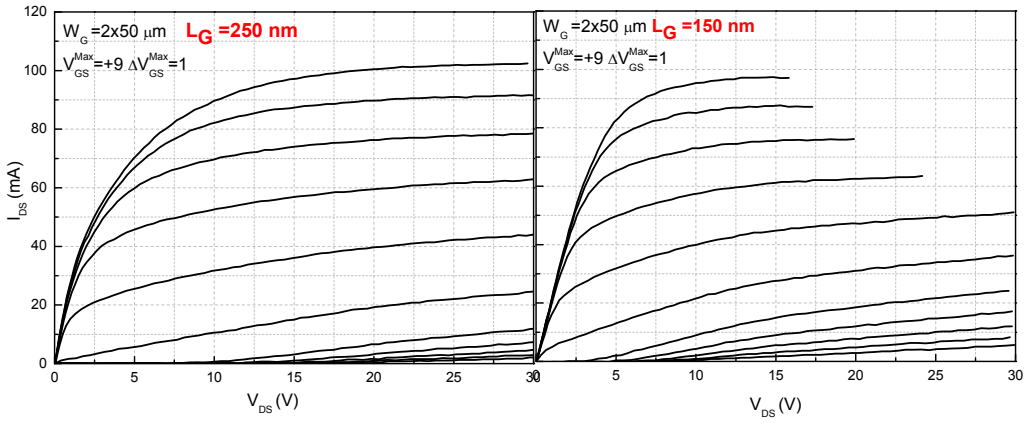

Figura 6.8: I-V di dispositivi con lunghezze di gate diverse

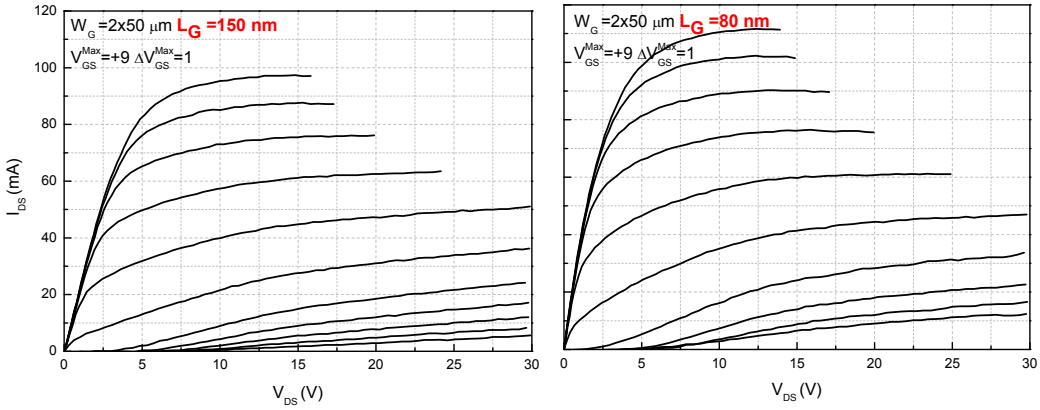

Figura 6.9: I-V di dispositivi con lunghezze di gate diverse

Si osserva come all'aumentare della tensione di drain, minore è la lunghezza di gate, maggiore è la difficoltà che trova il dispositivo a chiudere e raggiungere il pinch-off; ciò si ha per il cosiddetto "effetto di canale corto" [41] che viene attribuito ad un mancato confinamento degli elettroni del canale in presenza di elevati campi elettrici. Questo effetto si ripercuote anche sulle prestazioni RF del dispositivo come si può vedere in Figura 6.10.

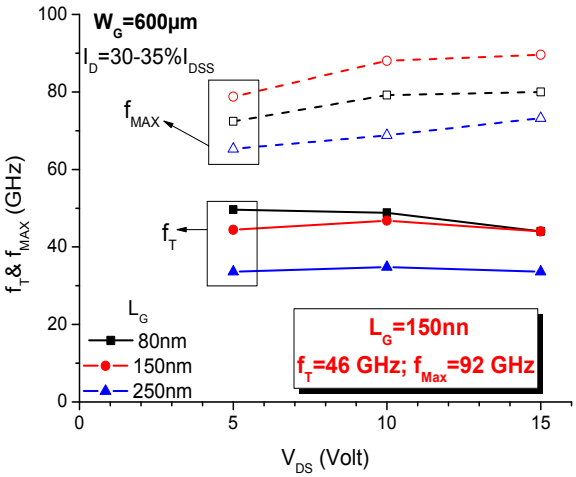

Figura 6.10: andamento di f_T e f_{max} al variare della V_{DS}

Possiamo osservare come a 5 V di tensione di drain il dispositivo che presenta migliore f_T è proprio quello da 80 nm, ma si vede come questo abbia un degrado netto delle prestazioni all'aumentare della tensione di drain. Questo sta ad indicare come ci sia un limite alla diminuzione della lunghezza di gate oltre il quale non si può andare se non prima si agisce sul miglioramento delle eterostrutture in termini di confinamento degli elettroni del canale. Il risultato migliore è stato ottenuto con un gate da 150 nm che ha dato una f_T pari a 46 GHz e una f_{max} pari a 92 GHz.

6.4 Prospettive future

Il lavoro realizzato in questa tesi, ha dimostrato la capacità di avere un processo maturo anche al livello di gate sia per il GaAs che per il GaN.

Per quanto riguarda il GaAs, il passo successivo all'ottimizzazione del gate sta nel migliorare le eterostrutture sulle quali si realizza il processo. Questa attività è stata avviata in collaborazione con un'università italiana che ha realizzato le simulazioni in base ai dispositivi fabbricati, e sono state testate in seguito differenti eterostrutture caratterizzate da:

- due layer che agiscono da stop etch
- spessore della barriera di AlGaAs tale da aumentare la transconduttanza
- concentrazione di In tale da migliorare la mobilità
- pulse-doping per aggiustare la tensione di pinch-off

Inoltre, altra azione importante da perseguire sarà quella di testare l'affidabilità dei dispositivi con gate da 0.25 μm realizzati, in quanto nonostante sia stata ottimizzata la tecnologia per ottenere dei buoni risultati che rientrassero nelle specifiche prefissate, non c'è garanzia che questi siano affidabili al punto tale da poter essere impiegati per le applicazioni richieste. Inoltre, per migliorare ulteriormente le prestazioni dei dispositivi, sarebbe necessario diminuire ancora la lunghezza di gate ad esempio a 0.15 μm. L'ottimizzazione di questo processo era stata avviata nell'ambito di un progetto FIRB con l'Università di Tor Vergata ed ha portato a risultati che potrebbero essere utilizzati come punto di partenza per il perfezionamento di tale processo.

Per quanto concerne il GaN la prospettiva è quella di testare i dispositivi realizzati anche questi da un punto di vista di affidabilità in termini di resistenza a stress di tipo elettrico, ma anche in condizioni di temperature non favorevoli. Non meno importante l'interesse a testare il dispositivo in circuiti per diverse applicazioni come quelli già realizzati per il GaAs. Aspetto essenziale è pensare alle possibili soluzioni per avere un miglior confinamento degli elettroni del canale nel caso di dispositivi con canale corto utilizzando diversi approcci:

- agire sulle eterostrutture in modo da realizzare epitassie che possano confinare meglio gli elettroni nel canale [42]
- agire sul layout del dispositivo ad esempio inserendo un secondo gate all'interno del canale che possa aiutare a modulare la corrente e quindi a raggiungere il pinch-off [43]

Su quest'ultimo tipo di approccio si sta già lavorando per decidere le configurazioni più adatte e testarne i risultati.

Appendice A Bibliografia

[1] U.K. Mishra P. Parikh, Y.F. Wu, *“AlGaN/GaN HEMTs: An overview of device operation and applications”*

[2] J. J. Harris **“***Delta-doping of semiconductors”* Journal of Materials Science: Materials in Electronics Volume 4, Number 2, 93-105, DOI: 10.1007/BF00180462

[3] S. Lavanga, C. Lanzieri, M. Peroni, P. Romanini, A.Cetronio, A. Chini, L. Mariucci, *“Very high power Field-Plate GaAs pHEMT technology for C and X-band applications”*, 31st WOCSDICE 2007 (Venice, Italy, May 20-23, 2007) pg. 173-178

[4] S. M. Sze, Kwok K. Ng, *“Physics of semiconductor devices”*, 3rd ed., John Wiley & sons

[5] E. F. Schubert *"Delta doping of III-V compound semiconductors: Fundamentals and device applications"* J. Vac, Sci. Technol. A 8 (3), May/Jun 1990 0734-2101/90/032980 American Vacuum Society

[6] G. Li, M.B. Johnston, A. Babinski, S. Yuan, M. Gal, S.J. Chua, C. Jagadish *"Si and C d-doping for device applications"* Journal of Crystal Growth 195 (1998) 54Ð57

[7] G. Ghione, M. Pirola *“Elettronica delle microonde Parte II: dispositivi attivi e amplificatori”* Otto editore

[8] T. R. Lenka1, Member, ACEEE and A. K. Panda2, Member, IEEE *"Characteristics Study of Modulation Doped GaAs/InxGa1-xAs/AlxGa1-xAs based Pseudomorphic HEMT"* IEEE International Journal of Recent Trends in Engineering, Vol 1, No. 3, May 2009

[9] J.P. Ibbetson, P.T. Fini, K.D. Ness, S.P. DenBaars, J.S. Speck, U.K. Mishra, *"Polarization effects, surface states, and the source of electrons in AlGaN/GaN heterostructure field effect transistors"* Appl. Phys. Letters 77, p. 250-3.

[10] K. Matocha *"AlGaN/GaN HFET Design for Switching Applications"* SEMICONDUCTOR POWER DEVICES PROJECT - K. MATOCHA

[11] B. Van Daelea and G. Van Tendeloo W. Ruythooren, J. Derluyn, M. R. Leys, and M. Germain *"The role of Al on Ohmic contact formation on n-type GaN and AlGaN/GaN"* APPLIED PHYSICS LETTERS 87, 061905 2005

[12] Timothy A. Brunnera *"Why optical lithography will live forever"* J. Vac. Sci. Technol. B 21„6…, NovÕDec 2003 2632-2637 American Vacuum Society

[13] Jogender Singh, J. Thomas Schriempf, and Douglas E. Wolfe *"Electron Beam Physical Vapor Deposition Technology: Present and Future Applications"*

[14] Gary S. May, Simon M. Sze, *"Fundamentals of semiconductor fabrication"*, Wiley

[15] Keizo Suzuki and Naoshi Itabashi *"Future prospects for dry etching"* fure&App/. Chem.,Vol. 68, No. 5, pp. 1011-1015,1996

[16] I. Adesida, C. Youtsey, A. T. Ping, F. Khan, L. T. Romano, and G. Bulman *"Dry and wet etching for group III – nitrides"* MRS Internet J. Nitride Semiconductor Res. 4S1, G1.4 (1999)

[17] C.A.Volkert and A.M. Minor *"Focused Ion Beam Microscopy and Micromachining"* Guest Editors

[18] Ampere A. Tseng, Kuan Chen, Chii D. Chen, and Kung J. Ma *"Electron Beam Lithography in Nanoscale Fabrication: Recent Development"* IEEE TRANSACTIONS ON ELECTRONICS PACKAGING MANUFACTURING, VOL. 26, NO. 2, APRIL 2003

[19] *"EBPG5000 operator training course"* EBPG 5000 "System manager" Operation training, Leica Microsystems

[20] *"Schottky emitter User guide"* Copyright @1998 by FEI Company

[21] CATS® *"Command Reference Manual"* Version V-2004.03, March 2004 SYNOPSYS

[22] CATS® *"Reference Manual"* Version V-2004.03, March 2004, SYNOPSYS

[23] LEICA Microsystems Lithography *"Beamwriter EBPG-4V/5 Beams User Manual"* Aug 2000

[24] Donald E. Schreiber *"Pattern Partitioning for Enhanced Proximity-Effect Corrections in Electron-Beam Lithography"* IBM J. RES. DEVELOP. VOL. 24 NO. 5 SEPTEMBER 1980

[25] H. Brech, T. Grave, T. Simlinger, S. Selberherr *"Influence of T-gate shape and footprint length on PHEMT high frequency performance"* 1997 IEEE

[26] R. Grundbacher and I. Adesida Y.-C. Kao and A. A. Ketterson *"Single step lithography for double-recessed gate pseudomorphic high electron mobility transistors"* J. Vac. Sci. Technol. B 15(1), Jan/Feb 1997

[27] David Fanning, Anthony Balistreri, Edward Beam III, Kenneth Decker, Steve Evans, Robert Eye, Warren Gaiewski, Thomas Nagle, Paul Saunier, Hua-Quen Tserng *"High Voltage GaAs pHEMT Technology for S-band High Power Amplifiers"* CS MANTECH Conference, May 14-17, 2007, Austin, Texas, USA

[28] T. Lalinsky, J. Skriniarova, I. Kostic, A. Hart van der, P. Hrkut, S. Hascik, L. Matay, Z. Mozolova, P. Kordos *"T-shaped gates for heterostructure field effect transistors"* Vacuum 61 (2001) 329-332

[29] K.Alavi, S. Ogut, P. Lyman, W. Hoke, M. Borkowski, *"A Highly Uniform, and High Throughput, Double Selective pHEMT Process Using an All Wet Etch Chemistry"*, GaAs MANTECH Conference 2002

[30] F. Gao, *"High reliability in PHEMT MMICs with dual-etch-stop AlAs layers for high-speed RF switch applications"*, Microelectronics Reliability, Volume 43, Issue 6, June 2003, Pages 829-837

[31] Xiaoliang Wang, Guoxin Hu, Zhiyong Ma, Junxue Ran, Cuimei Wang, Hongling Xiao, Jian Tang, Jianping Li, Junxi Wang, Yiping Zeng, Jinmin Li, Zhanguo Wang *"AlGaN/AlN/GaN/SiC HEMT structure with high mobility GaN thin layer as channel grown by MOCVD"* Journal of Crystal Growth 298 (2007) 835–839

[32] H.P. Xin, S. Poust, W. Sutton, D. Li, D. Lam, I. Smorchkova, R. Sandhu, B. Heying, J. Uyeda, M. Barsky, M. Wojtowicz, R. Lai *"Optimization of*

AlGaN/GaN HEMT Ohmic Contacts for Improved Surface Morphology with Low Contact Resistance" CS MANTECH Conference, May 17th-20th, 2010, Portland, Oregon, USA

[33] Y. Pei, Student Member, IEEE, Z. Chen, Senior Member, IEEE, D. Brown, *"Deep-Submicrometer AlGaN/GaN HEMTs With Slant Field Plates"*

[34] Y. Dora, A. Chakraborty, L. McCarthy, S. Keller, S. P. DenBaars, and U. K. Mishra *"High Breakdown Voltage Achieved on AlGaN/GaN HEMTs With Integrated Slant Field Plates"* IEEE ELECTRON DEVICE LETTERS, VOL. 27, NO. 9, SEPTEMBER 2006

[35] Vipan Kumar, Guang Chen, Shiping Guo, and Ilesanmi Adesida, *"Field-Plated 0.25-µm Gate-Length AlGaN/GaN HEMTs With Varying Field-Plate Length"*, IEEE Transactions on Electron Devices, Vol. 53, No. 6, June 2006

[36] Marco Peroni, Paolo Romanini, Alessio Pantellini, Antonio Cetronio, Luigi Mariucci, Antonio Minotti, Giovanni Ghione, Vittorio Camarchia, Ernesto Limiti, Antonio Serino, Alessandro Chini *"Design, Fabrication and Characterization of Γ Gate GaN HEMT for High-Frequency/Wide-Band applications"* 31st Workshop on Compound Semiconductor Devices and Integrated Circuits (WOCSDICE). Venice, Italy. May 20-23, 2007

[37] Hee Kwan Lee, Kwan Soo Chung and Jae Su Yu *"Selective Etching of Thick Si3N4, SiO2 and Si by Using CF4/O2 and C2F6 Gases with or without O2 or Ar Addition"* Journal of the Korean Physical Society, Vol. 54, No. 5, May 2009, pp. 1816-1823

[38] K.N. Lee, X.A. Cao, C.R. Abernathy, S.J. Pearton, A.P. Zhang, F. Ren, R. Hickman, J.M. Van Hove *"Effect of thermal stability of GaN epi-layer on the Schottky Diodes"* Solid-State Electronics 44 (2000) 1203±1208

[39] Yuanping Sun, X M Shen, J Wang, D G Zhao, G Feng, Y Fu, S M Zhang, Z H Zhang, Z H Feng, Y X Bai and Hui Yang *"Thermal annealing behaviour of Ni/Au on n-GaN Schottky contacts"* J. Phys. D: Appl. Phys. 35 (2002) 2648–2651

[40] Marco Peroni, Antonio Nanni, Claudio Costrini, Donatella Dominijanni, E. Giovine, Ernesto Limiti, Walter Ciccognani *"Scalable gate two ebl steps fabrication process for optimal high frequency gan hemt performances"*, Proceedings WOCSDICE 2011

[41] O. Breitschadel, L. Kley, H. Gra¨beldinger, J.T. Hsieh, B. Kuhn, F. Scholz, H. Schweizer *"Short-channel effects in AlGAN/GaN HEMTs"* Materials Science and Engineering B82 (2001) 238–240

[42] C. Poblenz, P. Waltereit, S. Rajan, S. Heikman, U. K. Mishra, and J. S. Speck *"Effect of carbon doping on buffer leakage in AlGaN/GaN high electron mobility transistors"* J. Vac. Sci. Technol. B 22(3), May/Jun 2004 1071-1023/2004/22(3)/1145

[43] Marco Peroni, Antonio Nanni, Paolo Romanini, Donatella Dominijanni, A. Notargiacomo, E. Giovine Walter Ciccognani, Sergio Colangeli *"Low Noise Performances of Scalable Sub-quarter-micron GaN HEMT with Field Plate technology"* EuMw 2011