



Scuola Dottorale EDEMOM

European Doctorate in Electronic Materials, Optoelectronics and Microsystems

XXV Ciclo

**Modellistica non-lineare auto-consistente
di transistori ad effetto di campo per
applicazioni in alta frequenza**

Benedetto Pasciuto

Relatore: Prof. Gennaro Conte

Relatore esterno: Prof. Ernesto Limiti

Maggio 2014

Ringraziamenti

A conclusione del lungo e tortuoso percorso di studi che mi ha condotto al conseguimento del titolo di dottorato sento il dovere di esprimere i miei ringraziamenti ad alcune persone che vi hanno contribuito.

Ringrazio il professore Ernesto Limiti e il professore Gennaro Conte per avermi dato la possibilità di affrontare questo percorso di studi sotto la loro guida, per avermi spronato e supportato. La passione che ha animato i miei sforzi ha preso forma in periodi ormai lontani ed è scaturita dai loro insegnamenti universitari. Da loro ho appreso molto riguardo gli aspetti relativi alle metodologie con cui si affronta la ricerca scientifica e su come risolvere problemi complessi e articolati sia in ambito scientifico sia in quello della vita quotidiana.

Un ringraziamento particolare lo rivolgo a Walter Ciccognani per il continuo supporto e per avermi trasmesso la sensibilità e la passione per le attività sperimentali.

Al mio amico Stefano Carta (la cui enciclopedica cultura è stata risolutiva per la revisione del manoscritto) rivolgo un caloroso ringraziamento non soltanto per il conforto e l'incoraggiamento offerto nei momenti faticosi, ma anche per le stimolanti discussioni su argomenti matematici che si sono rivelate essenziali ai fini del raggiungimento di alcuni dei risultati.

Desidero esprimere la mia gratitudine ad Antonio Nanni per il supporto materiale che mi ha offerto nelle misurazioni non-lineari e per le lunghe discussioni pomeridiane in cui ho potuto apprezzare i suoi consigli e la sua esperienza.

Ringrazio Alessandro Barigelli che con il suo metodo analitico è stato fonte di grande ispirazione. L'incondizionato aiuto soprattutto durante l'ultima fase di questo percorso è stato molto apprezzato.

Da ultimo, ma non per importanza, rivolgo un enorme ringraziamento alla mia famiglia e in particolare ai miei Genitori nel modo più sincero, il cui supporto e incoraggiamento è stato di fondamentale importanza per il conseguimento di questo obiettivo. Il medesimo ringraziamento lo rivolgo a Paola che ha (stoicamente) condiviso con me tutti i momenti di difficoltà e di gioia e mi ha sostenuto fino alla fine.

Abstract

Il lavoro di ricerca oggetto della tesi che si presenta riguarda lo sviluppo di un modello empirico non-lineare di transistori ad effetto di campo per applicazioni in alta frequenza e della verifica dell'implementazione dello stesso in ambiente di simulazione commerciale. La derivazione del modello si basa su una recente interpretazione, chiamata "Current Division" sulla base della quale si interpretano i fenomeni ed il comportamento della capacità non-lineare associata all'elettrodo di controllo del dispositivo.

Il modello che si propone, è stato formulato introducendo una nuova espressione analitica della non-linearità della carica di Gate attraverso cui si intende risolvere il cronico problema della auto-consistenza del modello basato su una rappresentazione a circuito equivalente. Il modello della carica di Gate si presenta in forma analitica come una funzione dipendente da due tensioni di controllo. La tecnica mediante la quale si ottiene il modello della carica a partire dalla conoscenza delle capacità non-lineari si basa su un approccio matematico rigoroso e allo stesso tempo generale che fa uso del metodo degli integrali indefiniti. Il modello proposto e i rispettivi parametri è riconducibile ai principi fisici che governano il funzionamento del dispositivo e grazie a questa caratteristica, l'estrazione del modello risulta diretta e veloce.

Sulla base della nuova formulazione è stato implementato il modello in ambiente CAD per simulazioni di circuiti in alta frequenza seguendo due diversi approcci, uno dei quali si basa sul linguaggio Verilog-A. Il modello utilizza una sola sorgente di carica a vantaggio della robustezza ed accuratezza dei risultati. Attraverso il confronto con i dati sperimentali il modello è stato verificato e validato.

Publicazioni

Conferenze

- B. Pasciuto, E. Limiti , “Empirical Nonlinear HFET Gate Charge Model”, *Proc. Int. Nonlinear Microw. Millimeter-Wave Circuits 2014* 2-4/04/2014, Leuven (Belgio)
- V. Camarchia, F. Cappelluti, G. Ghione, M. Pirola, G. Conte, B. Pasciuto, “Accurate large signal equivalent circuit of surface channel diamond FETs based on the Chalmers model”, *Diamond 2011*, 4-8/09/2011, Garmisch-Partenkirchen (Germania)
- B. Pasciuto, A. Bentini, W. Ciccognani, E. Limiti, P. Romanini, C. Lanzieri, “Advanced PHEMT GaAs E/D technology, modeling and characterization”, *Proc. 35° WOCSDICE*, 29/05 – 1/06/2011, Catania (Italia)
- A. Bentini, B. Pasciuto, W. Ciccognani, E. Limiti, P. Romanini, C. Lanzieri, “C-Band MMIC Chipset and Digital Control Circuits for T/R Modules based on GaAs Enhancement/Depletion Technology”, *Proc. 35° WOCSDICE*, 29/05 – 1/06/2011, Catania (Italia)
- B. Pasciuto, W. Ciccognani, E. Limiti, L. Colace, G. Assanto, “Small-Signal Empirical Modeling of Ge-on-Si nip Photodetectors”, *Proc. 13° ISMOT*, 20-23/06/2011, Praga (Repubblica Ceca)
- M.C. Rossi, P. Calvani, G. Conte, V. Camarchia, F. Cappelluti, G. Ghione, B. Pasciuto, E. Limiti, D. Dominijanni, E. Giovine, “RF Power Performance Evaluation of Surface Channel Diamond MESFET” , *Mater. Res. Soc. Symp. Proc.*, Volume 1203, 4/12/ 2010
- P. Calvani, M. C. Rossi, G. Conte, S. Carta, E. Giovine, B. Pasciuto, E. Limiti, F. Cappelluti, V. Ralchenko, A. Bolshakov, G. Sharonov, “MESFETs on H-terminated Single Crystal Diamond”, *Mater. Res. Soc. Symp. Proc.*, Volume 1203, 4/12/2010
- M.C.Rossi, P. Calvani, G. Conte, V. Camarchia, F. Cappelluti, G. Ghione, W. Ciccognani, B. Pasciuto, E. Limiti, D. Dominijanni, E. Giovine, “RF power performance of submicron MESFET on hydrogen terminated polycrystalline diamond”, - *Proc. of International Semiconductor Device Research Symposium*, 2009. ISDRS '09, Dec. 2009
- S. Carta, D. Dominijanni, B. Pasciuto, D. Trucchi, G. Conte, “Ohmic Contact Formation By H-terminated Diamond Surface Modification”, *E-MRS 2010 Spring Meeting Proceedings*, 7-11/06/2012 Strasburgo (Francia)
- P. Calvani, S. Carta, B. Pasciuto, G. Conte, V. Ralchenko, “Frequency and temperature dependent response of Schottky junctions on diamond”, - *EMRS 2010 Spring Meeting Proceedings*, 7-11/06/2012 Strasburgo (Francia)

- P. Calvani, G. Conte, D. Dominijanni, E. Giovine, B. Pasciuto, E. Limiti, "Hydrogen terminated diamond MESFETs: New technology for RF power applications", *Microwave Integrated Circuits Conference (EuMIC)*, 27-28/09/2010 Roma (Italy), page(s): 122 - 125

Riviste

- V. Camarchia, F. Cappelluti, G. Ghione, M. Pirola, G. Conte, B. Pasciuto, E. Limiti, E. Giovine, "Accurate Large-Signal Equivalent Circuit of Surface Channel Diamond FETs based on the Chalmers Model," *Diamond and Related Materials*, Vol.26, June 2012, pp.15-19.
- A. Bentini, B. Pasciuto, W. Ciccognani, E. Limiti, A. Nanni, P. Romanini, "Design and Realization of GaAs Digital Circuit for Mixed-Signal MMIC Implementation in AESA Applications", *International Journal of Microwave Science and Technology*, Volume 2011 (2011), <http://dx.doi.org/10.1155/2011/387137>
- V. Camarchia, F. Cappelluti, G. Ghione, M.C. Rossi, P. Calvani, G. Conte, B. Pasciuto, E. Limiti, E. Giovine, "RF power performance evaluation of surface channel diamond MESFETs", *SOLID-STATE ELECTRONICS*, pp. 6, 2010, Vol. 55-I, pag 19-24

Indice

1	<i>Introduzione</i>	1
1.1	Motivazioni.....	1
1.2	Obiettivi	2
1.3	Organizzazione della tesi	2
1.4	Contributi originali	3
2	<i>Modelli non-lineari di HFET per applicazioni in alta frequenza</i>	4
2.1	Ruolo dei modelli nella progettazione di circuiti per applicazioni in alta frequenza	4
2.2	Heterojunction Field Effect Transistor	5
2.3	Alcune cifre di merito dei transistori	9
2.4	Modelli di dispositivi attivi	10
2.5	Modello empirico a circuito equivalente	14
2.6	Modelli auto-consistenti.....	17
2.7	Riferimenti bibliografici	17
3	<i>Modello non-lineare della carica di Gate</i>	18
3.1	Introduzione	18
3.2	Considerazioni sui principi fisici di funzionamento	18
3.3	Stato dell'arte sui modelli delle non-linearità reattive	20
3.4	Condensatori non-lineari	21
3.5	Principio di conservazione della carica	24
3.6	Formulazione ed estrazione del modello della carica di Gate del HFET	25
3.6.1	Possibili interpretazioni per la divisione della carica di Gate	25
3.6.2	Divisione di carica	25
3.6.3	Divisione di capacità	29
3.6.4	Divisione di corrente	33
3.7	Formulazione del Modello della Carica di Gate	38
3.7.1	Metodo degli integrali curvilinei	40
3.7.2	Metodo degli integrali indefiniti	42
3.7.3	Modello analitico della carica di Gate	43
3.7.4	Interpretazione fisica del modello non-lineare della carica	46
3.7.5	Estrazione dei parametri del modello	50

3.8	Fit del modello	52
3.9	Verifica del modello	55
3.10	Formulazione della funzione di divisione della corrente	59
3.11	Osservazioni sull'interpretazione basata sulla divisione di corrente	61
3.12	Riferimenti bibliografici	62
4	Modello a piccolo segnale	65
4.1	Introduzione	65
4.2	Modello a circuito equivalente a piccolo segnale.....	66
4.2.1	Elementi estrinseci	66
4.2.2	Elementi intrinseci	67
4.1	Estrazione dei parametri del circuito equivalente.....	70
4.2	Metodologie adottate per l'estrazione dell'estrinseci.....	72
4.2.1	Condensatori estrinseci	72
4.2.2	Induttori estrinseci	75
4.2.3	Resistori estrinseci	78
4.3	De-embedding dei parassiti	83
4.4	Estrazione degli elementi del circuito intrinseco.....	85
4.5	Riferimenti bibliografici	99
5	Modello I-V non-lineare.....	101
5.1	Introduzione	101
5.2	Modello empirico I-V.....	103
5.2.1	Funzione f_D	103
5.2.2	Funzione f_G	105
5.3	Estrazione dei parametri del modello	111
5.4	Fit del modello	115
5.5	Effetti del secondo ordine	116
5.5.1	Breakdown	116
5.5.2	Dispersione in frequenza	117
5.5.3	Effetti termici	121
5.6	Tecnica di misura delle caratteristiche I-V impulsive	124
5.7	Corrente di giunzione Gate-Source e Gate-Drain	130
5.8	Riferimenti bibliografici	131
6	Implementazione, verifica e validazione del modello	134
6.1	Introduzione	134
6.2	Implementazione del modello non-lineare.....	134
6.3	Aspetti generali dell'implementazione di modelli non-lineari in CAD	135
6.4	Verifica del modello	136
6.4.1	Implementazione del modello come circuito equivalente.....	137
6.4.2	Verifica dell'implementazione basata su SDD: case study 10x100 μm GaN HFET	148
6.5	Validazione del modello	165

6.5.1	Usò delle misurazioni Load-Pull per la validazione del modello	166
6.5.2	Sistema di misura Load-Pull	167
6.5.3	Validazione del modello implementato sulla base di SDD	170
6.6	Implementazione del modello Basata sul Verilog-A	175
6.6.1	Verifica del Modello Implementato sulla base del Verilog-A	177
6.6.2	Validazione del modello implementato sulla base del Verilog-A	181
6.7	Riferimenti bibliografici	184
7	Conclusioni e sviluppi futuri	186

Lista delle figure

<i>Figura 2-1: Diagramma a bande nella regione di gate dell'etero-giunzione.</i>	6
<i>Figura 2-2: Struttura semplificata di un HFET.</i>	7
<i>Figura 2-3: Modulazione della concentrazione della densità di carica e della configurazione elettronica da parte del potenziale di Gate.</i>	8
<i>Figura 2-4: Caratteristica I-V (a) e trans-caratteristica (b) di un HFET.</i>	9
<i>Figura 2-5: Diverse tipologie di modello per un dispositivo attivo. Dalla sinistra abbiamo: modello fisico, modello a circuito equivalente, modello black box.</i>	12
<i>Figura 2-6: Tipologie di modelli e relative capacità di applicazione in simulatori.</i>	12
<i>Figura 2-7: Modello lineare a circuito equivalente dell'HFET.</i>	15
<i>Figura 2-8: Procedura di estrazione del modello nonlineare.</i>	16
<i>Figura 3-1: Struttura a bande di un'etero-struttura.</i>	19
<i>Figura 3-2: Rappresentazione sotto forma di circuito equivalente intrinseco del HFET secondo l'interpretazione della divisione di carica. a sinistra è rappresentato il modello non-lineare e a destra quello lineare.</i>	27
<i>Figura 3-3: Modello a circuito equivalente linearizzato derivato mediante l'interpretazione della divisione di carica (da 2.26)</i>	29
<i>Figura 3-4: Rappresentazione sotto forma di circuito equivalentedell'intrinseco per il HFET secondo l'interpretazione basata sulla divisione di capacità. A sinistra è rappresentato il modello non-lineare e a destra quello lineare.</i>	31
<i>Figura 3-5: Implementazione di condensatori non-lineari nel simulatore [da 2.39].</i>	33
<i>Figura 3-6: Modello a largo segnale a circuito equivalente derivato interpretando la carica di Gate sulla base della divisione di corrente [da 2.40].</i>	34
<i>Figura 3-7: Partitore di corrente.</i>	34
<i>Figura 3-8: Equivalenza tra rappresentazioni del modello intrinseco di ampio segnale.</i>	36
<i>Figura 3-9: Equivalenza tra rappresentazioni del modello dell'intrinseco a piccolo segnale.</i>	37
<i>Figura 3-10: Differenza tra tensioni applicate e tensioni intrinseche.</i>	44
<i>Figura 3-11: Andamento della carica (in alto) e delle derivate parziali del modello (in basso) in funzione delle tensioni di controllo.</i>	46
<i>Figura 3-12: Andamento della carica e della capacità associata al contributo relativo alla giunzione Schottky Gate-Source in funzione delle tensioni di controllo.</i>	48
<i>Figura 3-13: Andamento della carica totale e della capacità associata alla giunzione Schottky in funzione delle tensioni di controllo.</i>	48
<i>Figura 3-14: Andamento della carica di canale e delle relative derivate parziali (in basso) in funzione delle tensioni di controllo.</i>	49
<i>Figura 3-15: Estrazione diretta di alcuni dei parametri del modello.</i>	51
<i>Figura 3-16: Layout del dispositivo AlGaAs-GaAs 4x75 μm Win semiconductors.</i>	55
<i>Figura 3-17: Confronto tra C_{gs} misurata (simboli) e C_1 (linea continua) del modello.</i>	56
<i>Figura 3-18: Confronto tra C_{gs} misurata (simboli) e C_2 (linea continua) del modello.</i>	57
<i>Figura 3-19: Layout del dispositivo AlGaAs-GaAs 10x100 μm SELEX ES.</i>	57
<i>Figura 3-20: Confronto tra C_{gs} misurata (simboli) e C_1 (linea continua) del modello.</i>	58
<i>Figura 3-21: Confronto tra C_{gd} misurata (simboli) e C_2 (linea continua) del modello.</i>	58
<i>Figura 3-22: Confronto tra f_{gd} misurata (simboli) e modello (linea continua) nel caso del dispositivo basato su GaAs.</i>	60
<i>Figura 3-23: Confronto tra f_{gd} misurata (simboli) e modello (linea continua) nel caso del dispositivo basato su GaN.</i>	60
<i>Figura 3-24: Confronto tra gli andamenti della corrente di Gate a piccolo segnale calcolati a partire dalle quantità misurate.</i>	61
<i>Figura 4-1: Modello non-lineare a circuito equivalente di HFET.</i>	65
<i>Figura 4-2: Circuito equivalente a piccolo segnale di HFET in saturazione in configurazione Source comune.</i>	66
<i>Figura 4-3: Possibili topologie per i contributi capacitivi della rete parassita.</i>	67
<i>Figura 4-4: Effetto della conduttanza di uscita non nulla sulla corrente del HFET.</i>	69

<i>Figura 4-5: Modello lineare a circuito equivalente inclusivo dei fenomeni di dispersione.....</i>	<i>69</i>
<i>Figura 4-6: Rappresentazione della regione intrinseca nella condizione cold-FET.</i>	<i>70</i>
<i>Figura 4-7 circuito equivalente in condizione di pinch-off cold fet</i>	<i>73</i>
<i>Figura 4-8: Andamento della parte immaginaria dei parametri della matrice di ammettenza di un HFET in condizione di pinch-off cold-FET.</i>	<i>73</i>
<i>Figura 4-9: Parametri S di un AlGaAs-GaAs HFET per $V_{DS}=0$, $V_{GS}=0.6$ ($I_g=3$ mA) dopo aver rimosso i contributi capacitivi parassiti.</i>	<i>76</i>
<i>Figura 4-10: Modello a circuito equivalente a canale aperto in condizione cold-FET dopo aver rimosso i contributi parassiti capacitivi.....</i>	<i>76</i>
<i>Figura 4-11: Modello a circuito equivalente a canale aperto in condizione cold-FET dopo aver rimosso i contributi parassiti capacitivi dopo trasformazione da Pi a T.....</i>	<i>77</i>
<i>Figura 4-12: Andamento della parte immaginaria dei parametri della matrice delle impedenze moltiplicate per ω un HFET in condizione di pinch-off cold-FET.....</i>	<i>78</i>
<i>Figura 4-13: Modello a circuito equivalente al pinch-off in condizione cold-FET dopo aver rimosso i contributi parassiti capacitivi e induttivi.</i>	<i>79</i>
<i>Figura 4-14: Andamento rispetto la frequenza della parte reale dei parametri della matrice delle impedenze al pinch-off in condizione cold-FET dopo aver rimosso i contributi parassiti capacitivi e induttivi.</i>	<i>80</i>
<i>Figura 4-15: Modello a circuito equivalente a canale aperto in condizione cold-FET dopo aver rimosso i contributi parassiti capacitivi e induttivi.....</i>	<i>80</i>
<i>Figura 4-16: Modello a circuito equivalente a canale aperto in condizione cold-FET dopo aver rimosso i contributi parassiti capacitivi e induttivi e dopo trasformazione da Pi a T.....</i>	<i>81</i>
<i>Figura 4-17: Andamento rispetto la frequenza della parte reale dei parametri della matrice delle impedenze a canale aperto in condizione cold-FET dopo aver rimosso i contributi parassiti capacitivi e induttivi.</i>	<i>81</i>
<i>Figura 4-18: Confronto tra le entità dei contributi capacitivi intrinseco per un dispositivo simmetrico nel caso di $V_{ds}=0V$</i>	<i>82</i>
<i>Figura 4-19: Corrispondenza della misura con il circuito equivalente completo con parametri S.</i>	<i>83</i>
<i>Figura 4-20: Circuito risultante dopo il de-embedding dei parassiti capacitivi.</i>	<i>84</i>
<i>Figura 4-21: Circuito risultante dopo il de-embedding dei parassiti connessi in serie.</i>	<i>84</i>
<i>Figura 4-22: Circuito equivalente della parte intrinseca in cui il contributo della corrente reattiva i_{gd} è stato ricondotto a due contributi uno in parallelo al ramo di ingresso e uno a quello di uscita</i>	<i>85</i>
<i>Figura 4-23: Andamenti dei contributi intrinseci rispetto al variazione di frequenza.....</i>	<i>88</i>
<i>Figura 4-24: Verifica della scelta degli intervalli di frequenza di estrazione.....</i>	<i>88</i>
<i>Figura 4-25: Andamento degli elementi intrinseci rispetto la variazione della polarizzazione.....</i>	<i>90</i>
<i>Figura 4-26: Confronto nel caso $V_{GS}=-1.4$, $V_{DS}=25$: le tracce di colore rosso sono le misure mentre quelle nere il modello.</i>	<i>92</i>
<i>Figura 4-27: Confronto nel caso $V_{DS}=1$ V per tutte le polarizzazioni di V_{GS}: le tracce di colore rosso sono le misure mentre quelle nere il modello.</i>	<i>93</i>
<i>Figura 4-28: Confronto nel caso $V_{DS}=25$ V per tutte le polarizzazioni di V_{GS}: le tracce di colore rosso sono le misure mentre quelle nere il modello.</i>	<i>94</i>
<i>Figura 4-29: Confronto nel caso $V_{GS}=-1.4$ V per tutte le polarizzazioni di V_{DS}: le tracce di colore rosso sono le misure mentre quelle nere il modello.</i>	<i>95</i>
<i>Figura 4-30 Confronto nel caso $V_{DS}=25$ V per tutte le polarizzazioni di V_{GS}: le tracce di colore rosso sono il modello con C_{DS}, τ dipendenti dalle tensioni mentre quelle nere il modello con C_{DS}, τ costanti.....</i>	<i>96</i>
<i>Figura 4-31: Andamento al variare della tensione di R_i</i>	<i>97</i>
<i>Figura 4-32: Andamento al variare della tensione di R_{gd}.....</i>	<i>97</i>
<i>Figura 4-33: Confronto nel caso $V_{DS}=25$ V per tutte le polarizzazioni di V_{GS}: le tracce di colore rosso sono il modello senza R_i mentre quelle nere il modello R_i ottimizzato.</i>	<i>98</i>
<i>Figura 5-1: Modello non-lineare a circuito equivalente.....</i>	<i>101</i>
<i>Figura 5-2: Dipendenza dalla V_{DS} - effetto della saturazione della velocità dei portatori di carica.</i>	<i>104</i>
<i>Figura 5-3: Comportamento della funzione $F_D(V_{DS})$.</i>	<i>105</i>
<i>Figura 5-4: Confronto tra l'andamento dell'espressione analitica della densità di carica in una buca di potenziale con le funzioni approssimanti: la funzione di errore di Gauss e la funzione Tanh.....</i>	<i>105</i>
<i>Figura 5-5: Andamento della funzione $Tanh(x)$ e della sua derivata.</i>	<i>106</i>
<i>Figura 5-6: Controllo dell'andamento della derivata della $Tanh$ mediante la variazione dei coefficienti dell'argomento della funzione.</i>	<i>107</i>

Figura 5-7: Illustrazione del significato fisico dei parametri del modello di $F_G(V_{GS})$	108
Figura 5-8: Andamento della funzione con cui si rappresenta la modulazione del parametro P_1 del modello.	109
Figura 5-9: Caso in cui i coefficienti della funzione rispettano il vincolo (5-18): [$P_1=1, P_2=0.1, P_3=-0.01$] a sinistra e [$P_1=1, P_2=0, P_3=0$] a destra.	110
Figura 5-10: Casi in cui i coefficienti della funzione non rispettano il vincolo della (5-18), [$P_1=1, P_2=0.3, P_3=0$] a sinistra e [$P_1=1, P_2=-0.3, P_3=0$] a destra.	110
Figura 5-11: Estrazione dei parametri α e del parametro λ	112
Figura 5-12: Estrazione del parametro $V_{PK0}, V_{PKS}, P_{10}, P_{1S}, I_{PK}$	113
Figura 5-13: Confronto tra i dati misurati (simboli in rosso) e modello: in alto è rappresentata la caratteristica di uscita (a sinistra) e la trans-caratteristica (a destra) e in basso sono riportati gli andamenti della trans-conduttanza e della derivata della trans-conduttanza rispetto la tensione V_{GS}	116
Figura 5-14: Classificazione dei fenomeni di memoria.	118
Figura 5-15: Possibili approcci per modellizzare i fenomeni di dispersione nel HFET.	120
Figura 5-16: Modello non-lineare del HFET inclusivo dei fenomeni di dispersione.	120
Figura 5-17: Circuito equivalente del comportamento elettro-termico del dispositivo.	123
Figura 5-18: Andamento temporale della corrente di un HFET sollecitato con tensioni con andamento nel tempo a gradino.	125
Figura 5-19: Rappresentazione della caratteristica I-V di un generico HFET al variare del tempo di durata della sollecitazione.....	126
Figura 5-20: Descrizione della misura I-V impulsata.....	127
Figura 5-21: Effetto della P_{diss} sulle caratteristiche elettriche del dispositivo. Misure a confronto: tracce in nero misura DC; altre tracce ottenute variando la P_{diss} mediante la variazione della V_{GS0} (QP: $V_{DS}=10$ V)...	128
Figura 5-22: Dispersione associata a difetti superficiali. Misure a confronto: tracce in nero misura DC; tracce in blu condizione QP=Hard pinch-off (QP: $V_{DS}=0$ V, $V_{GS}=-10$ V) con stati elettronici non occupati; tracce in rosso condizione con stati elettronici occupati (QP: $V_{DS}=0$ V, $V_{GS}=0$ V).	129
Figura 5-23: Dispersione associata a difetti nel bulk. Misure a confronto: tracce in nero misura DC; tracce in blu condizione QP=Hard pinch-off (QP: $V_{DS}=0$ V, $V_{GS}=-10$ V) con stati elettronici non occupati; tracce in rosso condizione con stati elettronici occupati (QP: $V_{DS}=0$ V, $V_{GS}=-10$ V).	129
Figura 5-24: Confronto tra dati misurati e modello del diodo.	131
Figura 6-1: Topologia del modello a circuito equivalente basato su tabella.	138
Figura 6-2: Circuito per la simulazione del ramo Gate-Drain del modello a piccolo segnale.....	139
Figura 6-3: Confronto tra coefficiente di riflessione e ammettenza dei due circuiti. In basso a destra si mostra la peculiarità del circuito per l'iniezione di corrente nel terminale di Drain.	139
Figura 6-4: Confronto tra parametri S misurati (rosso) e simulati (blu) al variare della polarizzazione.	140
Figura 6-5: Confronto tra parametri S misurati (rosso) e simulati (blu) al variare della polarizzazione. Le condizioni di polarizzazione rappresentate sono $V_{GS} = -3$ V, $V_{DS} = [0,10,20,30]$ V.	141
Figura 6-6: Confronto tra parametri S misurati (rosso) e simulati (blu) al variare della polarizzazione. Le condizioni di polarizzazione rappresentate sono $V_{GS} = -1.4$ V, $V_{DS} = [0,10,20,30]$ V.....	142
Figura 6-7: Confronto tra parametri S misurati (rosso) e simulati (blu) al variare della polarizzazione. Le condizioni di polarizzazione rappresentate sono $V_{GS} = [-3:0.2:-1]$ V, $V_{DS} = 25$ V.	143
Figura 6-8: Simbolo circuitale di un SDD a 2 porte.....	144
Figura 6-9: Circuito del modello non-lineare basato su SDD 10 porte.	146
Figura 6-10: Inizializzazione dei parametri degli elementi del modello.	147
Figura 6-11: Definizione delle tensioni di controllo degli elementi non-lineari.....	147
Figura 6-12: Modello analitico I-V DC e I-V RF con relative equazioni del modello elettro-termico.	147
Figura 6-13: Parametri del modello del diodo Schottky di Gate-Source.	148
Figura 6-14: Modello analitico della carica di Gate e della funzione di divisione della corrente reattiva.	148
Figura 6-15: Simbolo circuitale del modello implementato.	148
Figura 6-16: Layout del dispositivo caratterizzato e modellizzato.	149
Figura 6-17: Modello non-lineare basato su SDD a 6 porte definito per il dispositivo in esame.....	150
Figura 6-18: Fit misure I-V impulsive.....	150
Figura 6-19: Verifica del modello IV per $V_{DSmax}=40$ V.	151
Figura 6-20: Verifica del g_m e della g_{ds} del modello per $V_{DSmax} = 40$ V.	151

Figura 6-21: Simulazione della corrente di Drain e relativa trans-conduttanza e conduttanza di uscita per $V_{DS,max}=60$ V e $V_{GS}=[-5,3.5]$ V.	152
Figura 6-22: Confronto tra misure e modello della corrente attraverso la giunzione Schottky Gate-Source.	153
Figura 6-23: Simulazione della corrente del diodo Schottky Gate-Source al di fuori dell'intervallo di misura.	153
Figura 6-24: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} e V_{DS} variabile.	155
Figura 6-25: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} variabile e $V_{DS} = 1$ V.	156
Figura 6-26: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} variabile e $V_{DS} = 3$ V.	157
Figura 6-27: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} variabile e $V_{DS} = 4$ V = V_{knee}	158
Figura 6-28: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} variabile e $V_{DS} = 10$ V.	159
Figura 6-29: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} variabile e $V_{DS} = 20$ V.	160
Figura 6-30: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} variabile e $V_{DS} = 30$ V.	161
Figura 6-31: Confronto tra gli andamenti delle derivate parziali del modello della carica di Gate misurate (rosso) e simulate (blu).	162
Figura 6-32: Confronto tra gli andamenti della funzione di divisione della corrente reattiva di Gate misurata (rosso) e simulata (blu).	162
Figura 6-33: Corrente DC attraverso le non-linearità reattive al variare della frequenza (rosso = 5.5 GHz e blu = 10 GHz) e al variare della potenza.	163
Figura 6-34: Circuito pompa di carica simulato (in alto) e andamento dei segnali di stimolo utilizzati nella simulazione (in basso).	164
Figura 6-35: Tensione di uscita simulata per due diverse impostazioni del simulatore del circuito pompa di carica sulla base del modello non-lineare basato sulla divisione di corrente: a sinistra si riporta l'andamento della tensione di uscita ottenuta scegliendo la "charge tolerance" pari a $1e-11$ (durata della simulazione pari a 7.8 secondi) mentre a destra è stata selezionata una "charge tolerance" pari a $1e-15$ (durata della simulazione pari a 17.6 secondi).	165
Figura 6-36: Schema a blocchi della sezione di uscita di un sistema Load-Pull passivo.	168
Figura 6-37: Schema a blocchi della sezione di uscita di un sistema Load-Pull attivo a loop chiuso.	168
Figura 6-38: Schema a blocchi della sezione di uscita di un sistema Load-Pull attivo a loop aperto.	168
Figura 6-39: Schema a blocchi della sezione di uscita di un sistema Load-Pull attivo a loop aperto armonico.	169
Figura 6-40: Schema a blocchi della sezione di uscita di un sistema Real-Time Load-Pull.	169
Figura 6-41: Schema a blocchi del sistema Load-Pull utilizzato.	170
Figura 6-42: Test a 1 tono a 5.5 GHz: in rosso sono riportati i dati di misura e in blu i risultati della simulazione. In alto è rappresentato il confronto della P_{out} in basso a sinistra la PAE mentre a destra la I_D	171
Figura 6-43: Test a 1 tono a potenza fissa corrispondente alla compressione di 3 dB del guadagno a 5.5 GHz. In alto sono riportate le variazioni delle ampiezze della fondamentale e della II e III armonica variando la tensione V_{GS} . In basso a sinistra la variazione della PAE mentre a destra la I_D rispetto V_{GS}	172
Figura 6-44: Test a 1 tono a 10 GHz: in rosso sono riportati i dati di misura e in blu i risultati della simulazione. In alto è rappresentato il confronto della P_{out} in basso a sinistra la PAE mentre a destra la I_D	173
Figura 6-45: Test a 1 tono a potenza fissa corrispondente alla compressione di 3 dB del guadagno a 10 GHz. In alto sono riportate le variazioni delle ampiezze della fondamentale e della II e III armonica variando la tensione V_{GS} . In basso a sinistra la variazione della PAE mentre a destra la I_D rispetto V_{GS}	174
Figura 6-46: Confronto tra i contorni Load-Pull misurati (rosso) e simulati (blu) della potenza di uscita (a sinistra) e della PAE (a destra) a 5.5 GHz con $P_{in}=30.2$ dBm con $V_{GS}=-1.4$ V e $V_{DS}=25$ V.	174
Figura 6-47: Confronto tra i contorni Load-Pull misurati (rosso) e simulati (blu) della potenza di uscita (a sinistra) e della PAE (a destra) a 10 GHz con $P_{in}=36$ dBm con $V_{GS}=-1.4$ V e $V_{DS}=25$ V.	175
Figura 6-48: Modello non-lineare implementato sulla base del Verilog-A in AWR MWO.	177
Figura 6-49: Confronto tra le curve I-V impulsate (QP: $V_{GS}=-1.4$ V, $V_{DS}=25$ V), misurate (rosso) e simulate.	177
Figura 6-50: Simulazione della corrente del diodo Schottky Gate-Source al di fuori dell'intervallo di misura.	178
Figura 6-51: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} e V_{DS} variabili.	179

Figura 6-52: Confronto tra i parametri S_{11} e S_{22} misurati (rosso) e simulati (blu), confronto tra modulo del parametro S_{12} , confronto tra modulo e fase del parametro S_{21} e confronto tra massimo guadagno disponibile e guadagno di corrente relativo alla polarizzazione $V_{GS}=-1.4$ V e $V_{DS}=25$ V.....	180
Figura 6-53: Andamento simulato delle derivate parziali del modello della carica di Gate rispetto la variazione delle tensioni di controllo.	181
Figura 6-54: Corrente DC attraverso le non-linearità reattive al variare della frequenza e al variare della potenza.	181
Figura 6-55: Confronto tra potenza di uscita, PAE e corrente di Drain al variare della potenza incidente alla frequenza di 5.5 GHz (in alto) e a 10 GHz (in basso)	182
Figura 6-56: Confronto tra i contorni Load-Pull misurati (rosso) e simulati (blu) della potenza di uscita (a sinistra) e della PAE (a destra) a 5.5 GHz con $P_{in}=30.2$ dBm con $V_{GS}=-1.4$ V e $V_{DS}=25$ V.	183
Figura 6-57: Confronto tra i contorni Load-Pull misurati (rosso) e simulati (blu) della potenza di uscita (a sinistra) e della PAE (a destra) a 10 GHz con $P_{in}=36$ dBm con $V_{GS}=-1.4$ V e $V_{DS}=25$ V.	183

Lista delle tabelle

Tabella 2-1: Proprietà fisiche dei principali semiconduttori per applicazioni elettroniche.	5
Tabella 3-1: Parametri iniziali del modello.....	52
Tabella 3-2: Parametri iniziali per il modello della carica di Gate del dispositivo AlGaAs-GaAs 4x75 μ m Win semiconductors.	56
Tabella 3-3 Parametri ottimizzati del modello della carica di Gate del dispositivo AlGaAs-GaAs 4x75 μ m Win semiconductors.	56
Tabella 3-4: Parametri iniziali per il modello della carica di Gate del dispositivo 10x100 μ m SELEX ES.	58
Tabella 3-5: Parametri ottimizzati per il modello della carica di Gate del dispositivo 10x100 μ m SELEX ES. ...	58
Tabella 4-1: Regole di scalatura degli elementi del circuito intrinseco in funzione della larghezza del canale e del numero di finger.....	74
Tabella 4-2: Confronto tra i risultati ottenuti per i contributi capacitivi parassiti mediante le due tecniche di estrazione.....	75
Tabella 5-1: Parametri del modello del dispositivo 4x50 μ m basato su AlGaAs-GaAs.	116
Tabella 6-1: Parametri lineari e parassiti del modello.	150
Tabella 6-2: Parametri del modello I-V.	150
Tabella 6-3: Parametri del modello della corrente nella giunzione Schottky di Gate-Source.	153
Tabella 6-4: Parametri del modello della Carica di Gate.	154

Lista dei simboli

Simbolo	Descrizione	Valore/Unità di misura
AlGaAs	Arseniuro di gallio e alluminio	
AlN	Nitruro di alluminio	
C_{ds}	Capacità tra Drain e Source	F
C_G	Capacità di Gate	F
C_{gd}	Capacità tra Gate e Drain	F
C_{gs}	Capacità tra Gate e Source	F
$c_j dx$	Capacità dinamica della giunzione Schottky	F
C_{pd}	Capacità parassita di Drain	F
C_{pg}	Capacità parassita di Gate	F
C_{ps}	Capacità parassita di Source	F
C_{TH}	Capacità termica	J·K ⁻¹
D_{gd}	Diodo Gate-Drain	
D_{gs}	Diodo Gate-Source	
E_c	Livello energetico banda di conduzione	eV
E_{crit}	Campo elettrico critico	MV·cm ⁻¹
E_D	Energia dei donori	eV
E_F	Livello energetico di Fermi	eV
E_G	Energy Gap (banda energetica)	eV
E_V	Livello energetico banda di valenza	eV
f_{gd}	Funzione di divisione di corrente Gate-Drain	
f_{gs}	Funzione di divisione di corrente Gate-Source	
F_{max}	Massima frequenza di oscillazione	Hz
f_T	Frequenza di taglio	Hz
GaAs	Arseniuro di Gallio	
GaN	Nitruro di Gallio	
G_d	Conduttanza di Drain	A·V ⁻¹
g_m	transconduttanza	A·V ⁻¹

h_{21}	Guadagno di corrente diretta	
I_{DS}	Corrente tra Drain e Source	A
I_{pk}	Corrente riferita al flesso	A
I_{TH}	Corrente termica equivalente	A
k	Fattore di stabilità di Rollett	
K_B	Costante di Boltzmann	$1,38 \cdot 10^{-23} \text{ J} \cdot \text{K}^{-1}$
L	Lunghezza di canale	m
L_D	Induttanza parassita di Drain	H
L_G	Induttanza parassita di gate	H
L_S	Induttanza parassita di Source	H
N_D	Densità volumetrica dei donori	cm^{-3}
$r_c dx$	Resistenza di canale della giunzione Schottky	Ω
R_{ch}	Resistenza di canale	Ω
R_d	Resistenza di Drain	Ω
R_{ds}	Resistenza di Drain-Source	Ω
R_g	Resistenza di Gate	Ω
$r_j dx$	Resistenza dinamica della giunzione Schottky	F
R_s	Resistenza di Source	Ω
R_{TH}	Resistenza termica	$\text{K} \cdot \text{W}^{-1}$
Si	Silicio	
SiC	Carburo di Silicio	
T_{CH}	Temperatura di canale	K
v	Velocità cariche nel canale	$\text{cm} \cdot \text{s}^{-1}$
V_{DS}	Tensione tra Drain e Source	V
V_G	Tensione di Gate	V
V_{GD}	Tensione tra Gate e Drain	V
V_{GS}	Tensione tra Gate e Source	V
V_{pk}	Tensione riferita al flesso	V
V_{po}	Tensione DI pinch-off	V
v_{sat}	Velocità di saturazione	$\text{cm} \cdot \text{s}^{-1}$
V_{th}	Tensione di soglia	V
V_{TH}	Tensione termica equivalente	V

W	Larghezza di canale	m
Y_{11}	Ammettenza di ingresso	$A \cdot V^{-1}$
Y_{21}	Ammettenza di trasferimento	$A \cdot V^{-1}$
Z_C	Impedenza caratteristica	Ω
Z_{TH}	Impedenza termica	$K \cdot W^{-1}$
Γ	Costante di propagazione	
ΔP	Variazione di potenza dissipata	W
ΔT	Variazione di temperatura	K
ϵ_r	Costante dielettrica relativa	
κ	Conducibilità termica	$W \cdot m^{-1} \cdot K^{-1}$
τ	Tempo di vita	s
μ_n	Mobilità degli elettroni	$cm^2 \cdot V^{-1} \cdot s^{-1}$

Lista degli acronimi

2DEG	Two-dimensional electron gas
AC	Alternating current
AM	Amplitude modulation
ADS	Advanced Design System
AHDL	Analogue Hardware Description Language
CAD	Computer-Aided Design
CW	Continuous Wave
DC	Direct Current
DUT	Device under test
EDA	Electronic Design Automation
FET	Field Effect Transistor
HFET	Heterojunction Field Effect Transistor
IMD3	Intermodulazioni del terzo ordine
LTM	Long Term Memory
MAG	Maximum available gain
MBE	Molecular Beam Epitaxy
MOCVD	Metalorganic vapour phase epitaxy
MUG	Maximum unilateral gain
NVNA	Non-linear Vector Network Analyser
PM	Phase modulation
RF	Radio Frequenza
SDD	Symbolically Defined Device
SOA	Safe Operating Area
STM	Short Term Memory
TRL	Thru-Reflect-Line

1 INTRODUZIONE

1.1 MOTIVAZIONI

La progettazione di circuiti per applicazioni in alta frequenza negli ultimi decenni ha subito profondi cambiamenti. L'utilizzo massiccio delle simulazioni ha reso possibile la realizzazione di circuiti contraddistinti da prestazioni che una volta non erano raggiungibili. Assieme allo sviluppo delle tecniche di progettazione, lo sviluppo delle tecniche di realizzazione di dispositivi elettronici ha determinato la disponibilità di dispositivi innovativi il cui sbocco naturale nello scenario contemporaneo è quello dei circuiti integrati a microonde. Uno di questi è il transistor ad effetto di campo basato su etero-giunzione tra semiconduttori.

Con l'aumentare della complessità delle applicazioni, la criticità rappresentata dall'accuratezza dei modelli dei dispositivi elettronici e in particolare dei transistori, che rappresentano l'elemento circuitale imprescindibile per tutti i circuiti contemporanei, è di fondamentale importanza per garantire la riduzione dei costi e della durata del progetto di circuiti integrati a microonde moderni.

Attualmente esistono diverse tipologie di modelli per transistori ad effetto di campo che differiscono per complessità e utilizzo. Questo lavoro di ricerca è focalizzato principalmente sui modelli utilizzabili in ambiente di simulazione circuitale nella forma di circuito equivalente. La formulazione di modelli non-lineari di transistori a circuito equivalente dedicati alle simulazioni circuitali è preferibilmente da ricondurre ad una forma analitica derivata sulla base di un approccio empirico.

La modellizzazione di transistori, affinché possa essere svolta risolvendo il problema della consistenza dei modelli, deve essere affrontata rappresentando i principi fisici di funzionamento, non tralasciando altre problematiche inerenti l'implementazione, in particolare la formulazione matematica. Le principali non-linearità che si osservano nei HFETs (Heterojunction Field Effect Transistors) sono rappresentate dal generatore di corrente di Drain, dalla carica di Gate e dalla corrente nella giunzione rettificante di Gate. Nel corso degli anni, una grande enfasi è stata data allo studio e alla modellizzazione della corrente di Drain, mentre minore attenzione ha ricevuto la modellizzazione della carica di Gate. Le cause a cui è possibile ricondurre questo sono molteplici, alcune delle quali sono di natura teorica, altre pratica. Si ricorda inoltre che sebbene la non-linearità del generatore di corrente di Drain sia importantissima per rappresentare il comportamento di un HFET, per la formulazione di modelli accurati non può prescindere da una corretta e consistente descrizione degli effetti associati al comportamento della carica di Gate. Questi ultimi, infatti, impattano sulle prestazioni dei dispositivi e quindi dei circuiti, e il loro contributo è tanto maggiore quando le frequenze operative sono più elevate. La modellizzazione della carica (capacità) di Gate è molto importante per descrivere il comportamento non-lineare dei transistori ed è critica per la predizione delle prestazioni di circuiti non-lineari.

La difficoltà nella rappresentazione in modo accurato della dipendenza della carica di Gate dalle tensioni applicate al transistor, è aggravata dall'assenza di una tecnica di misura diretta di questa quantità da cui discende la complessità della ricerca di una espressione analitica che garantisca il rispetto del principio di conservazione della carica. La conseguenza dell'utilizzo di modelli che violino questo principio, si traduce in problemi di convergenza durante le simulazioni e in problemi di accuratezza dei risultati. Il comportamento reattivo di Gate è assimilabile ad un elemento non-lineare dipendente da due tensioni. I modelli proposti

in letteratura per questo comportamento introducono sempre alcune semplificazioni da cui scaturiscono limitazioni non sempre accettabili. L'approccio che solitamente viene adottato per modellizzare la carica di Gate prevede due condensatori non-lineari o due sorgenti di carica non-lineari. In questo lavoro tale comportamento sarà modellizzato utilizzando una sola sorgente non-lineare di carica che non richiede semplificazioni significative dal punto di vista teorico applicando il metodo della divisione di corrente reattiva.

1.2 OBIETTIVI

Il principale obiettivo di questa tesi è lo sviluppo di un modello non-lineare auto-consistente per HFET sulla base di un approccio empirico, basato sul criterio della divisione di corrente reattiva, approccio che non è ancora stato adottato per sviluppare modelli non-lineari di HFET. Per raggiungere questo obiettivo sarà necessario riformulare la rappresentazione a circuito equivalente a piccolo segnale e specializzare per questo la tecnica di estrazione diretta del modello a piccolo segnale. Di seguito, occorrerà definire una metodologia rigorosa dal punto di vista matematico mediante la quale sia possibile ottenere, a partire dalla conoscenza degli andamenti delle derivate parziali della carica di Gate, un modello analitico che rispetti il principio della conservazione della carica. Il modello formulato della non-linearità della carica di Gate dovrà essere il più possibile riconducibile ai principi fisici di funzionamento, cosicché la relativa procedura di estrazione sia semplice e riconducibile a quantità sperimentali misurate. Infine, trattandosi di un modello che fa uso di una sola sorgente non-lineare di carica, occorrerà individuare la soluzione di implementazione che meglio si adatta agli ambienti di simulazione circuitale commerciali.

1.3 ORGANIZZAZIONE DELLA TESI

Dopo questa breve introduzione, nel capitolo II saranno presentati la tecnologia e i principi fisici che regolano il funzionamento del dispositivo HFET. Saranno analizzate le diverse soluzioni per la formulazione di modelli di transistori soffermando l'attenzione sui modelli a circuito equivalente con la relativa problematica della consistenza.

Nel capitolo III saranno interpretati i fenomeni fisici che governano il comportamento della carica di Gate. In seguito verranno passati in rassegna i diversi modelli che sono stati formulati. Poi, dopo aver analizzato la modellizzazione di condensatori non-lineari e il problema della conservazione di carica, saranno discusse le possibili interpretazioni del comportamento della carica di Gate del HFET e i criteri con cui ricondurre questo elemento alla rappresentazione sotto forma di circuito equivalente. Sulla base dell'interpretazione basata sul criterio della divisione di corrente reattiva, sarà descritto il metodo analitico con cui è possibile ottenere il modello della carica mediante l'approccio empirico. Si focalizzerà inoltre l'attenzione sugli aspetti formali matematici del metodo degli integrali indefiniti con cui è stato possibile ottenere l'espressione analitica del modello a partire dalla conoscenza delle sole derivate parziali. Il modello formulato sarà discusso in termini di significato fisico dei parametri e della loro relativa estrazione. A completare la modellizzazione della carica non-lineare, verrà proposta una formulazione analitica della funzione di divisione di corrente.

Nel capitolo IV si presenterà la tecnica di estrazione diretta del modello a piccolo segnale derivante dalla trattazione introdotta nel capitolo precedente. Dopo aver definito la topologia del circuito, si procederà alla descrizione del metodo di estrazione dei parassiti e dell'intrinseco. Sulla base di misure COLD, sono state individuate le tecniche che consentono

con maggiore facilità e accuratezza l'estrazione delle entità dei contributi della parte estrinseca di modello. Per giungere alla rappresentazione sotto forma di matrice di ammettenze della parte intrinseca del circuito, sarà descritta la procedura di de-embedding con cui, a partire dalla conoscenza dei parassiti è possibile ottenere dati misurati relativi alla sola regione intrinseca. Infine saranno ricavate le relazioni analitiche che relazionano le misure con i parametri del modello sulla base delle quali si effettua l'estrazione diretta del modello a piccolo segnale.

Nel capitolo V si presenta e discute la metodologia di formulazione e di estrazione del modello I-V non-lineare. Nella prima parte di questo capitolo si discute la formulazione del modello della corrente di Drain e la tecnica di estrazione e di fit dei parametri. Successivamente sarà trattata l'estensione del modello agli effetti del secondo ordine introducendo anche una tecnica di misura specifica per la loro caratterizzazione. A chiusura del capitolo verrà presentato il modello analitico della terza principale non-linearità del modello che consiste della corrente di giunzione Schottky di Gate.

Nel capitolo VI, verrà affrontato il problema dell'implementazione del modello in CAD commerciali. Due diverse implementazioni saranno presentate, una delle quali si basa sull'uso di SDD (Symbolically-Defined Device) e l'altra sfrutta il linguaggio di descrizione hardware Verilog-A. Successivamente saranno individuati dei criteri per la verifica dell'implementazione e per la validazione del modello non-lineare. I risultati sulla base dei quali si svilupperanno le argomentazioni di questo capitolo, sono relativi ad un dispositivo HFET basato sulla tecnologia GaN (Nitruro di gallio). Infine si descriverà la tecnica di misura Load-Pull i cui risultati saranno sfruttati durante la fase di validazione del modello.

Nel capitolo VII saranno tratte le conclusioni e proposti possibili sviluppi futuri.

1.4 CONTRIBUTI ORIGINALI

I contributi originali di questo lavoro sono:

- Verificata l'applicabilità del metodo di modellizzazione delle non-linearità reattive di HFET basato sul criterio della divisione di corrente;
- Definita una strategia di estrazione di modelli non-lineari della carica di Gate che rispettano il principio di conservazione della carica partendo dalla conoscenza delle sole derivate parziali;
- Proposto un modello analitico per la non-linearità della carica di Gate;
- Implementato un modello in CAD commerciale che include una sola sorgente di carica mediante il linguaggio Verilog-A.
- Il modello formulato e realizzato ha consentito di osservare un buon accordo tra i risultati delle simulazioni con i dati sperimentali ottenuti da misure non-lineari.

2 MODELLI NON-LINEARI DI HFET PER APPLICAZIONI IN ALTA FREQUENZA

2.1 RUOLO DEI MODELLI NELLA PROGETTAZIONE DI CIRCUITI PER APPLICAZIONI IN ALTA FREQUENZA

L'elettronica per le alte frequenze ha subito notevoli sviluppi a partire dalla metà dello scorso secolo. Lo sviluppo delle tecniche di analisi e progettazione circuitali assieme all'avanzamento delle tecnologie dei dispositivi elettronici hanno sostenuto nel tempo l'affermazione del trend, che ancora oggi prosegue, che vede un continuo incremento delle prestazioni dei circuiti elettronici per alta frequenza in termini di massima potenza e massima frequenza di esercizio. La contemporanea espansione delle telecomunicazioni tra le cui applicazioni troviamo la telefonia, il posizionamento geografico e le comunicazioni satellitari, ha indotto la ricerca a supportare la crescita di questi floridi mercati attraverso lo sviluppo di nuove tecnologie di dispositivi elettronici. L'incremento della frequenza di lavoro e la potenza sono giustificate dalla necessità di soddisfare la diffusione e la qualità di quei servizi.

L'interesse nello sviluppo di dispositivi elettronici avanzati ad elevate prestazioni ha condotto all'affermazione di tecnologie basate su materiali avanzati, come GaAs (Arseniuro di gallio) e GaN, mediante i quali è possibile superare i limiti fisici osservati nei micro-circuiti basati sull'utilizzo di dispositivi realizzati su Si (silicio). La maggiore linearità e potenza garantita dai dispositivi basati su GaAs e GaN ha permesso la diffusione di dispositivi elettronici basati su etero-giunzioni tra semiconduttori a cui si sono aggiunte numerose varianti sul tema che differiscono per materiali impiegati e per tecnologia.

La maturità della tecnologia è una caratteristica imprescindibile per consentire l'utilizzo di dispositivi moderni in circuiti in cui si tende verso la progettazione di circuiti monolitici in cui le possibilità di post-tuning sono azzerate. L'uso intensivo di simulazioni complesse ed accurate assieme all'uso di supporti informatici per la progettazione (CAD), è diventato l'attuale paradigma della progettazione in particolare in applicazioni in cui si osservano fenomeni non-lineari. Questo approccio consente di superare il precedente metodo basato pesantemente sulla ricerca delle migliori condizioni attraverso complesse e lunghe misurazioni. Per questo, la progettazione di circuiti ad elevate prestazioni a RF e a microonde che utilizzano componenti attivi, necessita di modelli che descrivano accuratamente il comportamento non-lineare. Questa esigenza è particolarmente sentita nell'ambito dell'elettronica per telecomunicazioni perché in questo ambito il comportamento non-lineare dei dispositivi e circuiti può causare problemi di interferenze e limitare la banda effettiva.

La disponibilità di modelli in grado di rappresentare tutti i fenomeni non-lineari che intervengono nel funzionamento dei dispositivi e di funzionare in diversi simulatori costituirebbe un valido supporto alla progettazione. Modelli accurati consentono di minimizzare la durata del progetto e delle iterazioni della prototipazione, aspetti questi particolarmente importanti nella realizzazione di grandi volumi di prodotti. È difficile immaginare che un solo modello, utile ai fini della progettazione, possa soddisfare tutte le possibili necessità inglobando tutti i fenomeni accuratamente. In altre parole, tutti i modelli sono inaccurati e quindi si tratta soltanto di una questione di quanto siano accurati. La volontà di ricercare la migliore rappresentazione per il comportamento non-lineare di dispositivi attivi ha scaturito il moltiplicarsi di soluzioni proposte. Queste tipologie di modelli

differiscono non solo per il contenuto informativo, e quindi l'accuratezza, ma anche per campo di applicabilità e in come questi sono formulati ed estratti.

Esistono tre principali tipi di modelli in uso attualmente: i modelli fisici, i modelli compatti e i modelli comportamentali. In questo lavoro di tesi è stato sviluppato un modello non-lineare auto-consistente per dispositivi ad effetto di campo basati su etero-giunzioni tra semiconduttori formulando un nuovo modello empirico per la carica di Gate per svolgere simulazioni circuitali in CAD commerciali.

In questo capitolo, dopo una breve panoramica sui transistori ad effetto di campo basati su etero-giunzione (Heterojunction Field Effect Transistor – HFET) e le relative non-linearità che ne caratterizzano il funzionamento, verranno discusse le diverse soluzioni di modellizzazioni possibili per questi dispositivi. Infine verranno introdotti gli obiettivi specifici che hanno animato questo lavoro.

2.2 HETEROJUNCTION FIELD EFFECT TRANSISTOR

Con l'avanzamento della ricerca sui semiconduttori e sulle tecnologie realizzative dei dispositivi elettronici sono stati resi possibili importanti progressi nelle prestazioni dei circuiti elettronici. Grazie all'introduzione di semiconduttori a larga Energy Gap (E_G), caratterizzati da proprietà elettroniche e termiche superiori, le prestazioni dei transistori in alta frequenza e in alta potenza sono cresciute rapidamente [2.1]. L'elevata entità della E_G implica maggiori valori del campo di rottura e rende possibile il funzionamento dei transistori con alte tensioni. La mobilità dei portatori di carica mobile dei materiali a larga E_G assieme alla relativamente bassa costante dielettrica, che rende conto del carico capacitivo parassita dei transistori, impattano sulle massime frequenze di esercizio. La conducibilità termica quantifica la capacità di un materiale di dissipare il calore, aspetto questo non trascurabile in applicazioni di elevata potenza che solitamente è più alta nei materiali a grande E_G . I materiali a larga E_G si distinguono per essere caratterizzati da favorevoli proprietà fisiche (Tabella 2-1) e questo ne ha motivato l'utilizzo in applicazioni di alta frequenza e alta potenza.

Material	E_g (eV)	ϵ_r	κ (W/K-cm)	E_{crit} (MV/cm)	μ_n (cm^2/Vs)	v_{sat} ($10^7 cm/s$)
Si	1.12	11.9	1.5	0.3	1350	1
3C-SiC	2.3	9.7	4	1.8	900	2
4H-SiC	3.2	10.0	4	3.5	720a	2
6H-SiC	2.86	10.0	4	3.8	370a	2
GaAs	1.43	12.5	0.54	0.4	8500	1
GaN	3.4	9.5	1.2	2	900	2.5
AlN	6.1	8.7	3	11.7	1100	1.8
Diamond	5.6	5.5	20-30	5	1900	2.7

Tabella 2-1: Proprietà fisiche dei principali semiconduttori per applicazioni elettroniche.

I transistori ad effetto di campo a etero-giunzione (HFET) sono dispositivi elettronici il cui principio di funzionamento è basato sulla modulazione della densità di portatori di carica

mobile che sono confinati in corrispondenza dell'etero-giunzione tra semiconduttori caratterizzati da diversa E_G [2.2, 2.3]. Il confinamento dei portatori di carica in una buca di potenziale, da cui derivano proprietà assimilabili ad un gas bi-dimensionale di carica, determina la formazione di un canale conduttivo ad elevata mobilità poiché situato in una regione del materiale a E_G minore ed è così fisicamente separato dal materiale in cui sono invece presenti elementi donori ionizzati dovuti alla specie drogante (Figura 2-1). Le migliori prestazioni rispetto ai predecessori di questi dispositivi (i FET – Field Effect Transistor) derivano dalla forte riduzione dei fenomeni di scattering da impurezze consentendo il trasporto soltanto in una regione planare parallela alla superficie del dispositivo. L'alta velocità di trasporto assieme alla grande densità di portatori di carica derivante dal disallineamento dei livelli energetici dei due diversi ma simili semiconduttori e ai grandi campi di rottura, garantiscono la possibilità di operare in alta frequenza e alta potenza. Le due principali etero-giunzioni attualmente in uso si compongono di GaAs-AlGaAs e GaN-AlGaN.

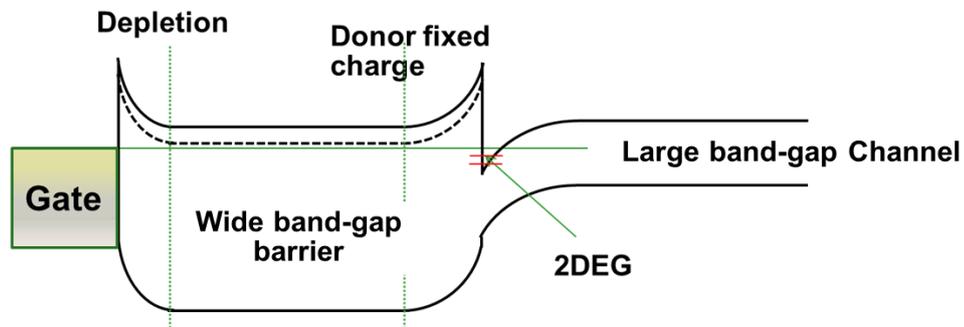


Figura 2-1: Diagramma a bande nella regione di gate dell'etero-giunzione.

I transistori basati su etero-giunzione succedono ai loro predecessori, i transistori ad effetto di campo (FET), il cui funzionamento si basa sulla modulazione della regione di svuotamento che determina la variazione della conducibilità del semiconduttore che assolve la funzione di canale per le cariche mobili. Nei transistori ad effetto di campo basati su etero-giunzioni (HFET), come detto precedentemente, il canale viene indotto all'interfaccia tra diversi semiconduttori in modo da beneficiare di maggiore confinamento dei portatori di maggiore densità carica mobile. Questo nei FET si perseguiva attraverso l'incremento della concentrazione di drogante nel materiale attivo con conseguente incremento dei fenomeni di scattering e successiva riduzione della mobilità dei portatori di carica.

Un'etero-struttura è formata dal contatto di due semiconduttori con E_G diverse e con costanti reticolari compatibili in cui uno, caratterizzato da E_{gap} elevata, assolve la funzione di "strato barriera", mentre l'altro semiconduttore a E_{gap} minore costituisce il cosiddetto "strato canale" o "buffer". Come conseguenza della differenza dei livelli energetici, nel canale si inducono cariche mobili confinate in uno spessore di materiale nell'ordine di alcuni nanometri e comunque paragonabile alla lunghezza di De Broglie per quel materiale, così da avere livelli elettronici quantizzati per le cariche. La banda di conduzione della barriera deve essere ad un livello energetico maggiore rispetto alla banda di conduzione del buffer, in questo modo gli elettroni sono confinati nel canale. Parametri importanti, come la discontinuità tra le bande di conduzione e la mobilità elettronica, possono essere ottimizzati crescendo etero-strutture con costanti reticolari diverse, utilizzando come strato barriera materiali come leghe ternarie contenenti alluminio (o anche indio). È possibile realizzare etero-strutture molto raffinate, con passaggi da un semiconduttore ad un altro con risoluzione atomica, per mezzo delle

tecniche di crescita epitassiale come MBE (Molecular Beam Epitaxy) o MOCVD (Metal Organic Chemical Vapour Deposition). Tali tecniche permettono di depositare i materiali con una tale accuratezza da fornire una gamma di possibilità estremamente vasta alla realizzazione di etero-strutture. Lo strato barriera viene drogato con atomi donori mentre il buffer viene lasciato intrinseco. Dalla differenza tra le bande di conduzione dei due materiali a cui si può aggiungere una componente aggiuntiva dovuta a fenomeni di caratteristiche piezoelettricità - tipiche di materiali polari (quali i nitruri) - deriva un trasferimento di elettroni che risulteranno confinati in una buca di potenziale in cui si realizzano delle proprietà di trasporto quasi ideali dovute alla quasi assenza di fenomeni di scattering grazie alla separazione fisica tra i portatori di carica mobile e le impurità introdotte per drogare il materiale di barriera.

La struttura semplificata di un HFET è riportata in Figura 2-2.

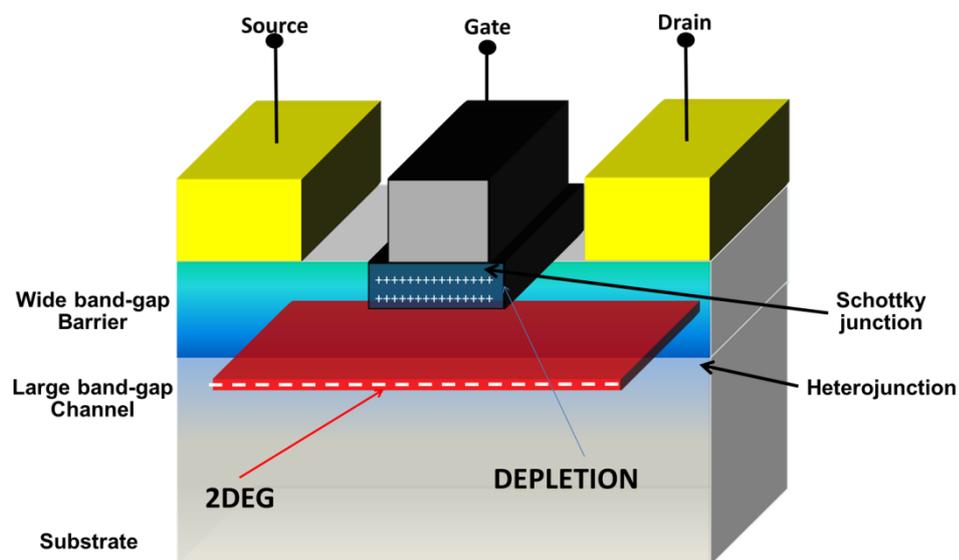


Figura 2-2: Struttura semplificata di un HFET.

Il principio di funzionamento del HFET si basa sulla modulazione della conducibilità del canale ad opera dell'applicazione di un potenziale al terminale di controllo (Gate) che realizza con il materiale a E_G maggiore una giunzione rettificante di tipo Schottky. La carica di canale è bilanciata dalla carica associata al terminale di Gate da cui deriva il controllo della carica nel canale (Figura 2-3).

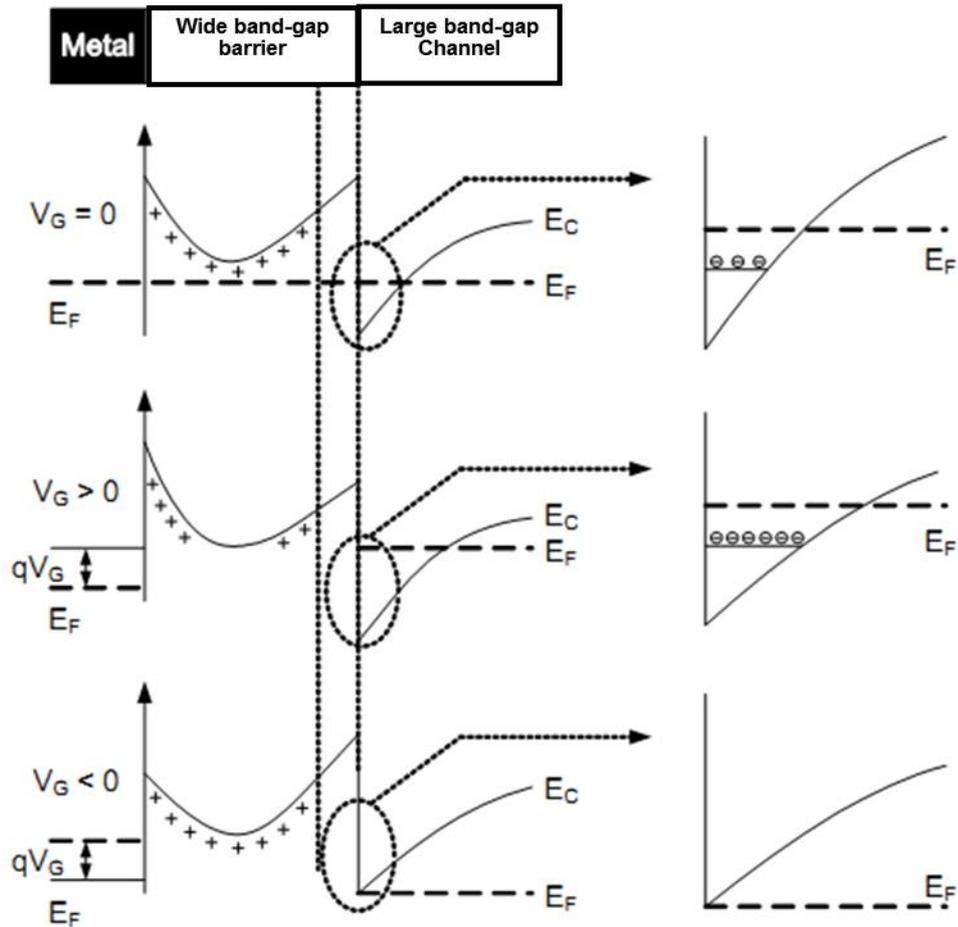


Figura 2-3: Modulazione della concentrazione della densità di carica e della configurazione elettronica da parte del potenziale di Gate.

Quando il potenziale applicato al Gate è nullo, il canale è formato in dispositivi a svuotamento (di tipo Depletion). Applicando un potenziale positivo la carica accumulata nel canale aumenta per effetto della modulazione dell'offset tra bande energetiche dei due materiali. Applicando un potenziale negativo, e minore della tensione di soglia (V_{th} - tensione in corrispondenza della quale il canale è totalmente svuotato da cariche mobili) il canale si svuota e la carica di Gate è bilanciata dalle sole cariche associate alla regione di svuotamento della giunzione Schottky.

Applicando una differenza di potenziale tra i terminali di Drain e Source, i quali realizzano contatti ohmici, una corrente di drift è indotta a scorrere tra i due terminali. Le tipiche caratteristiche di uscita e la trans-caratteristica ingresso/uscita di un HFET sono riportate in Figura 2-4.

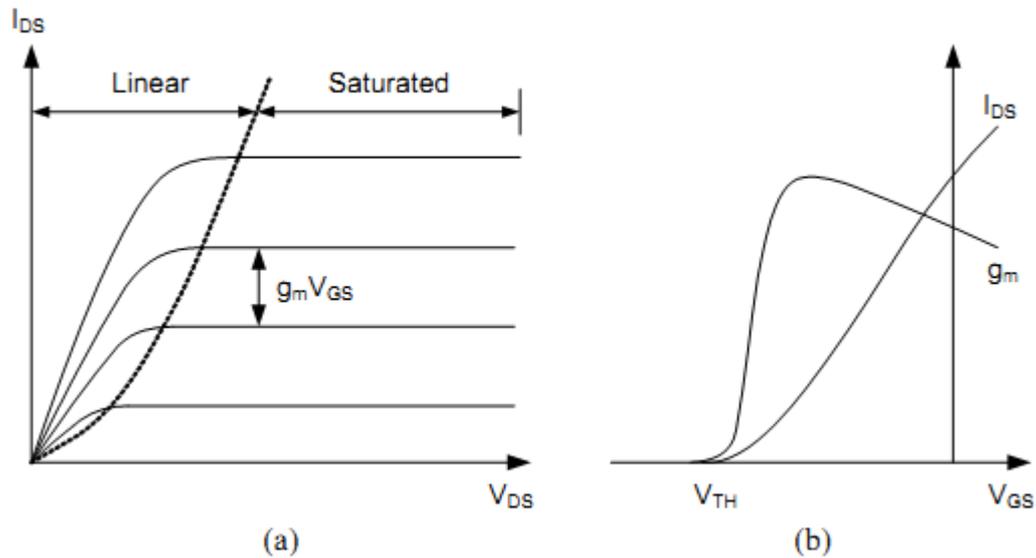


Figura 2-4: Caratteristica I-V (a) e trans-caratteristica (b) di un HFET.

Nella figura precedente sono riconoscibili le due regioni di funzionamento del dispositivo che differiscono per l'entità dei campi applicati tra i terminali di Drain e Source a cui sono sottoposti i portatori di carica mobile a cui si deve il raggiungimento del valore critico oltre il quale la velocità di trasporto satura.

Le principali caratteristiche geometriche dei HFET rispetto le prestazioni in applicazioni di alta frequenza e in alta potenza sono la lunghezza di canale (L) e la larghezza di canale (W). Al diminuire di L le massime frequenze di esercizio aumentano e all'aumentare di W la massima corrente aumenta.

2.3 ALCUNE CIFRE DI MERITO DEI TRANSISTORI

A titolo descrittivo si introducono alcune importanti relazioni che quantificano le principali quantità rappresentative le potenziali prestazioni di un dispositivo HFET. Per l'analisi delle prestazioni in alta frequenza è utile valutare la frequenza di taglio (f_T), che rappresenta un'importante cifra di merito per circuiti nei quali la priorità è costituita dalla velocità di funzionamento. La frequenza di taglio è definita come la frequenza alla quale il guadagno di corrente assume valore unitario (alla frequenza pari a f_T la corrente di Gate di piccolo segnale è uguale alla corrente di Drain del dispositivo intrinseco). In prima analisi, la frequenza di taglio assume l'espressione

$$f_T = \frac{g_m}{2\pi C_G} = \frac{v}{2\pi L} \quad 2-1$$

in cui v rappresenta la velocità delle cariche nel canale. La (2-1) indica che f_T è inversamente proporzionale al tempo di transito delle cariche nel canale (L/v). Per valutare la frequenza di taglio f_T dei dispositivi viene osservato l'andamento del guadagno di corrente al variare della frequenza. Il guadagno di corrente è legato ai parametri di Scattering dalla relazione:

$$|h_{21}| = \left| \frac{2S_{21}}{S_{12}S_{21} + (1 - S_{11})(1 + S_{22})} \right| = 10 \text{ Log}_{10} \left| \frac{Y_{21}}{Y_{11}} \right| \quad 2-2$$

La massima frequenza di oscillazione (f_{max}) è una rilevante cifra di merito per i circuiti analogici, ed è definita come la massima frequenza alla quale il dispositivo è in grado di fornire guadagno di potenza. Oltre questa frequenza il dispositivo non è in grado di guadagnare anche in condizioni di adattamento di impedenza ottimali. Il Maximun Unilateral Gain (MUG) rappresenta il rapporto tra la potenza disponibile in uscita e la potenza disponibile in ingresso sotto l'ipotesi che il dispositivo sia unilaterale e in condizione di adattamento simultaneo coniugato. Si definisce f_{max} la frequenza in corrispondenza della quale il MUG è unitario. Il massimo guadagno disponibile (MAG) permette di valutare le proprietà di amplificazione di potenza di un dispositivo quando si trova in condizioni di perfetto adattamento di impedenza ad entrambe le porte. L'andamento al variare della frequenza è ricavabile dai dati relativi ai parametri di Scattering, tramite la relazione (2-3) in cui k rappresenta il fattore di stabilità di Rollett.

$$MAG = \left| \frac{S_{21}}{S_{12}} \right| \cdot (k \pm \sqrt{k^2 - 1}) \quad 2-3$$

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11} \cdot S_{22} - S_{12} \cdot S_{21}|^2}{2|S_{12} \cdot S_{21}|}$$

dove la determinazione positiva si utilizza quando il numeratore del fattore di stabilità è maggiore di 0 e quella negativa nel caso questo risulti minore di 0.

2.4 MODELLI DI DISPOSITIVI ATTIVI

La progettazione dei primi circuiti a microonde inizialmente si basava su approccio cut-and-try secondo cui il progetto preliminare veniva realizzato e successivamente grazie a test e tuning, volti all'ottimizzazione delle prestazioni, si giungeva alla migliore e desiderata configurazione del circuito. Il circuito veniva poi ridisegnato e fabbricato. Questo approccio risultava molto dispendioso in termini di costi, di lavoro e di tempo necessario al raggiungimento del soddisfacimento dei requisiti di progetto. Con l'avvento dei calcolatori elettronici e degli strumenti di simulazione circuitale (CAD), il paradigma della progettazione cambiò. Per mezzo di questo strumento, è possibile realizzare il circuito con una maggiore

confidenza grazie alla possibilità di effettuare simulazioni e analisi delle prestazioni del circuito preliminarmente la sua realizzazione. Questo approccio si è rivelato un elemento imprescindibile per la progettazione dei moderni e complessi circuiti integrati in cui le possibilità di post-tuning sono limitate e per cui risulta fondamentale poter prevedere eventuali limitazioni o problemi. La possibilità di poter simulare accuratamente i circuiti durante la fase di progettazione, in modo da poter facilmente correlare i risultati delle simulazioni con le reali prestazioni del circuito, è diventata perciò essenziale nel contesto contemporaneo.

Attualmente sono disponibili numerosi CAD commerciali per la progettazione di circuiti per alte frequenze. L'accuratezza dei risultati di simulazione sono fortemente dipendenti dalla accuratezza con cui il comportamento dei componenti coinvolti nel circuito è rappresentato assieme alla correttezza della riproduzione delle condizioni operative riprodotte nelle simulazioni. Ne consegue che i modelli di dispositivi attivi e passivi risultano un elemento indispensabile per la progettazione di circuiti. Dal momento che i transistori sono uno degli elementi principali dei moderni circuiti per applicazioni in alta frequenza, si deduce che è assolutamente necessario sviluppare modelli accurati per questi dispositivi in modo da accrescere le capacità di previsione delle prestazioni dei circuiti progettati. Attualmente, esistono diverse tipologie di modelli per HFET che possono essere classificati in specifiche categorie: i modelli fisici, i modelli empirici e i modelli sperimentali.

Il modello fisico è basato sulla fisica e sulla tecnologia del dispositivo. Consente di descrivere il dispositivo mediante le leggi elettromagnetiche, le leggi di trasporto e di conservazione di carica. Risolvendo le equazioni rispetto alla particolare struttura del dispositivo in esame, è possibile prevederne con buona accuratezza le caratteristiche elettriche. Una tale rappresentazione, benché consenta di studiare dispositivi prima della loro realizzazione, si caratterizza per alcune difficoltà intrinseche che sono: l'accuratezza della conoscenza della resa dei processi tecnologici necessari alla realizzazione fisica del dispositivo e le indispensabili approssimazioni/semplificazioni che bisogna attuare per la soluzione delle equazioni che modellizzano i fenomeni fisici coinvolti. Da queste difficoltà derivano alcuni limiti all'impiego del modello fisico, rendendo questo tipo di rappresentazione uno strumento utile prevalentemente in ambito tecnologico per l'ottimizzazione dei dispositivi, preliminarmente alla loro realizzazione e per l'analisi delle possibili criticità.

Il modello empirico, essendo basato su informazioni acquisite direttamente sul dispositivo attraverso misurazioni di grandezze elettriche terminali, richiede che il dispositivo stesso sia disponibile prima della formulazione del modello. La descrizione che si offre per il dispositivo è parzialmente svincolata dalla struttura e dai fenomeni fisici, e si costituisce di parametri elettrici misurati relativi a diverse condizioni operative sulla base dei quali si identifica una rappresentazione a circuito equivalente. Il circuito equivalente è quindi costruito a partire da misurazioni sperimentali sul dispositivo, ma a questo tipo di informazioni si uniscono le informazioni di natura tecnologico-fisiche a cui è possibile ricondurre il funzionamento del dispositivo stesso.

Il modello sperimentale, o modello "black-box", si costituisce di un insieme di dati sperimentali relativi alle condizioni operative di interesse. Per questa tipologia di modelli, sono necessarie opportune tecniche di misurazione ed elevati livelli di accuratezza. La maggior parte dei simulatori circuitali, soprattutto quelli orientati alle microonde, consente di descrivere un circuito lineare sulla base di una tabella di parametri rappresentativi delle leggi costitutive per le porte del dispositivo in funzione della frequenza e talvolta come funzione del punto di lavoro del dispositivo. Pertanto una sufficientemente ampia collezione di dati misurati al variare della frequenza, della potenza e delle tensioni, può costituire un modello del dispositivo. Il principale vantaggio di questa tipologia di modelli consiste

nell'evitare le attività di studio-analisi e formulazione del modello, utilizzando direttamente le misurazioni effettuate in laboratorio.

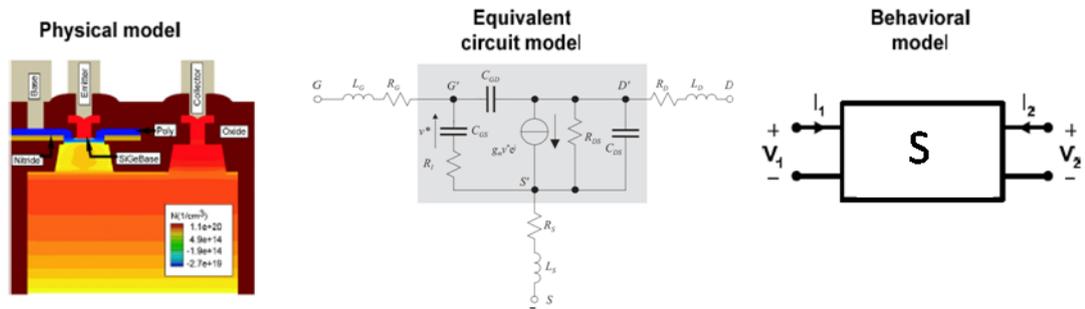


Figura 2-5: Diverse tipologie di modello per un dispositivo attivo. Dalla sinistra abbiamo: modello fisico, modello a circuito equivalente, modello black box.

Nell'ottica di utilizzare il modello in un simulatore circuitale, delle tre diverse alternative possibili soltanto le ultime due risultano essere praticabili. Tali modelli possiedono caratteristiche ben definite che consentono di fare una distinzione preliminare. La principale consiste nella capacità di rappresentare accuratamente effetti non-ideali che tipicamente manifestano i dispositivi attivi. Questi effetti non-ideali sono essenzialmente gli effetti di memoria lineari e non-lineari. Gli effetti di memoria lineari si manifestano come comportamenti dipendenti dalla frequenza dovuti ad effetti capacitivi e induttivi. Gli effetti di memoria non-lineare invece sono dovuti a diverse cause tra cui le principali sono il self-heating e la presenza di difetti (trapping). Questi fenomeni determinano la dipendenza della condizione operativa del dispositivo dagli istanti precedenti e, nel contesto delle applicazioni moderne complesse, questi svolgono un ruolo fondamentale. In Figura 2-6 sono rappresentati i diversi effetti di memoria sull'asse y, con le diverse tipologie di modelli; sull'asse x la condizione operativa di funzionamento (da lineare a fortemente non-lineare) del modello e sono stati indicati i simulatori più appropriati per il particolare modello.

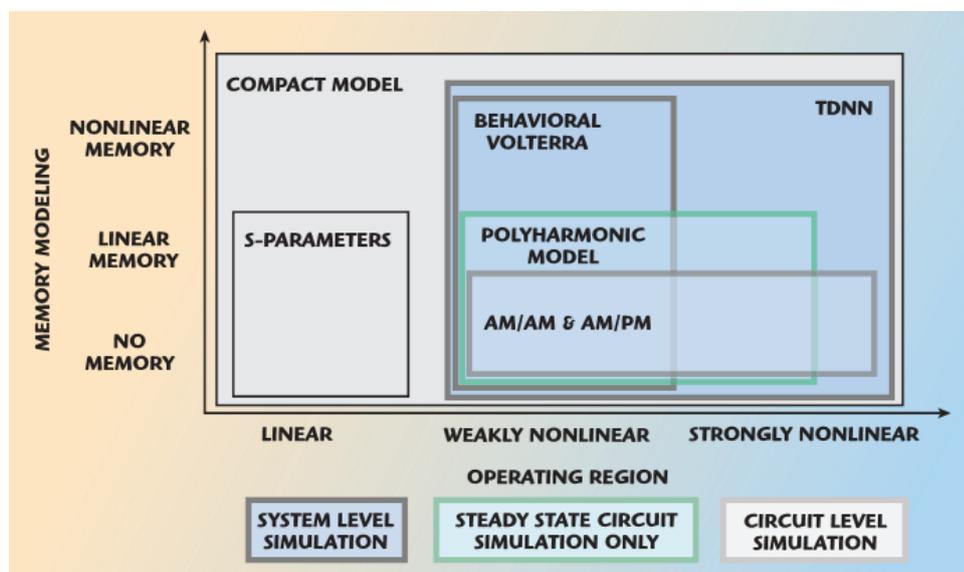


Figura 2-6: Tipologie di modelli e relative capacità di applicazione in simulatori.

Alla famiglia dei modelli sperimentali appartengono i modelli S-parameters, i Poly-harmonic e i AM/AM & AM/PM. I modelli basati su misure di parametri S sono utili solo in casi di analisi lineari e per dispositivi che operano in regime lineare. I modelli poli-armonici (tra cui quelli basati sui parametri X) rappresentano una recente estensione dei parametri S in cui sono incluse informazioni relative alle non-linearità di tipo lineare e pertanto risultano applicabili soltanto in simulatori di tipo Harmonic Balance a causa della mancanza di informazioni sulle non-idealità non-lineari di cui bisogna tenere conto durante le simulazioni di fenomeni transienti. I modelli sperimentali basati sulle misure AM/AM e AM/PM, sebbene includano informazioni relative al particolare punto di lavoro in regime di funzionamento non-lineare, hanno una limitata capacità nel consentire analisi dei fenomeni di memoria non-lineari.

I modelli empirici nella forma di circuito equivalente, anche noti come modelli compatti, possono essere utilizzati in diversi tipi di simulatore. I modelli compatti possono inoltre essere ricondotti a modelli di tipo sperimentale mentre non è possibile il contrario. La caratteristica principale di questa tipologia di modelli consiste nella possibilità di includere specifici effetti con specifici elementi nel modello, conservando una forte affinità con i principi fisici di funzionamento e potendo così preservare la consistenza della rappresentazione con la realtà. È infatti possibile includere tutte le tipologie di non-idealità nel modello che quindi risulterà valido in tutte le condizioni di funzionamento. A questa potenza dei modelli a circuito equivalente corrisponde però lo sforzo dovuto alla estrazione del modello stesso a partire dalle (numerose) misurazioni dalla cui accuratezza dipenderà anche quella del modello stesso. Altri importanti vantaggi che garantiscono i modelli compatti rispetto i modelli sperimentali sono:

- un circuito equivalente è utilizzabile con buona approssimazione anche per frequenze esterne al campo di misura, sia a bassa che ad alta frequenza. Inoltre, il circuito equivalente intrinsecamente elimina parte degli errori legati all'incertezza delle misure effettuate. Mentre i modelli black-box non possono essere estesi al di fuori del campo di misura stesso, dove il processo di estrapolazione può produrre risultati inesatti.
- la topologia del circuito equivalente è legata alla fisica del dispositivo, per cui è nota la correlazione tra i parametri del circuito equivalente e la geometria del dispositivo. Ne consegue che sono facilmente individuabili le regole di scalatura del modello, la dipendenza degli elementi del modello dai fenomeni non-lineari. Questo non vale invece per modelli basati direttamente sulle misure che invece veicolano soltanto grandezze alle porte e quantità prestazionali.
- la rappresentazione mediante circuito equivalente di transistori consente una più approfondita analisi delle prestazioni in applicazioni nel campo delle microonde grazie alla diretta corrispondenza tra gli elementi del circuito e la struttura fisica del dispositivo. Questo consente inoltre di disporre di informazioni a carattere fenomenologico utili anche per migliorare e sviluppare la tecnologia dei dispositivi.

Dalla rassegna fatta dei possibili modelli non-lineari per dispositivi attivi, è possibile affermare che, in generale, non esiste una soluzione migliore per tutti i casi in assoluto. Resta però evidente la compatibilità e l'usabilità del modello compatto in tutti i simulatori disponibili in commercio e questo aspetto consente di svincolarsi dalla particolare piattaforma di simulazione per cui il modello è stato implementato. Inoltre, modelli black-box attualmente trovano maggiore impiego come rappresentazione di componente o sistema mentre non si prestano molto a fornire una rappresentazione a livello di modelli di dispositivo. Anche in termini di efficienza computazionale, i modelli compatti risultano essere

ampiamente superiori alle altre tipologie di modelli e pertanto sarà questa la tipologia di modello adottata per i nostri scopi.

2.5 MODELLO EMPIRICO A CIRCUITO EQUIVALENTE

Un circuito equivalente per un generico dispositivo è una rete elettrica composta da elementi semplici le cui caratteristiche terminali sono equivalenti a quelle del dispositivo che rappresenta. Successivamente all'introduzione dei FET, a partire dal 1960, lo studio dei modelli a circuito equivalente coinvolse numerosi studi e ricercatori. Nel corso degli anni i modelli subirono trasformazioni dettate sia dalle crescenti complessità delle applicazioni e le conseguenti richieste in termini di accuratezza verso i modelli, e sia dal continuo sviluppo delle tecnologie dei dispositivi elettronici.

I modelli di dispositivi elettronici usabili nei simulatori circuitali sono comunemente chiamati compatti e questo nome deriva dalla efficace semplicità con cui sono formulati senza penalizzare l'accuratezza del modello stesso. Questo trade-off tra accuratezza e semplicità è sempre stato al centro dell'attenzione di ingegneri, di fisici, e di matematici. L'aspetto della semplicità del modello risulta essere fondamentale ai fini della accuratezza del modello. Questa infatti deriva essenzialmente da una corretta identificazione dei fenomeni che intervengono durante il funzionamento del componente separando la rappresentazione dei singoli effetti. In questo modo possono essere individuate anche le principali caratteristiche di interesse verso una particolare applicazione consentendo così di disporre di modelli accurati per specifici scopi senza rendere il modello eccessivamente complesso. A seconda delle diverse capacità di rappresentare i dispositivi, i modelli empirici possono essere suddivisi in modelli a piccolo segnale e a largo segnale. I primi consentono di rappresentare il comportamento del dispositivo in regime di funzionamento lineare, riproducendo essenzialmente i parametri di Scattering del dispositivo. I modelli non-lineari invece risultano invece più completi in quanto consentono di descrivere il comportamento del dispositivo in modo completo rispetto al tipo di eccitazione a cui si sottopone il componente.

I modelli non-lineari di HFET basati su circuito equivalente derivato empiricamente sono in essenza l'estensione verso il regime non-lineare del corrispondente modello lineare a piccolo segnale. A ciascuno degli elementi del circuito lineare, che manifesti un comportamento non-lineare riconducibile a fenomeni fisici precisi, si associa una descrizione equivalente non-lineare in forma analitica in modo da poter includere nella descrizione del modello le dipendenze dalle quantità di controllo (tensioni, corrente, temperatura, etc.) di questi elementi. Le espressioni analitiche con cui si formula il comportamento non-lineare dei singoli elementi sono costruite in modo da riprodurre gli andamenti delle quantità misurate e possibilmente riproponendo le dipendenze funzionali derivate dalla fisica. Questo approccio consente di produrre modelli dal carattere auto-consistente grazie ad una maggiore affinità con i principi fisici alla base del funzionamento del dispositivo. Alternativamente, sarebbe possibile ottenere i parametri del modello non-lineare interpolando i valori delle tabelle numeriche ottenute attraverso la procedura di estrazione del modello di piccolo segnale rispetto alle variazioni del punto di lavoro. Questa soluzione però non consente di evitare i rischi derivanti da errori nel processo di interpolazione e non consente neppure l'estrapolazione al di fuori dell'intervallo di misura a causa della mancanza di una robusta relazione con i principi fisici sulla base dei quali si costruiscono i modelli analitici.

Dal momento che alcuni degli elementi del modello lineare risultano essere caratterizzati da comportamento lineare, è possibile limitare l'azione di estensione del modello da lineare a non-lineare su tre specifici elementi dal comportamento non-lineare appartenenti alla

regione attiva del dispositivo. Osservando la correlazione tra il modello lineare di un HFET e la sua struttura (Figura 2-7) risulta evidente che, al comportamento non-lineare del dispositivo, partecipano principalmente tre elementi: il generatore di corrente di canale, la carica di Gate, la corrente nella giunzione Schottky di Gate.

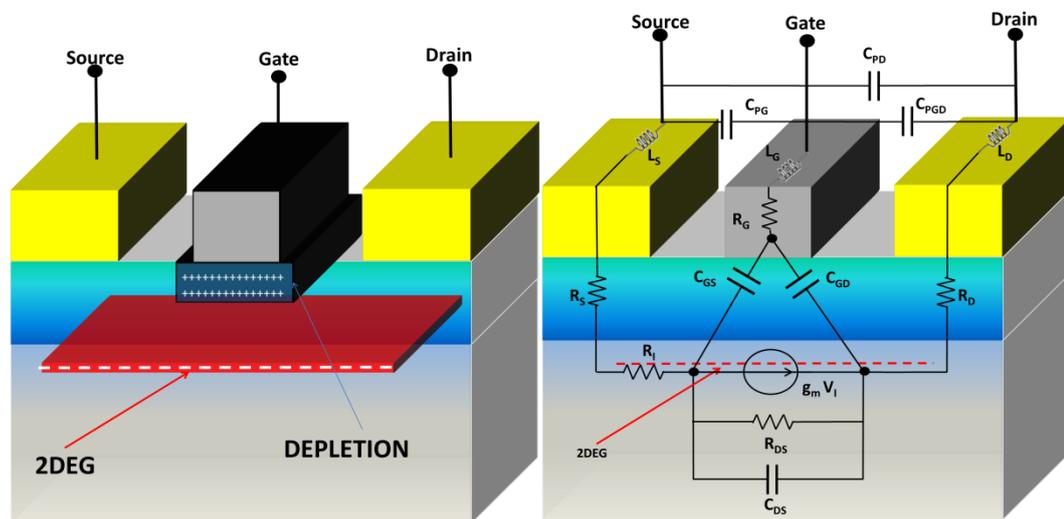


Figura 2-7: Modello lineare a circuito equivalente del HFET.

Durante il corso degli anni numerosi sforzi sono stati effettuati per la formulazione del modello non-lineare della corrente di canale. L'evoluzione del modello non-lineare può essere sinteticamente descritto dalla seguente lista di eventi:

- **Curtice Model (1980)** → Dipendenza di I_D da V_{GS} di tipo quadratico/cubico
 - Primo modello empirico ad essere formulato e implementato per simulazioni nel dominio del tempo.
- **Tajima Model (1981)** → Dipendenza di I_D da V_{GS} e V_{DS} di tipo esponenziale
 - Primo modello empirico ad essere formulato e implementato per simulazioni nel dominio della frequenza.
- **Materka Model (1985)** → Dipendenza di I_D da V_{GS} di tipo quadratico/iperbolico
 - Introdotta dipendenza dalla V_{DS} della tensione di pinch-off.
- **Statz Model (1987)** → Dipendenza di I_D da V_{GS} di tipo cubico/iperbolico
 - Introdotta il modello completo (dipendenza da due tensioni per entrambe le capacità) per la carica di Gate la dipendenza dalla temperatura.
- **TOM Model(s) (1990)** → Dipendenza di I_D da V_{GS} / V_{DS} di tipo cubico/esponenziale
 - Introdotta la dipendenza dalle dimensioni (periferia di Gate) del dispositivo.
- **ADS EEFET/EEHEMT Model(s) (1993)**

- Modello C-V basato sulla rappresentazione della Carica (Charge-based C-V model).
- **Chalmers Model (1992)** → *Dipendenza di I_D da V_{GS}/V_{DS} di tipo iperbolico (Tanh)*
 - Primo modello a consentire una buona rappresentazione per la trans-conduttanza con le sue derivate.
- **Auriga Model (2004)** → *Versione modificata del "Chalmers model"*

Leggendo la precedente lista, si evince che la modellizzazione delle non-linearità reattive ancora non ha registrato la medesima maturità dell'altra principale non-linearità del modello. Infatti ancora oggi si dibattono gli aspetti inerenti la tecnica di modellizzazione e il modello stesso della carica di Gate. L'importanza della accuratezza del modello non-lineare della carica di Gate risulta di fondamentale importanza rispetto alle prestazioni dei circuiti nelle moderne applicazioni, e quindi bisogna che sia approfondita e risolta la problematica relativa la sua modellizzazione.

L'estrazione del modello a circuito equivalente, intesa come la procedura mediante la quale si identificano le entità degli elementi del modello a partire dall'analisi e la manipolazione dei dati sperimentali, sfrutta generalmente misurazioni I-V in DC assieme a misurazioni I-V e di parametri S in regime impulsato. Mediante le informazioni estraibili da queste caratterizzazioni è possibile includere tutti i fenomeni complessi precedentemente identificati come fenomeni di memoria. L'approccio empirico di estrazione del modello non-lineare auto-consistente è sinteticamente descritta in Figura 2-8 e nel seguito di questa tesi verranno discusse tutte le diverse fasi.

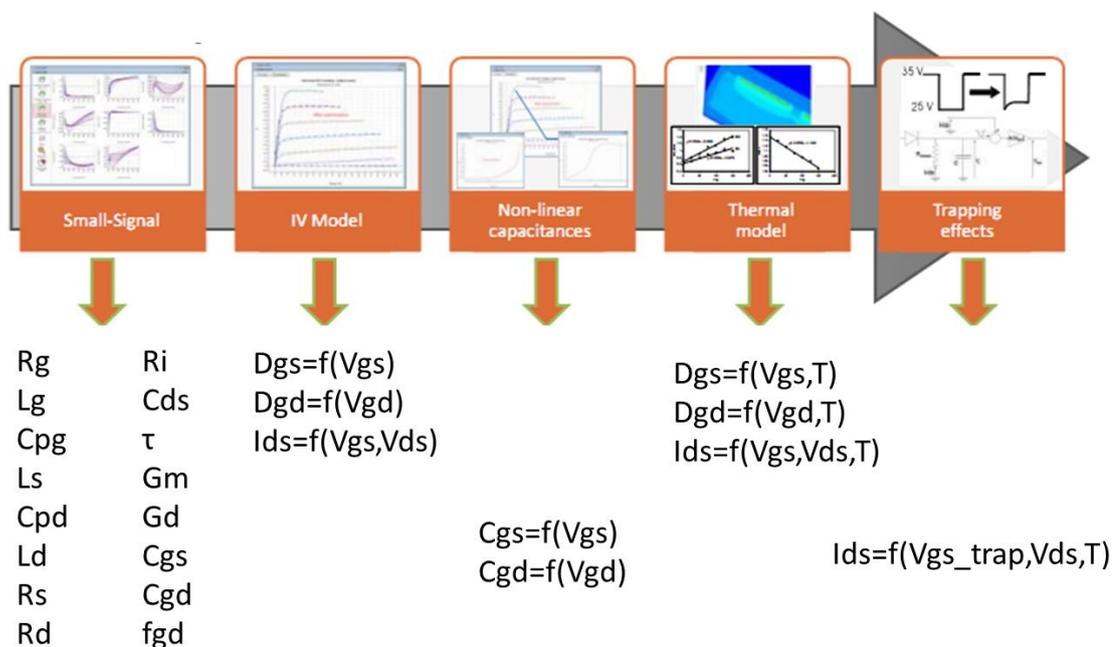


Figura 2-8: Procedura di estrazione del modello non lineare.

Il modello risultante si compone di un limitato numero di parametri e al termine dell'estrazione viene solitamente validato sulla base di misure nel dominio della frequenza (Load-Pull) e del tempo.

2.6 MODELLI AUTO-CONSISTENTI

Il problema della consistenza del modello non-lineare si presenta sotto forma di diversi risultati quando il modello è utilizzato con diversi simulatori. In pratica il problema della consistenza si manifesta nella forma di anomalie nei risultati ottenuti con diversi approcci di soluzione di problemi circuitali. Ad esempio, la non-consistenza è osservabile come un'incoerenza tra il modello non-lineare che opera in regime lineare e i dati di misura [2.4]. Questo aspetto determina nella maggioranza dei casi la violazione anche del principio di conservazione della carica che invece bisogna rispettare affinché il modello non presenti problemi di convergenza durante le simulazioni. La non-consistenza deriva anche dalla mancata inclusione nel modello dei fenomeni termici a cui si devono variazioni delle caratteristiche e delle prestazioni del dispositivo che quindi è necessario includere per consentire la previsione di prestazioni in applicazioni di alta potenza [2.5].

Per garantire la dovuta accuratezza del modello, bisogna formulare il modello empirico basandosi prevalentemente sui principi fisici di funzionamento assieme ad una conseguente corretta implementazione. Il primo aspetto da considerare è quello di mettere a punto un modello che conservi la medesima topologia quando si opera in regime lineare e in regime non-lineare. In tal senso, per certi aspetti, è ancora irrisolta la questione riguardante la modellizzazione delle non-linearità reattive di Gate. Il comportamento reattivo di Gate è assimilabile ad un elemento non-lineare dipendente da due tensioni e i modelli proposti in letteratura per questo elemento introducono sempre alcune semplificazioni da cui scaturiscono le limitazioni che sono all'origine di questo problema. La possibilità di sviluppare un modello non-lineare auto-consistente deve pertanto affrontare questo tema. Molti dei modelli in uso attualmente, sebbene siano accomunati da una simile topologia, differiscono per la formulazione analitica con cui si descrive questo contributo non-lineare. L'approccio che solitamente viene adottato per modellizzare la carica di Gate è quello con due condensatori non-lineari in modo che nel simulatore rispettino il principio di conservazione della carica. Nella pratica però entrambi i contributi risultano dipendenti da due quantità e questa osservazione impone la necessità dell'introduzione di ulteriori contributi capacitivi (trans-capacità) difficili da estrarre e includere nel modello lineare. Questa tematica verrà approfondita nel seguito di questa tesi.

2.7 RIFERIMENTI BIBLIOGRAFICI

- [2.1] R. J. Trew, "SiC and GaN transistors-is there one winner for microwave power applications," Proceedings of the IEEE, vol. 90, no. 6, pp. 1032-1047, 2002
- [2.2] R. Dingle, H. L. Störmer, A. C. Gossard, and W. Wiegmann, "Electron mobilities in modulation-doped semiconductor heterojunction superlattices," Appl. Phys. Lett., vol. 33, no. 7, pp. 665-667, 1978
- [2.3] T. Mimura, "Semiconductor device," Japanese Patent 1 409 643, Nov. 24, 1987.
- [2.4] D. E. Root and B. Hughes "Principles of Nonlinear Active Device Modeling for Circuit Simulation", Proc. 32nd IEEE MTT ARFTG Conference, pp.3 1988
- [2.5] F. Bonani, V. Camarchia, F. Cappelluti, S. Guerrieri, G. Ghione, and M. Pirola, "When self-consistency makes a difference," IEEE Microwave Mag., vol. 9, no. 5, pp. 81-89, 2008.

3 MODELLO NON-LINEARE DELLA CARICA DI GATE

3.1 INTRODUZIONE

L'accuratezza del modello della carica (capacità) di Gate nei modelli, influisce sui risultati di simulazione di comportamenti dipendenti dalla frequenza come parametri S e proprietà non-lineari quali le distorsioni e l'intermodulazione. Per questi motivi risulta di fondamentale importanza la validità del modello della carica di Gate nella progettazione di circuiti non-lineari che fanno uso di HFET.

La modellizzazione della carica di Gate, la cui caratteristica è essenzialmente non-lineare, è determinante per la descrizione del comportamento del dispositivo sia in condizioni di piccolo segnale [3.1] che in condizioni di ampio segnale in particolare relativamente alle distorsioni in alta frequenza [3.2, 3.3]. È stato dimostrato sperimentalmente che modelli aventi in comune identici modelli I-V che differiscono per il modello delle componenti reattive, determinano risultati nelle simulazioni delle intermodulazioni del terzo ordine (IMD3 – InterModulazione del 3° ordine) che differiscono tra loro anche di 10 dB [3.2]. Una simile situazione di incongruenza tra risultati simulati e osservazioni sperimentali interessa le simulazioni nel dominio del tempo da cui, a causa di modelli non accurati, si possono determinare forme d'onda nel tempo a carattere non-fisico [3.4].

Questo pone la questione della modellizzazione della carica nei FET al centro dell'attenzione di questo capitolo, essendo un elemento di notevole criticità nei riguardi della consistenza e dell'accuratezza del modello.

Il problema della modellizzazione con approccio empirico necessita di individuare un buon compromesso tra consistenza con i principi fisici e aspetti pratici legati alla formulazione, ed estrazione del modello quando questa è approcciata con metodo empirico. Quindi il tema verrà affrontato in questo capitolo analizzando dapprima i principi fisici alla base del funzionamento di HFET e successivamente sarà effettuata la revisione degli attuali approcci di modellizzazione così da poter infine descrivere il modello che si propone in questo lavoro.

Dopo aver analizzato i possibili approcci per sviluppare il modello della carica di Gate, sarà discussa la derivazione, l'estrazione e l'interpretazione fisica di un nuovo modello non-lineare basato su un'unica funzione analitica. Il metodo sarà infine verificato su due diversi dispositivi basati su due diverse tecnologie.

3.2 CONSIDERAZIONI SUI PRINCIPI FISICI DI FUNZIONAMENTO

Il cosiddetto effetto transistor nei dispositivi attivi ad effetto di campo basati su semiconduttore, si deve alla modulazione della conducibilità del canale ad opera del terminale di controllo, il Gate. La legge di controllo di carica pertanto è alla base del principio di funzionamento del HFET e, assieme alla caratteristica velocità - campo tipica dei portatori di carica mobile, determina le proprietà dei transistori ad effetto di campo. Sia il flusso di

corrente attraverso il canale, sia l'impedenza di ingresso del dispositivo, sono riconducibili alla legge di controllo di carica che, a sua volta, discende dai principi fisici ai quali bisogna fare riferimento per comprenderne le origini e la natura, se si intende formularne un modello.

Il comportamento dei transistori è, senza perdita di generalità, non-lineare. Al pari degli altri fenomeni rappresentati in un modello di transistor, la rappresentazione dell'accumulo e rilascio di carica, le cui caratteristiche sono di tipo non-lineare rispetto alle grandezze di controllo, sono riconducibili alla fisica del dispositivo. La relazione non-lineare che lega causa (variazione dello stimolo esterno, tensioni) ed effetto (variazione della configurazione elettronica e quindi redistribuzione di cariche all'interno del dispositivo), può essere ricercata nella soluzione approssimata della densità di carica in una buca di potenziale ottenuta risolvendo in modo auto-consistente l'equazione di Poisson e l'equazione di Schrödinger [3.5]. La risoluzione del problema del calcolo delle densità di carica nel dispositivo non è tra gli scopi di questo lavoro, mentre innumerevoli sono i lavori in letteratura che trattano di tale analisi. Per gli scopi di questa tesi, è sufficiente ricordare che l'espressione della soluzione approssimata della densità di carica nel dispositivo è esprimibile in forma analitica approssimata sulla funzione di errore di Gauss, la quale è a sua volta approssimabile con la funzione tangente iperbolica [3.6]. Questa sarà pertanto la base funzionale adottata per la formulazione del modello empirico in questo lavoro.

Il principio su cui si basa la modulazione della densità di carica nel canale, sfrutta il principio di neutralità di carica secondo cui la carica presente sull'elettrodo di Gate è bilanciata dalla carica nel semiconduttore. Quest'ultima a sua volta, è costituita da due componenti rappresentate da cariche fisse associate alla regione di svuotamento e dai donori ionizzati nel materiale a E_G maggiore da un lato, e da cariche mobili presenti nel canale dall'altro. In presenza di una giunzione Schottky con un semiconduttore ad alta E_G , l'applicazione di un potenziale al Gate del transistor determina una variazione dell'estensione della regione di svuotamento. Per il sopracitato principio di neutralità di carica, la carica nel canale risulterà a sua volta variata. Quindi, in termini fenomenologici, la carica di Gate in un HFET si compone di una componente di carica fissa relativa alla giunzione rettificante, e una componente di carica mobile relativa al canale del dispositivo [3.7].

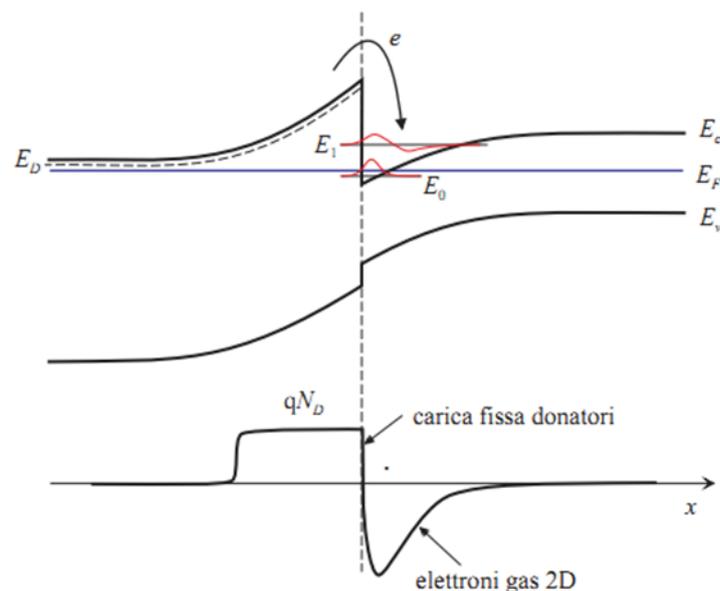


Figura 3-1: Struttura a bande di un'eterostruttura.

Si osserva che, per effetto della barriera di potenziale presente all'interfaccia dell'eterogiunzione, quest'ultima può essere assimilata ad una giunzione rettificante.

La modulazione della carica di Gate si manifesta in due diversi aspetti di fondamentale importanza nell'ambito della modellistica: la variazione della corrente di portatori di carica che fluisce tra i terminali di Source e Drain, e la variazione delle capacità tra terminali di Gate e di Source e tra quelli di Gate e di Drain.

La regione di svuotamento che si forma in corrispondenza dell'elettrodo di Gate determina la formazione di una regione di carica spaziale che si espande in modo continuo verso le regioni di Source e Drain. La variazione delle tensioni Gate-Source e Gate-Drain modifica questa distribuzione di carica. Ne risulta che l'effetto capacitivo osservabile tra queste coppie di terminali dipende da entrambe le tensioni applicate al dispositivo anziché dipendere dalla sola tensione applicata a ciascuna coppia di terminali.

3.3 STATO DELL'ARTE SUI MODELLI DELLE NON-LINEARITÀ REATTIVE

La carica in alta frequenza non può essere misurata direttamente. Le capacità non-lineari invece sono solitamente ottenute a partire da misure a piccolo segnale di parametri S e la relativa dipendenza di questi contributi reattivi rispetto alle tensioni applicate può essere ottenuta effettuando misurazioni sull'intero intervallo di interesse.

Esistono diversi approcci per modellizzare la carica degli HFET. Uno di questi è l'approccio fisico. In passato sono stati proposti diversi modelli [3.8 - 3.14]: con questo approccio e per tutti questi, ai fini della estrazione dei parametri del modello, è indispensabile una dettagliata conoscenza della struttura fisica e della tecnologia, affinché il modello possa rappresentare accuratamente i dati sperimentali. Un altro approccio molto popolare per formulare modelli di HFET è l'approccio empirico. Questo approccio utilizza funzioni analitiche con cui si riproducono le dipendenze dalle tensioni delle capacità misurate. Numerosi sono i lavori sulla base di questo approccio sebbene in letteratura si evidenzia una disparità tra questi e il numero di modelli I-V proposti.

I modelli delle capacità non-lineari di HFET ad oggi esistenti possono essere classificati in due gruppi. Nel primo gruppo [3.15 - 3.17] confluiscono tutti quei modelli in cui i due contributi capacitivi, C_{GS} e C_{GD} , sono trattati separatamente con l'inevitabile conseguenza della violazione del principio della conservazione di carica. L'implementazione di questi modelli in CAD di simulazione circuitale risulta problematica se basata sull'utilizzo di capacità non-lineari e ambigua nel caso si utilizzino due sorgenti di carica distinte per il modo in cui queste sono ottenute. La violazione del principio di conservazione della carica inoltre determina problemi di convergenza durante le simulazioni riducendo l'usabilità nonché l'accuratezza del modello stesso. Al secondo gruppo appartengono quei lavori in cui sono stati formulati modelli analitici della carica di Gate dipendenti da due tensioni [3.18, 3.19].

Dall'analisi delle prestazioni e delle caratteristiche dei modelli proposti risulta che la modellizzazione della carica di Gate è un problema complesso. Infatti tutti gli attuali modelli mostrano delle validità limitate a specifiche regioni operative del transistor. La rappresentazione dei contributi capacitivi in corrispondenza della condizione $V_{DS} = 0$ V è generalmente scarsa così come lo è in condizione di forte pinch-off.

3.4 CONDENSATORI NON-LINEARI

Il problema della modellizzazione della carica è formalizzabile nei termini della formulazione della relazione che rappresenta la legge costitutiva che pone in relazione le grandezze di controllo – tensioni – e la carica riferita ad un particolare terminale del dispositivo. Il contributo di corrente reattiva nel nodo del circuito dovuto alla variazione di carica è quindi descritto dalla relazione funzionale di derivazione rispetto al tempo della carica come:

$$I(t) = \frac{dQ(t)}{dt} = \frac{dQ(V(t))}{dt} \quad 3-1$$

È immediato trasporre una tale situazione nella struttura del Gate del HFET. In regime di sollecitazione tempo-variante, la struttura del Gate del HFET in esame è assimilabile ad un condensatore a piatti piani paralleli le cui armature sono il Gate e i terminali di Source e Drain tra cui vi è interposto il semiconduttore. La possibilità di effettuare misurazioni di parametri di Scattering in alta frequenza garantisce la disponibilità delle informazioni necessarie a ricavare i parametri della matrice delle ammettenze di corto circuito, utili a quantificare le entità dei contributi reattivi di tipo capacitivo del transistor. Da queste è possibile risalire ai contributi capacitivi di interesse mediante la tecnica di estrazione diretta ed è pertanto su queste informazioni che bisogna costruire il modello in questione. Quindi i presupposti per derivare il modello della carica sulla base dell'approccio empirico sono favorevoli. Preliminarmente alla formulazione del modello è però necessario affrontare alcuni temi legati alle problematiche teoriche e pratiche che risiedono nella modellizzazione della carica di Gate nei transistori.

Da un punto di vista della modellizzazione sotto forma di circuito equivalente, è conveniente cominciare ad analizzare un caso semplificato che consiste del solo diodo di Gate con le relative cariche come elemento a 2 terminali. Il comportamento del condensatore non-lineare associato alla giunzione rettificante, è riconducibile alla relazione che associa correnti reattive a variazioni di carica la cui legge costitutiva risulta, nel caso quasi-lineare, mediante sviluppo in serie di Taylor arrestato al primo ordine come:

$$I_g(t) = \frac{dQ_g(t)}{dt} = \frac{dQ_g(V_g(t))}{dt} = \frac{\partial Q_g}{\partial V_g} \frac{dV_g}{dt} = C_g(V_{g0}) \frac{dV_g}{dt} \quad 3-2$$

L'entità della capacità associata al componente linearizzato è da intendersi riferita ad una particolare condizione di polarizzazione:

$$C_g(V_{g0}) = \left. \frac{dQ_g(V_g)}{dV_g} \right|_{V_g=V_{g0}} \quad 3-3$$

con l'assunzione che il contributo all'eccitazione tempo-variante sia di entità molto inferiore alla tensione di polarizzazione continua - statica. Nel dominio della frequenza, per la proprietà della trasformata di Fourier, la (3-3) equivale a:

$$I_g = j\omega Q_g = j\omega C_g V_g \quad 3-4$$

Avendo inoltre assunto che la legge di controllo di carica sia di tipo non-lineare:

$$Q_g = f(V_g) \quad 3-5$$

ne consegue che con stimoli di ampio segnale:

$$I_g(t) = \frac{dQ_g(t)}{dt} = \frac{\partial Q_g(V_g)}{\partial V_g} \frac{dV_g}{dt} = C_g(V_g) \frac{dV_g}{dt} \rightarrow C_g(V_g) = \frac{\partial Q_g(V_g)}{\partial V_g} \quad 3-6$$

a cui corrisponde, per la proprietà della trasformata di Fourier, il prodotto di convoluzione:

$$I_g = j\omega Q_g = j\omega C_g(V_g) * V_g \quad 3-7$$

La formulazione di un modello per questo tipo di componente non-lineare, seguendo l'approccio di modellizzazione empirico, introduce una difficoltà legata all'impossibilità di effettuare misurazioni dirette di cariche in alte frequenze. Inoltre da un punto di vista implementativo, dalla (3-7) risulta che è necessario descrivere elementi non-lineari capacitivi come cariche per evitare problemi di implementazione. Non risultando possibile effettuare misurazioni dirette di carica (Q), è necessario individuare una strategia adeguata a svolgere questo compito. Considerando che C(V) sia rappresentativa della capacità incrementale, è possibile misurare questa sperimentalmente applicando un segnale sinusoidale al variare della polarizzazione statica V e conseguentemente questo consente di misurare indirettamente Q attraverso la relazione funzionale di integrazione. L'alternativa, qualora fosse nota l'espressione della Q, consiste nel praticare il fitting dei coefficienti della funzione che, mediante derivazione, consente di ottenere la funzione rappresentativa la C(V).

Nel normale funzionamento del transistor si ha che i terminali di Source e Drain non sono equipotenziali, pertanto la rappresentazione appropriata per la struttura in esame è quella di un elemento a tre terminali. I terminali assunti sono rappresentativi del Gate, Source e Drain intrinseci del HFET. Questa situazione implica che la carica di Gate dipenda da più di una tensione e la differenza con il caso analizzato precedentemente non è irrilevante nei confronti della possibilità di modellizzare accuratamente e in modo consistente questo elemento.

La carica associata al terminale di controllo, come detto in precedenza, è bilanciata dalle cariche fisse dovute alla regione di svuotamento e dalle cariche mobili presenti nel canale. Mediante l'applicazione di tensioni ai 3 terminali è possibile esercitare un controllo delle

cariche nel HFET. In altri termini la carica di Gate è funzione della differenza di tensione tra ciascuna coppia di terminali considerati. Da un punto di vista fisico, al pari del caso del dispositivo a 2 terminali, resta valido il principio di neutralità e conservazione della carica anche per questo tipo di elemento. Da un punto di vista operativo, la rappresentazione introdotta che implica la dipendenza della carica da due diverse quantità determina che la corrente di tipo reattivo I_g in questo caso risulti:

$$I_g(t) = \frac{dQ_g(t)}{dt} = \frac{dQ_g(V_1(t), V_2(t))}{dt} \quad 3-8$$

Lo sviluppo in serie di Taylor arrestato al primo ordine, valido per casi quasi-lineari risulta:

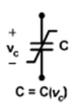
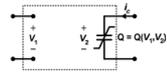
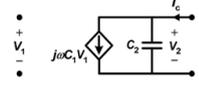
$$\begin{aligned} I_g(t) &= \frac{dQ_g(t)}{dt} = \frac{dQ_g(V_1(t), V_2(t))}{dt} = \frac{\partial Q_g}{\partial V_1} \frac{dV_1}{dt} + \frac{\partial Q_g}{\partial V_2} \frac{dV_2}{dt} \\ &= C_1(V_1, V_2) \frac{dV_1}{dt} + C_2(V_1, V_2) \frac{dV_2}{dt} \end{aligned} \quad 3-9$$

Ne consegue che, linearizzando tale carica dipendente da due quantità, si otterranno due contributi capacitivi e per ciascun punto di polarizzazione i singoli contributi capacitivi saranno:

$$C_1(V_1, V_2) = \frac{\partial Q_g(V_1, V_2)}{\partial V_1}, \quad C_2(V_1, V_2) = \frac{\partial Q_g(V_1, V_2)}{\partial V_2} \quad 3-10$$

Le precedenti espressioni affermano la presenza di un contributo capacitivo principale e uno secondario: quest'ultimo assume il nome di trans-capacità, in analogia con la parte resistiva del FET, dalla cui linearizzazione si ottengono la conduttanza di uscita e la trans-conduttanza. Questa situazione è infatti tipica per quei componenti circuitali che dipendono da due o più grandezze che una volta linearizzati trovano rappresentazione sottoforma di due elementi rappresentativi di una azione diretta e una remota dovuta alle grandezze di controllo. Questa situazione quindi differisce dal caso del condensatore non-lineare a due terminali per la presenza della trans-capacità. Questa quantità risulta essenziale per una modellizzazione corretta del componente poiché la consistenza con i principi fisici e in particolare con il principio di conservazione della carica [3.20, 3.21]. Questo elemento infatti garantisce il rispetto del principio di conservazione di carica terminale e quindi dell'energia.

La formulazione di un modello per questo tipo di componente, seguendo l'approccio di modellizzazione empirico, evidenzia una difficoltà legata all'impossibilità di effettuare misurazioni dirette di cariche in alte frequenze a cui si somma l'ulteriore difficoltà di separare i due contributi $\partial Q/\partial V_1$ e $\partial Q/\partial V_2$ per poi poter effettuare il passaggio di integrazione e infine giungere alla forma di Q. Non risultando possibile effettuare misurazioni dirette di Q, è necessario individuare una strategia adeguata a svolgere questo compito.

<p>C non-lineare dipendente da 1 tensione</p>  $i_c(t) = \frac{dQ}{dt} = \frac{dQ(v)}{dv} \frac{dv}{dt} = C \frac{dv}{dt}$	<p>C non-lineare dipendente da 2 tensioni</p>  $i_c(t) = \frac{dQ(V_1, V_2)}{dt} = \frac{\partial Q(V_1, V_2)}{\partial V_1} \frac{dV_1}{dt} + \frac{\partial Q(V_1, V_2)}{\partial V_2} \frac{dV_2}{dt}$ $i_c(t) = C_1(V_1, V_2) \frac{dV_1}{dt} + C_2(V_1, V_2) \frac{dV_2}{dt}$
<p>Linearizzando \longrightarrow</p>  $C = \frac{dQ(v)}{dv}$	<p>Linearizzando \longrightarrow</p>  $\begin{cases} C_1(V_1, V_2) = \frac{\partial Q(V_1, V_2)}{\partial V_1} \\ C_2(V_1, V_2) = \frac{\partial Q(V_1, V_2)}{\partial V_2} \end{cases}$
$Q(v) = \int C(v) dv$	$Q(V_1, V_2) = \int C_1(V_1, V_2) dV_1 + \int \left(C_2(V_1, V_2) - \frac{\partial}{\partial V_2} \int C_1(V_1, V_2) dV_1 \right) dV_2$

3.5 PRINCIPIO DI CONSERVAZIONE DELLA CARICA

Il principio di conservazione della carica si applica a tutti gli elementi circuitali senza perdite. La conservazione della carica in un simulatore circuitale deve essere osservata sia da punto di vista fisico, attraverso il vincolo dovuto al primo principio di Kirchhoff ai nodi del circuito, sia da un punto di vista matematico mediante la conservazione della carica terminale.

Nel caso di una sorgente di carica controllata da due o più tensioni, il principio impone che ogni variazione della carica sia esprimibile come funzione della condizione iniziale e finale delle tensioni di controllo, indipendentemente dalla traiettoria seguita da queste durante la loro evoluzione. Affinché ciò sia correttamente rappresentato e verificato, è necessario e sufficiente che la funzione che descrive la dipendenza della carica dalle quantità di controllo, sia continua e derivabile (almeno fino al secondo ordine) rispetto al dominio di validità della funzione stessa. La conservazione della carica terminale implica che tutte le capacità connesse a un nodo debbano poter essere descritte come derivate parziali di una sola funzione della carica Q . Questo in termini analitici si traduce in:

$$\frac{\partial}{\partial V_1} \left(\frac{\partial Q_g}{\partial V_2} \right) - \frac{\partial}{\partial V_2} \left(\frac{\partial Q_g}{\partial V_1} \right) = 0 \quad 3-11$$

che equivale ad imporre alla Q la natura di campo conservativo [3.22, 3.23].

La violazione del principio della conservazione della carica da parte di un modello di un dispositivo attivo, ne riduce la validità in senso generale in quanto, per loro natura, i condensatori sono elementi non-dissipativi (a meno di perdite) e pertanto devono

conservare la carica. Questa situazione potrebbe essere la causa di problemi di tipo numerico e di convergenza degli algoritmi risolutivi durante simulazioni nel dominio del tempo. Allo stesso modo questa situazione impatta negativamente durante simulazioni nel dominio della frequenza in cui l'algoritmo Harmonic Balance risolve con contributi di corrente continua attraverso i condensatori la differenza di carica risultante tra due periodi dell'eccitazione periodica con conseguente alterazione dei risultati della simulazione.

3.6 FORMULAZIONE ED ESTRAZIONE DEL MODELLO DELLA CARICA DI GATE DEL HFET

Il HFET è un dispositivo a tre terminali e l'interpretazione del comportamento reattivo di un tale elemento non è molto intuitiva. Le complicazioni analitiche che sono alla base della rappresentazione analitica di una tale struttura, sono state anticipate nel precedente paragrafo. Inoltre, il metodo empirico in questo caso è di scarso aiuto vista l'impossibilità di misurare direttamente cariche in alta frequenza. Si afferma perciò la necessità di comprendere a fondo il comportamento del HFET così da individuare una corretta rappresentazione della carica di Gate.

3.6.1 POSSIBILI INTERPRETAZIONI PER LA DIVISIONE DELLA CARICA DI GATE

Per il primo principio di Kirchhoff, secondo il quale definita una superficie chiusa che attraversi un circuito elettrico in regime stazionario, la somma algebrica delle correnti che attraversano la superficie (con segno diverso se entranti o uscenti) è nulla, in ogni istante di tempo risulterà che:

$$I_g = I_s + I_d \quad 3-12$$

Al fine di rappresentare il comportamento delle cariche nel dispositivo HFET occorre determinare l'espressione della carica come funzione delle tensioni di controllo in modo da poter quindi calcolare la corrente reattiva di Gate mediante la quale sarà possibile infine ricavare i due contributi di corrente di Drain e di Source applicando uno tra i possibili criteri di divisione. I criteri di divisione possibili operano sulla divisione di carica, sulla divisione di capacità e sulla divisione di corrente. Sulla base della scelta del criterio di divisione è possibile analizzare le formulazioni di modelli per il HFET con il rispettivo impatto sulla correttezza e consistenza del modello risultante.

3.6.2 DIVISIONE DI CARICA

Il metodo più diretto per analizzare e rappresentare la carica di Gate del transistor è basato sulla divisione di cariche. Secondo questo criterio si ipotizza che la carica totale di Gate si ripartisca in due contributi. Per il principio di neutralità della carica, è possibile assumere che:

$$Q_g(V_{gs}, V_{gd}) + Q_{gs}(V_{gs}, V_{gd}) + Q_{gd}(V_{gs}, V_{gd}) = 0 \quad 3-13$$

In cui i due contributi Q_{gs} e Q_{gd} rappresentano le due porzioni di carica totale associate ai due rami, Gate-Source e Gate-Drain rispettivamente. Linearizzando, dovendo essere valido il principio di Kirchhoff si avrà che:

$$I_g(V_{gs}, V_{gd}) + I_s(V_{gs}, V_{gd}) + I_d(V_{gs}, V_{gd}) = 0 \quad 3-14$$

I due contributi di carica, mediante il suddetto passaggio funzionale di linearizzazione si traducono in due contributi di correnti reattive. Per l'assunzione della doppia dipendenza delle singole cariche da tensioni – poiché è stata preliminarmente assunta come tale la Q_g risulterà per la componente di carica relativa il ramo Gate-Source le seguenti correnti:

$$\begin{aligned} I_s(V_{gs}, V_{gd}) &= -\frac{dQ_{gs}(V_{gs}, V_{gd})}{dt} = -\left(\frac{\partial Q_{gs}}{\partial V_{gs}} \frac{dV_{gs}}{dt} + \frac{\partial Q_{gs}}{\partial V_{gd}} \frac{dV_{gd}}{dt}\right) \\ &= -\left(C_{gs}(V_{gs}, V_{gd}) \frac{dV_{gs}}{dt} + C_{gsm}(V_{gs}, V_{gd}) \frac{dV_{gd}}{dt}\right) \end{aligned} \quad 3-15$$

dove

$$C_{gs}(V_{gs}, V_{gd}) = \frac{\partial Q_{gs}(V_{gs}, V_{gd})}{\partial V_{gs}}; \quad C_{gsm}(V_{gs}, V_{gd}) = \frac{\partial Q_{gs}(V_{gs}, V_{gd})}{\partial V_{gd}} \quad 3-16$$

E per l'altro contributo:

$$\begin{aligned} I_d(V_{gs}, V_{gd}) &= -\frac{dQ_{gd}(V_{gs}, V_{gd})}{dt} = -\left(\frac{\partial Q_{gd}}{\partial V_{gs}} \frac{dV_{gs}}{dt} + \frac{\partial Q_{gd}}{\partial V_{gd}} \frac{dV_{gd}}{dt}\right) \\ &= -\left(C_{gd}(V_{gs}, V_{gd}) \frac{dV_{gd}}{dt} + C_{gdm}(V_{gs}, V_{gd}) \frac{dV_{gs}}{dt}\right) \end{aligned} \quad 3-17$$

dove

$$C_{gd}(V_{gs}, V_{gd}) = \frac{\partial Q_{gd}(V_{gs}, V_{gd})}{\partial V_{gd}}; \quad C_{gdm}(V_{gs}, V_{gd}) = \frac{\partial Q_{gd}(V_{gs}, V_{gd})}{\partial V_{gs}} \quad 3-18$$

La doppia dipendenza dei due contributi di carica dalle tensioni di controllo introduce due contributi trans-capacitivi che rendono conto della dipendenza delle correnti reattive dalla tensione remota nei rispettivi casi.

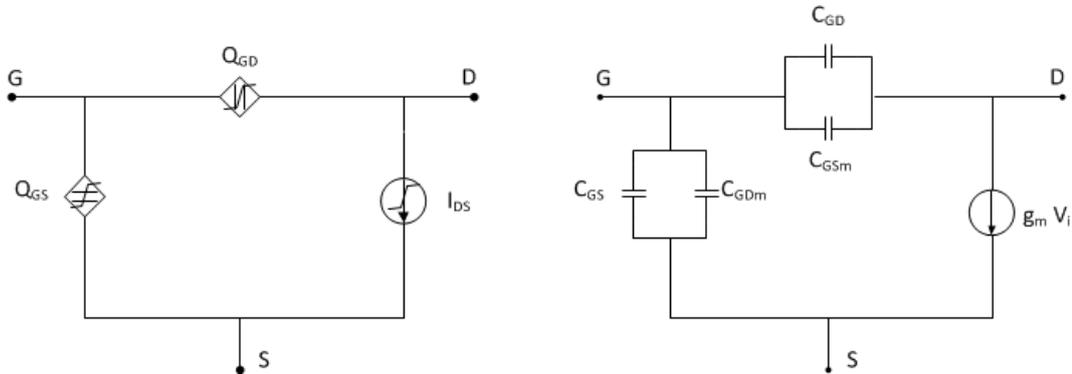


Figura 3-2: Rappresentazione sotto forma di circuito equivalente intrinseco del HFET secondo l'interpretazione della divisione di carica. A sinistra è rappresentato il modello non-lineare e a destra quello lineare.

Per evidenziare il senso dei contributi trans-capacitivi è conveniente sostituire l'espressione (3-15) e la (3-17) nella (3-14) da cui si ottiene la seguente espressione:

$$\begin{aligned}
 I_g(V_{gs}, V_{gd}) &= \left(\frac{\partial Q_{gs}}{\partial V_{gs}} \frac{dV_{gs}}{dt} + \frac{\partial Q_{gs}}{\partial V_{gd}} \frac{dV_{gd}}{dt} \right) + \left(\frac{\partial Q_{gd}}{\partial V_{gs}} \frac{dV_{gs}}{dt} + \frac{\partial Q_{gd}}{\partial V_{gd}} \frac{dV_{gd}}{dt} \right) \\
 &= \left(\frac{\partial Q_{gs}}{\partial V_{gs}} + \frac{\partial Q_{gd}}{\partial V_{gs}} \right) \frac{dV_{gs}}{dt} + \left(\frac{\partial Q_{gs}}{\partial V_{gd}} + \frac{\partial Q_{gd}}{\partial V_{gd}} \right) \frac{dV_{gd}}{dt}
 \end{aligned}
 \tag{3-19}$$

Nella (3-19) si osservano contributi di correnti reattive nel ramo Gate-Source di cui uno deriva dalla variazioni di carica associate al ramo Gate-Drain. Una medesima situazione si verifica per il ramo Gate-Drain. Questo comportamento è rapportabile al funzionamento dei transistori come la modulazione delle cariche associate alle regioni di svuotamento ed è pertanto ragionevole da un punto di vista fisico.

Il rispetto del principio della conservazione della carica in questo caso si esprimerà come:

$$\left(\frac{\partial C_{gs}}{\partial V_{gd}} + \frac{\partial C_{gdm}}{\partial V_{gd}} \right) - \left(\frac{\partial C_{gsm}}{\partial V_{gs}} + \frac{\partial C_{gd}}{\partial V_{gs}} \right) = 0
 \tag{3-20}$$

poiché dalla (3-19) si ha che:

$$\frac{\partial Q_g}{\partial V_{gs}} = \left(\frac{\partial Q_{gs}}{\partial V_{gs}} + \frac{\partial Q_{gd}}{\partial V_{gs}} \right)
 \tag{3-21}$$

$$\frac{\partial Q_g}{\partial V_{gd}} = \left(\frac{\partial Q_{gs}}{\partial V_{gd}} + \frac{\partial Q_{gd}}{\partial V_{gd}} \right) \quad 3-22$$

Questo risultato non consente però di fare alcun tipo di riflessione e valutazione sulle singole cariche relativamente ai due rami del circuito. In questo modo il principio risulterà rispettato solo in senso lato poiché valido solo per la carica totale di Gate. In questo caso non si osserveranno correnti in DC nel nodo di Gate del modello durante le simulazioni, ma restano possibili contributi di corrente DC nei singoli rami del circuito. Affinché il modello rispetti il principio in senso stretto, bisognerebbe garantire le seguenti uguaglianze:

$$\frac{\partial C_{gs}}{\partial V_{gd}} - \frac{\partial C_{gsm}}{\partial V_{gs}} = 0 \quad 3-23$$

$$\frac{\partial C_{gd}}{\partial V_{gs}} - \frac{\partial C_{gdm}}{\partial V_{gd}} = 0 \quad 3-24$$

Analiticamente questa trattazione è corretta e consente di conferire al modello finale la proprietà della consistenza necessaria per poter effettuare il passaggio inverso utile a formulare infine la relazione funzionale per la carica. Praticamente però si presentano delle difficoltà nella determinazione ed estrazione dei contributi trans-capacitivi. Questi potrebbero essere ricavati imponendo specifiche condizioni di polarizzazione (le tensioni intrinseche $V_{GD} = 0 \text{ V} = \text{const}$ e $V_{GS} = 0 \text{ V} = \text{const}$ per Q_{gs} e Q_{gd} rispettivamente) ma il procedimento risulta pesantemente complicato a causa della presenza dei contributi resistivi parassiti nel modello R_s , R_g e R_d [3.24, 3.25]. Inoltre C_{gsm} e C_{gdm} risultano difficilmente distinguibili dai contributi capacitivi ad essi associati poiché, per come sono rappresentati in Figura 3-2, questi sono posti in parallelo ad altri contributi capacitivi. Di fatto risulta inapplicabile il metodo nei casi in cui non sia nota la funzione per la carica ai terminali. Alternativamente è possibile fare l'ipotesi che i contributi trans-capacitivi siano nulli, assunzione questa che semplifica notevolmente la procedura di estrazione dei coefficienti del modello a scapito però della possibilità di garantire il rispetto del principio di conservazione della carica terminale sulle singole cariche. Da questa assunzione deriva inoltre la limitazione del modello a particolari condizioni operative.

Sulla base di questa interpretazione sono stati sviluppati alcuni modelli di tra cui il modello Statz (Ratheyon) e il modello EEHEMT i quali a partire dai contributi capacitivi determinano, attraverso integrazione, la carica di Gate Q_G [3.18] per poi applicare la divisione di carica ad opera di una opportuna funzione di divisione [3.26, 3.27]. In quest'ultimo specifico caso, per ovviare alla difficoltà di ricavare i contributi trans-capacitivi, il modello è stato formulato sfruttando la seguente assunzione:

$$\begin{aligned} C_{gs}(V_{gs}, V_{gd}) + C_{gd}(V_{gs}, V_{gd}) &= \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} \\ &= \frac{\partial (Q_{gs}(V_{gs}, V_{gd}) + Q_{gd}(V_{gs}, V_{gd}))}{\partial V_{gs}} \end{aligned} \quad 3-25$$

$$-C_{gd}(V_{gs}, V_{gd}) = \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} = \frac{\partial(Q_{gs}(V_{gs}, V_{gd}) + Q_{gd}(V_{gs}, V_{gd}))}{\partial V_{gd}} \quad 3-26$$

Nel caso del modello EEHEMT questa funzione dipende da V_{DS} ed è nella seguente forma:

$$f_1 = 0.5 (1 + \text{Tanh}[V_{ds}]) \quad 3-27$$

$$f_2 = 0.5 (1 - \text{Tanh}[V_{ds}]) \quad 3-28$$

Il modello circuitale risultante è

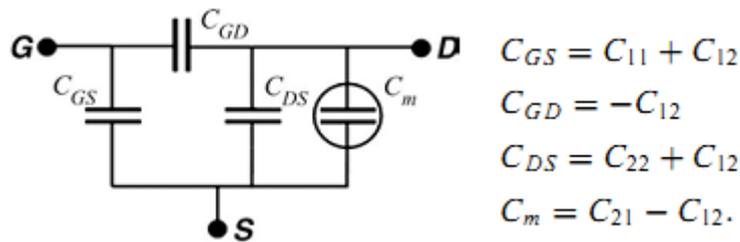


Figura 3-3: Modello a circuito equivalente linearizzato derivato mediante l'interpretazione della divisione di carica (da 2.26)

Resta comunque insoluto il problema nell'intorno della condizione $V_{DS} = 0$ V rispetto la quale, per l'assunzione fatta relativamente ai contributi trans-capacitivi, risulteranno delle anomalie nei risultati simulati.

3.6.3 DIVISIONE DI CAPACITÀ

Secondo questa interpretazione, alla modulazione della carica di Gate segue una corrente reattiva I_g che, in luogo della doppia dipendenza dalle tensioni di controllo si compone di due contributi:

$$I_g = \frac{dQ_g(V_{gs}, V_{gd})}{dt} = \frac{\partial Q_g}{\partial V_{gs}} \frac{dV_{gs}}{dt} + \frac{\partial Q_g}{\partial V_{gd}} \frac{dV_{gd}}{dt} \quad 3-29$$

Il criterio di divisione basato sulle capacità si basa su quantità incrementali e quindi sfrutta come punto di partenza la rappresentazione dei dispositivi in condizione di stimolo di piccolo segnale. L'interpretazione della divisione di carica sulla base dei contributi capacitivi conduce alla seguente assunzione semplificativa:

$$I_s = -\frac{\partial Q_g}{\partial V_{gs}} \frac{dV_{gs}}{dt} = C_{gs} \frac{dV_{gs}}{dt} \quad 3-30$$

$$I_d = -\frac{\partial Q_g}{\partial V_{gd}} \frac{dV_{gd}}{dt} = C_{gd} \frac{dV_{gd}}{dt} \quad 3-31$$

In altri termini secondo questa interpretazione, la carica di Gate è ipotizzata come riconducibile a due contributi relativi ai due rami del circuito che porta alle seguenti uguaglianze:

$$C_{gs}(V_{gs}, V_{gd}) = \frac{\partial Q_g}{\partial V_{gs}} \quad 3-32$$

$$C_{gd}(V_{gs}, V_{gd}) = \frac{\partial Q_g}{\partial V_{gd}} \quad 3-33$$

da cui è possibile ricavare la metodologia con cui è possibile calcolare la carica di Gate a partire dalla conoscenza dei contributi delle capacità incrementali come:

$$C_{gs}(V_{gs}, V_{gd}) = \frac{\partial Q_g}{\partial V_{gs}} \rightarrow Q_{gs} = \int C_{gs}(V_{gs}, V_{gd}) dV_{gs} + Q_{gs0}(V_{gd0}) \quad 3-34$$

$$C_{gd}(V_{gs}, V_{gd}) = \frac{\partial Q_g}{\partial V_{gd}} \rightarrow Q_{gd} = \int C_{gd}(V_{gs}, V_{gd}) dV_{gd} + Q_{gd0}(V_{gs0}) \quad 3-35$$

Si osserva che, congruentemente alle assunzioni fatte inizialmente, risulta che:

$$\frac{\partial Q_{gs}}{\partial V_{gs}} = C_{gs} \quad 3-36$$

$$\frac{\partial Q_{gd}}{\partial V_{gd}} = C_{gd} \quad 3-37$$

Dalle precedenti emerge quanto è stato implicitamente imposto con l'assunzione iniziale di questa interpretazione che consiste nell'aver assunto i due contributi capacitivi dipendenti soltanto dalla differenza di potenziale applicata a ciascuno dei due rami. Quindi:

$$\frac{\partial Q_{gs}}{\partial V_{gd}} = 0 \quad 3-38$$

$$\frac{\partial Q_{gd}}{\partial V_{gs}} = 0 \quad 3-39$$

Questa situazione determina che, nel passaggio di integrazione dei contributi incrementali per risalire alla carica, per la particolare condizione di polarizzazione $V_{GD} = V_{GD0}$:

$$Q_{gs0}(V_{gd}) = - \int C_{gs}(V_{gs}, V_{gd0}) dV_{gs} \quad 3-40$$

E allo stesso modo per il contributo relativo a C_{GD} si ha per $V_{GS} = V_{GS0}$:

$$Q_{gd0}(V_{gs}) = - \int C_{gd}(V_{gs0}, V_{gd}) dV_{gd} \quad 3-41$$

In questo modo, mediante una particolare scelta della costante di integrazione, si impongono pari a zero i contributi relativi alle trans-capacità [3.28] rispetto a una particolare e conveniente condizione di polarizzazione. Ne deriva che per la particolare condizione di polarizzazione, il modello è valido mentre per grandi escursioni della condizione di polarizzazione (condizione di eccitazione ad ampio segnale), il modello non è più rappresentativo e accurato. Il modello a circuito equivalente pertanto risulta quello riportato in Figura 3-4.

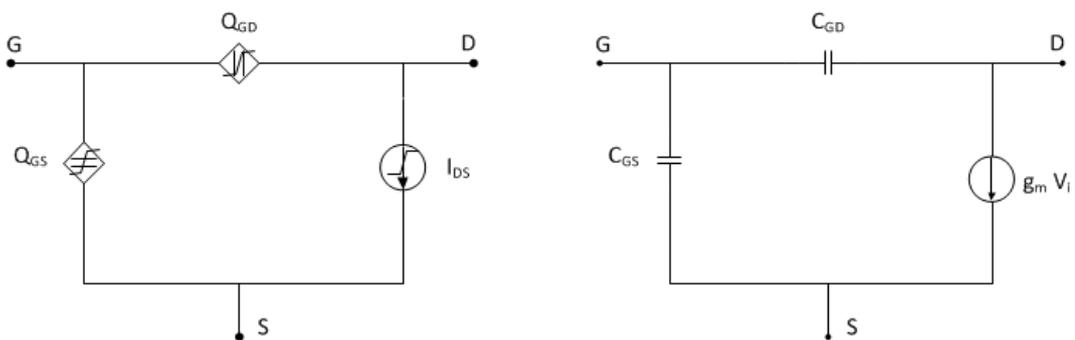


Figura 3-4: Rappresentazione sotto forma di circuito equivalente dell'intrinseco per il HFET secondo l'interpretazione basata sulla divisione di capacità. A sinistra è rappresentato il modello non-lineare e a destra quello lineare.

È noto che questa interpretazione conduce alla formulazione di modelli che non garantiscono la necessaria accuratezza sull'intero piano $V_{GS}-V_{GD}$ e in genere si caratterizzano dall'essere adeguati in corrispondenza di una particolare regione di interesse che coincide con quella di utilizzo. In pratica questo approccio risulta adeguato nel caso in cui il modello sia utilizzato

per il progetto di amplificatori in cui il dispositivo è per la maggior parte dei casi posto in una condizione di lavoro in saturazione, condizione questa in cui l'approssimazione risulta essere accettabile [3.29]. In saturazione, il contributo rappresentato da C_{GS} risulta essere debolmente dipendente da V_{GD} mentre quello rappresentato da C_{GD} risulta essere quasi costante e queste osservazioni sperimentali giustificano l'utilizzo di questa interpretazione per la modellizzazione delle non-linearità reattive di dispositivi impiegati nel progetto di amplificatori. Non è più accettabile questo modello in applicazioni in cui il dispositivo entra in regione lineare in cui C_{GD} varia - aumentando - significativamente con il variare della tensione V_{GS} .

Avendo assunto che le correnti reattive attraverso i condensatori non-lineari siano ciascuno dipendente dalla sola tensione applicata ai rispettivi terminali, le trans-capacità non sono presenti nel modello. Per cui la corrente nel ramo Gate-Source I_S e quella nel ramo Gate-Drain I_D saranno pari alla derivate della rispettiva sorgente di carica Q_{GS} e Q_{GD} . La rappresentazione risulta perciò consistente e il principio di conservazione della carica terminale totale risulta soddisfatto in senso lato:

$$\frac{\partial C_{gs}}{\partial V_{gd}} - \frac{\partial C_{gd}}{\partial V_{gs}} = 0 \quad 3-42$$

Nonostante l'intuitività di questa interpretazione, bisogna osservare che non garantisce la necessaria accuratezza al modello poiché risulta rappresentativo del comportamento del dispositivo solo in alcuni casi. Attraverso il fitting dei dati, il modello risulterà adeguato soltanto nelle condizioni di misura e più in generale in condizioni in cui la dipendenza dalle tensioni remote dei contributi capacitivi è debole.

Resta da considerare infine la problematica relativa all'implementazione di questo modello. Un modello implementato sulla base di C non-lineari, indipendentemente dalla bontà con cui questo è stato estratto, manifesterà dei contributi di corrente DC attraverso i condensatori non-lineari di entità proporzionale all'ampiezza del segnale di stimolo [3.30-3.33] violando le leggi di Maxwell relativamente al concetto di corrente di spostamento. Questo problema emerge sviluppando in serie di Taylor l'espressione della corrente espressa utilizzando un condensatore non-lineare in luogo di una carica non-lineare:

$$I_C = C(V) \frac{dV}{dt} \sim (C_1(V_0) + C_2(V_0)V + \dots) \frac{dV}{dt} \quad 3-43$$

$$C_2(V_0)V = \frac{dC(V_0)}{dV} \frac{dV}{dt} * V = G_0 * V \quad 3-44$$

Questo problema è stato anche risolto individuando degli artifici che azzerano tali contributi di correnti DC indesiderati. Una soluzione [3.34, 3.39] prevede l'introduzione di una rete composta da un induttore ideale in parallelo al capacitore non-lineare a cui viene poi connesso in serie un condensatore ideale di blocco. In questo modo, in continua il condensatore non-lineare risulta corto-circuitato forzando di fatto l'elemento ad apparire come corretto nel simulatore. Questo approccio evidentemente non rappresenta una soluzione né elegante né robusta, e molte delle sue carenze sono causate dalla scarsa aderenza con i principi fisici interessati.

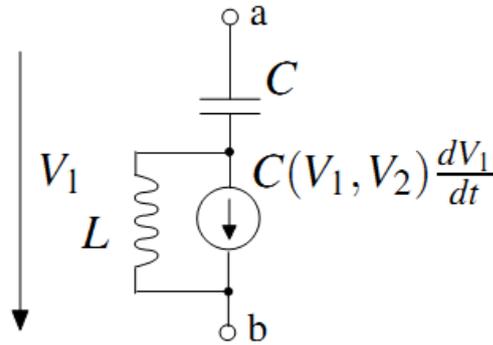


Figura 3-5: Implementazione di condensatori non-lineari nel simulatore [da 2.39].

Per completezza, si osserva che esistono delle varianti a questa rappresentazione che introducono modifiche alle espressioni empiriche per le capacità non-lineari mediante fattori moltiplicativi che rendono conto di dipendenze dalla tensione V_{DS} delle C non-lineari. Anche queste sono soluzioni prevalentemente empiriche che non consentono di dare una rappresentazione fenomenologica corretta. I modelli basati su questa interpretazione sono abbastanza diffusi e utilizzati nel progetto di circuiti amplificatori grazie alla semplicità di estrazione e implementazione [3.36 - 3.38], tra questi c'è il modello Chalmers.

3.6.4 DIVISIONE DI CORRENTE

L'azione di controllo della carica di Gate da parte delle tensioni applicate al dispositivo si manifesta con delle correnti reattive in risposta a variazioni delle stesse grandezze di controllo. A partire dalla relazione diretta causa-effetto, e cioè variazioni di carica - corrente reattiva, sfruttando il primo principio di Kirchhoff risulta che la corrente reattiva entrante nel terminale di Gate si divide in due contributi corrispondenti alle correnti nei due rami del circuito equivalente intrinseco:

$$I_g = \frac{dQ_g(V_{gs}, V_{gd})}{dt} = I_s + I_d \quad 3-45$$

Dalla (3-45) si evince che, secondo questa interpretazione, la carica di Gate viene assunta come la sola sorgente di carica. Le correnti reattive di ampio segnale I_s e I_d saranno perciò una frazione della corrente totale I_g . La divisione di carica di Gate è operata sulla base della seguente relazione funzionale [3.40]:

$$I_s = -f_{gs}(V_{gs}, V_{gd}) \frac{dQ_g(V_{gs}, V_{gd})}{dt} \quad 3-46$$

$$I_d = -f_{gd}(V_{gs}, V_{gd}) \frac{dQ_g(V_{gs}, V_{gd})}{dt} \quad 3-47$$

In Figura 3-6 si riporta la rappresentazione sotto forma di circuito equivalente risultante in cui compare la sorgente di carica Q_g che è la l'unica sorgente da cui scaturisce la corrente reattiva I_g .

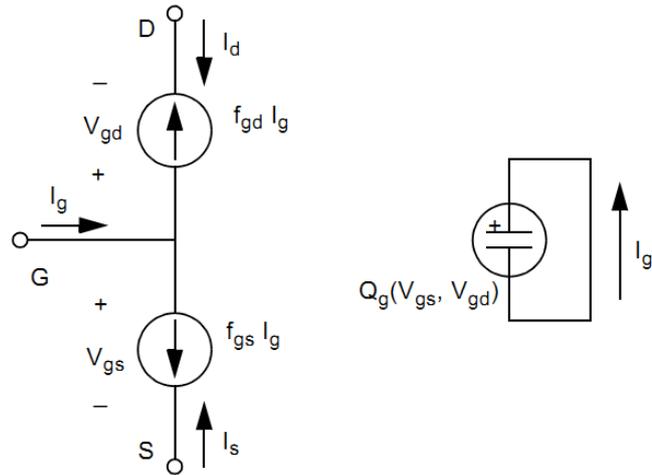


Figura 3-6: Modello a largo segnale a circuito equivalente derivato interpretando la carica di Gate sulla base della divisione di corrente [da 2.40].

Nelle (3-46) e (3-47) sono state introdotte due funzioni f_{gs} e f_{gd} che prendono il nome di funzione di divisione di corrente. Queste devono essere formulate opportunamente affinché il principio di Kirchhoff alle correnti sia rispettato. Infatti, il principio risulta verificato se:

$$f_{gs} + f_{gd} = 1 \quad 3-48$$

In essenza, questo metodo implicitamente invoca la regola del partitore di corrente. Infatti, assumendo per il momento di avere una situazione in cui il Source e Drain del transistore siano connessi risulta che per il circuito illustrato in Figura 3-7,

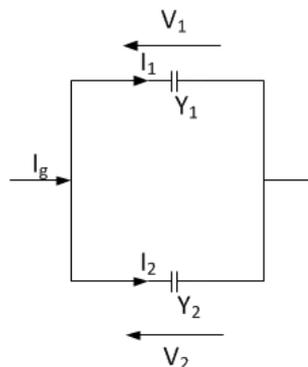


Figura 3-7: Partitore di corrente.

sono valide le seguenti relazioni:

$$I_1 = I_g \frac{Y_1}{Y_1 + Y_2} \quad 3-49$$

$$I_2 = I_g \frac{Y_2}{Y_1 + Y_2} \quad 3-50$$

dove

$$Y_g = Y_1 + Y_2 \quad 3-51$$

Ipotizzando che le entità delle due ammettenze siano relazionate con l'ammettenza totale come:

$$Y_1 = K Y_g \quad 3-52$$

$$Y_2 = (1 - K) Y_g \quad 3-53$$

Risulta possibile ottenere le relazioni tra la corrente totale e la corrente in ciascuno dei due rami:

$$I_1 = I_g \frac{Y_1}{Y_1 + Y_2} = I_g \frac{K Y_g}{K Y_g + (1 - K) Y_g} = K I_g \quad 3-54$$

$$I_2 = I_g \frac{Y_2}{Y_1 + Y_2} = I_g \frac{(1 - K) Y_g}{K Y_g + (1 - K) Y_g} = (1 - K) I_g \quad 3-55$$

Per l'ipotesi che il Source e il Drain siano connessi ($V_1 = V_2$), nel caso di un HFET simmetrico, è lecito immaginare che $Y_1 = Y_2 = 0.5Y_g$ e quindi $K=0.5$ per questa particolare condizione. Nel caso in cui il Source e il Drain non sono equipotenziali, risulta che sarà la differenza tra le differenze di potenziale V_1 e V_2 a governare il rapporto di divisione restando ancora valida la regola di partizione per ogni condizione di polarizzazione. Nel caso di un HFET risulta che le tensioni V_1 e V_2 coincidono con V_{GS} e V_{GD} rispettivamente.

Bisogna ora ricondurre queste grandezze alle quantità misurabili per rendere operativo questo metodo e quindi risalire alla conoscenza della carica di Gate. Ipotizzando che la carica di Gate sia modulata da due tensioni, si avrà che:

$$I_g = \frac{dQ_g(V_{gs}, V_{gd})}{dt} = \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} \frac{dV_{gs}}{dt} + \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} \frac{dV_{gd}}{dt} \quad 3-56$$

Trattandosi di contributi di correnti reattive, risulta immediato fornire per questi una rappresentazione a elementi concentrati che fa uso di condensatori. Bisogna ora individuare la relazione di queste entità con la sorgente di carica di Gate. Questo passaggio è reso possibile dalla trasformazione di equivalenza proposta in Figura 3-8.

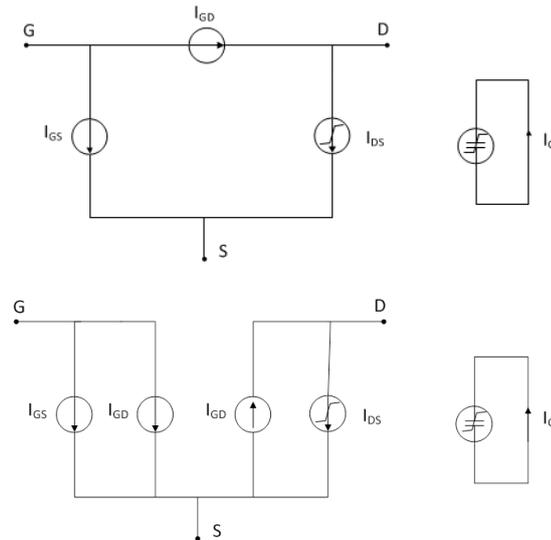
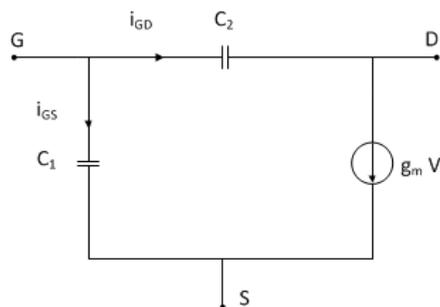


Figura 3-8: Equivalenza tra rappresentazioni del modello intrinseco di ampio segnale.

La precedente equivalenza è stata individuata in modo da poter svincolare l'estrazione delle derivate parziali dalla estrazione della funzione di divisione. Infatti, per la 3-48, tra il Gate e il Source risulta la corrente I_g totale.

Ne deriva che è possibile ricavarne una rappresentazione consistente in regime di eccitazione di piccolo segnale nella forma del circuito riportato in Figura 3-9. Questa rappresentazione è immediatamente riconducibile alle quantità misurabili consentendo così di disporre di tutte le informazioni necessarie alla procedura di estrazione degli andamenti delle derivate parziali della carica di Gate.



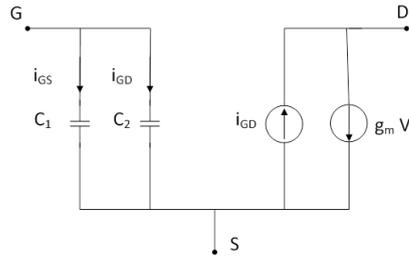


Figura 3-9: Equivalenza tra rappresentazioni del modello dell'intrinseco a piccolo segnale.

Sfruttando la rappresentazione sotto forma di matrice delle ammettenze di corto circuito del modello riportato in Figura 3-9, le derivate parziali della carica di Gate sono immediatamente poste in relazione con i parametri della suddetta matrice come:

$$Y_{11} = \frac{I_1}{V_1} \Big|_{V_2=0 (V_{gs}=V_{gd}=V_1)} \rightarrow \text{Im}\{Y_{11}\} = \omega \left[\frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} + \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} \right] \quad 3-57$$

$$Y_{12} = \frac{I_1}{V_2} \Big|_{V_1=0 (V_{gs}=0, V_{gd}=-V_2)} \rightarrow \text{Im}\{Y_{12}\} = -\omega \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} \quad 3-58$$

$$Y_{21} = \frac{I_2}{V_1} \Big|_{V_2=0 (V_{gs}=V_{gd}=V_1)} \rightarrow \quad 3-59$$

$$\text{Im}\{Y_{21}\} = -\omega \left[G_m \tau + f_{gd}(V_{gs}, V_{gd}) \left(\frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} + \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} \right) \right]$$

Si evidenzia che nel caso del parametro Y_{12} , non risulta presente il fattore moltiplicativo f_{gd} poiché, per definizione, questo parametro implica che V_1 sia pari a zero e quindi la totalità della corrente reattiva fuoriesce dalla porta 1 della rete da cui deriva l'espressione della 3-58.

Le relazioni di interesse relativamente le componenti della carica di Gate linearizzate, si ottengono manipolando i dati estratti dalle misurazioni secondo le seguenti relazioni:

$$\frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} = \frac{1}{\omega} \text{Im}\{Y_{12}\} = C_2 \quad 3-60$$

$$\frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} = \frac{1}{\omega} \text{Im}\{Y_{11} + Y_{12}\} = C_1 \quad 3-61$$

$$f_{gd} = - \left(\frac{\text{Im}\{Y_{21}\} + \omega G_m \tau}{\text{Im}\{Y_{11}\}} \right) \quad 3-62$$

Una rappresentazione di questo tipo risulta vantaggiosa perché la consistenza del modello è assicurata dall'aver descritto l'intero fenomeno con una sola sorgente di carica dipendente da due tensioni. Il corrispondente modello linearizzato presenta due contributi capacitivi che sono facilmente ottenibili da misure. Il modello perciò sarà valido rispetto l'intero dominio (V_{GS} , V_{GD}) e pertanto sarà possibile implementare il modello in modo consistente nei CAD di simulazione circuitale commerciali, garantendo al modello robustezza rispetto ai problemi di convergenza. Questa caratteristica deriva soprattutto dalla possibilità di imporre al modello analitico il rispetto del principio di conservazione della carica terminale nella forma più generale che equivale a:

$$\frac{\partial}{\partial V_{GS}} \left(\frac{\partial Q_g}{\partial V_{GD}} \right) - \frac{\partial}{\partial V_{GD}} \left(\frac{\partial Q_g}{\partial V_{GS}} \right) = 0 \quad 3-63$$

Bisogna osservare però che, al pari delle altre interpretazioni precedentemente analizzate, anche in questo non si hanno a disposizione informazioni dirette e sperimentali sulla carica e quindi bisognerà individuare un metodo che consente di risalire all'equazione della carica di Gate a partire dalle informazioni riguardanti le singole derivate parziali.

Questa interpretazione garantisce, inoltre, formulando adeguatamente la funzione di divisione di corrente, la possibilità di evitare eventuali discontinuità in corrispondenza del caso in cui $V_{DS} = 0$ V. Una funzione che si ritiene essere una valida soluzione a questo problema è stata proposta [3.40] e si presenta nella seguente forma:

$$f_{GD}(V_{DS}) = 0.5 \left(1 - \text{Tanh} \left[\alpha V_{ds} / V_{ds,sat} \right] \right) \quad 3-64$$

la cui espressione è continua nell'intorno di $V_{DS} = 0$ V in corrispondenza del quale anche la (3-48) è valida.

3.7 FORMULAZIONE DEL MODELLO DELLA CARICA DI GATE

La formulazione di un modello empirico sulla base di una rappresentazione analitica implica l'introduzione di funzioni matematiche con cui rappresentare un insieme di dati sperimentali. Questa operazione implica due passaggi: il primo consiste nell'approssimazione della funzione da cui derivano i dati in un particolare intervallo con la desiderata accuratezza. Il secondo è il fit dei dati sperimentali mediante i quali si verifica la validità della funzione approssimante e contestualmente si individuano i parametri della funzione stessa. In questo passaggio, l'insieme dei dati sperimentali (discreti) è rappresentato in una forma compatta mediante una espressione analitica (continua) implementabile nel CAD. Questo compito deve essere svolto considerando simultaneamente tre aspetti: la correttezza matematica (funzioni continue e derivabili) dell'espressione con cui si rappresentano in forma semplificata i dati, la possibilità di implementare il modello in CAD in modo efficiente, la consistenza con i principi fisici mediante la quale si rende facile l'estrazione dei parametri del modello.

Nel prosieguo di questo paragrafo verrà descritto un metodo generale per risolvere il problema inverso mediante il quale è possibile formulare un'espressione analitica per la legge costitutiva della carica di Gate non-lineare a partire da quantità misurate. Questo in

particolare è un problema mal condizionato nel senso che bisogna risolvere un sistema di due equazioni in cui esiste una sola incognita. La possibilità di risolvere correttamente il problema dipende sia dal metodo analitico utilizzato e sia dalla formulazione con cui si rappresentano analiticamente le derivate parziali dell'incognita. L'approccio empirico scelto per sviluppare il modello determina che le sole informazioni a disposizione per risolvere il problema inverso siano le quantità misurabili e quindi parametri S da cui si ottengono i parametri Y. Questo in termini analitici corrisponde all'imporre una corrispondenza tra dati misurati (ottenuti elaborando gli elementi della matrice delle ammettenze della parte intrinseca del modello) con l'incognita del problema (la carica di Gate non-lineare) nei seguenti termini:

$$\begin{cases} \frac{\partial Q}{\partial V_1} = C_1(V_1, V_2) \\ \frac{\partial Q}{\partial V_2} = C_2(V_1, V_2) \end{cases} \quad 3-65$$

Con la precedente equazione, come desiderato, è stata implicitamente conferita alla carica la proprietà di conservatività. Il principio di conservazione della carica è conseguenza dall'equazione di continuità alla base della teoria dei campi elettromagnetici [3.41] che in forma analitica risulta:

$$\nabla \cdot J = - \frac{\partial \rho}{\partial t} \quad 3-66$$

dove J rappresenta la densità di corrente attraverso una superficie chiusa e ρ la densità della carica racchiusa nel volume delimitato dalla superficie stessa. Quindi bisogna formulare il modello in modo che le capacità di Gate siano espresse come gradiente di un potenziale e perciò come un campo conservativo al pari di quanto si ha per il campo elettrico e l'energia potenziale. Per similitudine si ricorda un'altra importante proprietà del campo elettrico che deriva dalla proprietà di conservazione che consiste nella sua irrotazionalità, cioè:

$$rot(\vec{E}) = \frac{\partial E_y}{\partial x} - \frac{\partial E_x}{\partial y} = 0 \quad 3-67$$

che trasposto sulle capacità del nostro problema risulta coerente con la (3-63) che esprime il principio di conservazione della carica:

$$rot(\vec{C}) = \frac{\partial C_1}{\partial V_2} - \frac{\partial C_2}{\partial V_1} = 0 \quad 3-68$$

La precedente equazione inoltre rappresenta la condizione necessaria per l'integrabilità delle derivate parziali per la formulazione della equazione della carica. Questo risultato costituisce la base con cui sarà ottenuto il modello.

Per calcolare il potenziale di un campo a partire dalla conoscenza delle componenti parziali del campo stesso è possibile ricorrere a due diversi approcci. Uno di questi utilizza il metodo degli integrali curvilinei, l'altro il metodo degli integrali indefiniti.

3.7.1 METODO DEGLI INTEGRALI CURVILINEI

Il metodo degli integrali curvilinei risulta utile per il calcolo di un potenziale (nel nostro caso la carica) quando si è già a conoscenza delle proprietà del campo da integrare. Sfruttando la proprietà dei campi conservativi ossia l'indipendenza del risultato dell'integrale di linea del campo dal percorso, avremo che basterà calcolare la seguente:

$$\int_{\vec{A}}^{\vec{B}} \vec{c} \, d\vec{V} = Q(\vec{B}) - Q(\vec{A}) \quad 3-69$$

Per ricavare l'equazione della carica, trattandosi di un'equazione in due variabili, bisognerà procedere con il calcolo degli integrali parziali:

$$Q = \int \vec{c} \, d\vec{V} = \int_{V_{1,0}}^{V_1} c_1(v_1, V_{2,0}) dV_1 + \int_{V_{2,0}}^{V_2} c_2(V_{1,0}, v_2) dV_2 + Q_0(V_{1,0}, V_{2,0}) \quad 3-70$$

Che, per l'assunzione fatta nella (3-63), consente di riottenere per derivazione i termini delle derivate parziali iniziali, mentre in caso contrario si osserverebbero risultati diversi per integrali di linea diversi e le derivate parziali riottenute non coinciderebbero con le espressioni iniziali.

Nel calcolare il contributo dovuto al primo integrale, si tratta la variabile V_2 come costante e lo stesso si effettua per il secondo dove ad essere assunta come costante è la variabile V_1 . Questo approccio in generale potrebbe funzionare ma, per il particolare caso della carica di Gate, potrebbe determinare che, le derivate parziali ottenibili a partire dalla Q appena calcolata, non coincidano con le derivate parziali di partenza anche se le derivate miste sono uguali. Questo problema deriva dalla natura del problema in esame che prevede la soluzione di due equazioni aventi una sola incognita. Dal momento che ciascuno dei due contributi pari alla derivata parziale dell'incognita è stato trattato come dipendente da una sola variabile, necessariamente si stanno introducendo contributi in eccesso nell'integrale che possono essere risolti soltanto mediante l'uso (improprio) della costante di integrazione Q_0 . Per argomentare questa osservazione si sfrutta un esempio per cui, partendo dalla conoscenza della soluzione, si mostra come il metodo non consenta di risolvere il problema. Sia data una funzione:

$$f(x, y) = \sin(x^2 y) \quad 3-71$$

le cui derivate parziali sono:

$$P(x, y) = \frac{\partial f}{\partial x} = 2 x y \cos(x^2 y) \quad 3-72$$

$$R(x, y) = \frac{\partial f}{\partial y} = x^2 \cos(x^2 y) \quad 3-73$$

Applicando la (3-70) si avrà:

$$f(x, y) = \int P(\bar{x}, Y) d\bar{x} + \int R(X, \bar{y}) d\bar{y} + F_0 = \sin(x^2 y) + P_0 + \sin(x^2 y) + R_0 \quad 3-74$$

Con la precedente si mostra che scegliendo opportunamente P_0 e R_0 è possibile ricondurre la soluzione ottenuta alla funzione di partenza. Questo è avvenuto sebbene le derivate parziali siano tali da rispettare la condizione di integrabilità, che nel caso trattato nell'esempio sono esprimibili sulle derivate miste come:

$$\frac{P(x, y)}{\partial y} = 2 x \cos(x^2 y) - 2 x^3 y \sin(x^2 y) \quad 3-75$$

$$\frac{Q(x, y)}{\partial x} = 2 x \cos(x^2 y) - 2 x^3 y \sin(x^2 y) \quad 3-76$$

Infatti, l'aver considerato come costante la seconda variabile nell'integrale parziale, non ha annullato il contributo di questa dipendenza della funzione nel risultato. Pertanto, dal momento che le espressioni delle derivate parziali rispettano la condizione, la soluzione al problema dell'integrazione consiste solo del primo contributo con un opportuno utilizzo della costante di integrazione:

$$f(x, y) = \int P(\bar{x}, Y) d\bar{x} + P_0 \quad 3-77$$

Allora, nell'ipotesi che il problema della formulazione della carica di Gate su una base approccio empirico parta da espressioni delle derivate parziali che rispettino la condizione di integrabilità, per evitare di rendere la soluzione dipendente dal percorso di integrazione è possibile ricorrere ad un approccio alternativo a quello dell'integrale curvilineo. L'approccio che risolve questa incongruenza consiste nel metodo degli integrali indefiniti.

3.7.2 METODO DEGLI INTEGRALI INDEFINITI

Il metodo degli integrali indefiniti parte dalle medesime assunzioni e considerazioni fatte finora ma conferisce alla costante di integrazione nella (3-77) un diverso significato. Dopo aver calcolato il primo integrale parziale, trattando la seconda variabile come una costante, anziché assimilare Q_0 ad una costante di integrazione, Q_0 diviene una funzione di integrazione:

$$Q_0 \rightarrow Q_0(y) \quad 3-78$$

Questo implica che il risultato del primo integrale parziale diventi:

$$f(x, y) = \int P(\bar{x}, Y) d\bar{x} + Q_0(y) \quad 3-79$$

Dalla precedente, è possibile ricavare la relazione attraverso cui è possibile passare dai dati sperimentali, e quindi dalla conoscenza delle derivate parziali, alla funzione incognita $f(x, y)$. Infatti, dovendo ancora essere valida la relazione tra la funzione incognita e le derivate parziali:

$$\begin{cases} \frac{\partial f}{\partial x} = P(x, y) \\ \frac{\partial f}{\partial y} = R(x, y) \end{cases} \quad 3-80$$

risulterà che l'espressione della funzione di integrazione potrà essere ottenuta mediante la seguente operazione:

$$R(x, y) = \frac{\partial}{\partial y} \left[\int P(\bar{x}, Y) d\bar{x} + Q_0(y) \right] = \frac{\partial}{\partial y} \int P(\bar{x}, Y) d\bar{x} + Q'_0(y) \quad 3-81$$

e infine si giunge a:

$$Q_0(y) = \int \left[R(X, \bar{y}) - \frac{\partial}{\partial y} \int P(\bar{x}, Y) d\bar{x} \right] d\bar{y} \quad 3-82$$

Sostituendo la (3-82) nella (3-79), formulazione finale che sostituisce la (3-70), risulta:

$$f(x, y) = \int P(\bar{x}, Y) d\bar{x} + \int \left[R(X, \bar{y}) - \frac{\partial}{\partial y} \int P(\bar{x}, Y) d\bar{x} \right] d\bar{y} \quad 3-83$$

La precedente equazione consente di calcolare analiticamente l'espressione della carica una volta che le espressioni analitiche (di derivazione empirica) delle capacità non-lineari (derivate parziali della carica) sono note e ben formulate; il che impone che sia rispettata la seguente equivalenza:

$$\frac{\partial}{\partial V_{gs}} \left(\frac{\partial Q_g}{\partial V_{gd}} \right) - \frac{\partial}{\partial V_{gd}} \left(\frac{\partial Q_g}{\partial V_{gs}} \right) = 0 \quad 3-84$$

3.7.3 MODELLO ANALITICO DELLA CARICA DI GATE

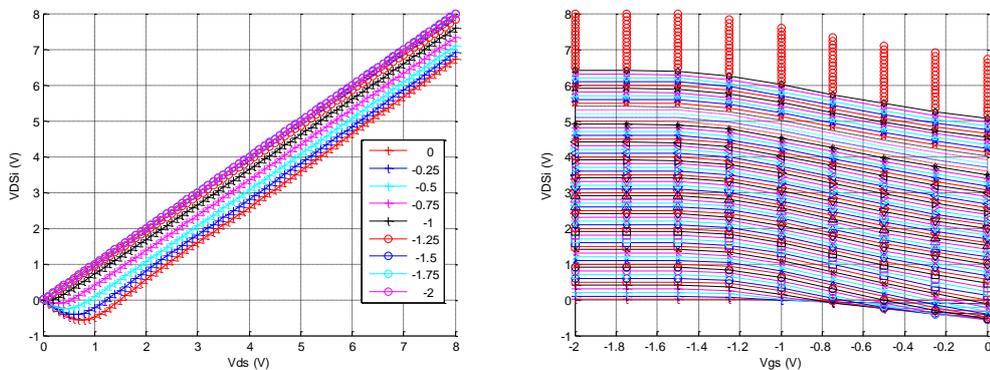
La carica di Gate è adesso calcolabile come:

$$Q(V_1, V_2) = \int C_1(V_1, V_2) dV_1 + \int \left(C_2(V_1, V_2) - \frac{\partial}{\partial V_2} \int C_1(V_1, V_2) dV_1 \right) dV_2 \quad 3-85$$

$V_1 = V_{GSi}$ e $V_2 = V_{GDi}$ rappresentative delle tensioni intrinseche al dispositivo e che equivalgono alle tensioni applicate esternamente a cui sono stati sottratti i contributi dovuti agli elementi parassiti del modello:

$$\begin{cases} V_{GSi} = V_{GS} - R_s I_{DS} - R_G I_G \\ V_{DSi} = V_{DS} - (R_s + R_D) I_{DS} \\ V_{GDi} = V_{GSi} - V_{DSi} \end{cases} \quad 3-86$$

A titolo di esempio nella successiva figura sono rappresentate le variazioni delle tensioni intrinseche rispetto alle tensioni applicate ai terminali di un dispositivo HFET.



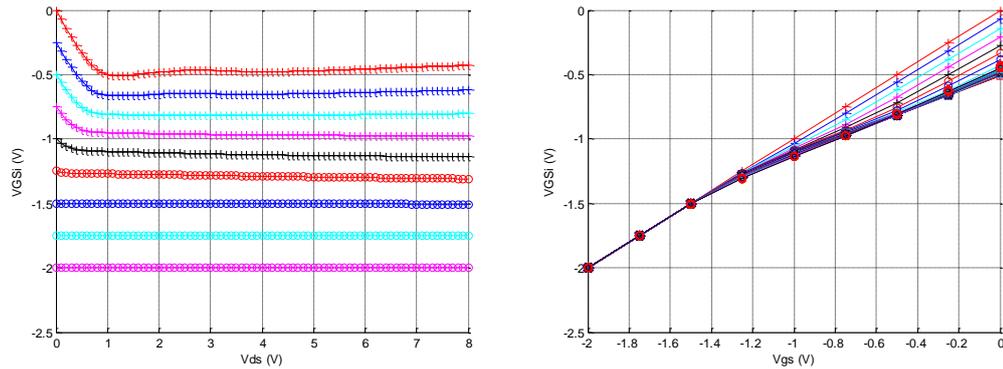


Figura 3-10: Differenza tra tensioni applicate e tensioni intrinseche.

In accordo con la trattazione esposta fin ora, questa scelta delle grandezze di controllo consente di conferire al modello la simmetria di cui godono i transistori ad effetto di campo rispetto ai terminali di Drain e Source. Una breve digressione su questa scelta è doverosa poiché si differenzia da quanto generalmente viene fatto in letteratura. Per argomentare questa scelta è utile considerare il caso semplificato in cui Drain e Source sono cortocircuitati ($V_{DS} = 0$ V). In questo caso la grandezza che modula la carica è la tensione di gate e precisamente la differenza di potenziale Gate-Source/Drain ($V_{GS} = V_{GD}$). Per conservare la consistenza tra i due casi sarà necessario considerare che, nel caso in cui i terminali di Drain e Source sono posti a potenziali diversi ($V_{DS} \neq 0$ V) la situazione deve essere conservata poiché al pari del caso semplificato, l'azione di controllo è ancora effettuata dalla tensione di Gate che più in generale sarà pari alla differenza tra i potenziali tra Gate-Source e Gate-Drain. Questo tipo di interpretazione non contempla direttamente l'azione della tensione V_{DS} sulla carica di Gate a vantaggio di una maggiore aderenza con i principi fisici che governano i fenomeni che si intendono rappresentare. Le implicazioni di questa scelta sono interessanti in senso generale perché consentono di rappresentare la simmetria esistente tra i due rami Gate-Source e Gate-Drain e in particolare permette di affrontare in modo rigoroso lo studio del dispositivo a tre terminali che risulti valido sia per il I che per il III quadrante del piano I-V di funzionamento del dispositivo.

Adesso bisogna passare alla ricerca della funzione analitica che approssima dei dati sperimentali. Questa è un'operazione laboriosa che richiede, oltre ad una certa esperienza, anche di tenere conto della necessità di considerare come la funzione selezionata si comporti al di fuori degli intervalli di fitting. Pertanto la scelta della funzione dovrà tenere in considerazione anche il comportamento asintotico. In questo modo sarà possibile conferire al modello proprietà predittive, inducendo andamenti ragionevoli da un punto di vista fisico, sebbene sia comunque necessaria la verifica degli stessi per avere la certezza dell'accuratezza del modello fuori dall'intervallo di fit. La scelta della base funzionale è stata fatta sulla dell'interpretazione dei principi fisici che governano i fenomeni. All'inizio di questo capitolo infatti è stato fatto un accenno alla legge di controllo di carica di una buca di potenziale e la funzione con cui si approssima quel comportamento è stata individuata come la $\text{Tanh}()$. In alternativa, funzioni polinomiali, razionali o ancora altre funzioni elementari sarebbero potute essere adoperate; tuttavia, per le motivazioni elencate in precedenza, la $\text{Tanh}()$ rappresenta la scelta più conveniente come verrà mostrato di seguito.

Nel caso di HFET, una coppia di espressioni che risultano aderenti alle quantità misurate e che consentono di rappresentare per via empirica gli andamenti dei contributi capacitivi riconducibili alla carica di Gate sotto forma di derivate parziali e adottata per la costruzione della equazione della carica di Gate, è la seguente:

$$C_1(V_{GS}, V_{GD}) = \frac{\partial Q_G(V_{GS}, V_{GD})}{\partial V_{GS}} \quad 3-87$$

$$\approx C_{1P} + C_{G0}\{[1 + \text{Tanh}(f_1)]\} + C_{Ch} f_3' \text{Sech}^2(\beta f_3) \text{Tanh}(\alpha f_2)\}$$

$$C_2(V_{GS}, V_{GD}) = \frac{\partial Q_G(V_{GS}, V_{GD})}{\partial V_{GD}} \quad 3-88$$

$$\approx C_{2P} + C_{G0}\{[1 + \text{Tanh}(f_4)]\} + C_{Ch} f_2' \text{Sech}^2(\alpha f_2) \text{Tanh}(\beta f_3)\}$$

Le derivate miste ottenute derivando C_1 rispetto V_{GD} e C_2 rispetto V_{GS} risultano:

$$\frac{\partial C_1(V_{GS}, V_{GD})}{\partial V_{GD}} = C_{G0} C_{Ch} f_2' f_3' \text{Sech}^2[\beta f_3] \text{Sech}^2[\alpha f_2] \quad 3-89$$

$$\frac{\partial C_2(V_{GS}, V_{GD})}{\partial V_{GS}} = C_{G0} C_{Ch} f_2' f_3' \text{Sech}^2[\beta f_3] \text{Sech}^2[\alpha f_2] \quad 3-90$$

e la risultante espressione della carica risulta:

$$Q_G(V_{GS}, V_{GD}) = C_{1P} V_{GS} + C_{2P} V_{GD} + C_{Ch} C_{G0} [\text{Tanh}(\alpha f_2) \text{Tanh}(\beta f_3)] + \quad 3-91$$

$$+ C_{G0} \left\{ V_{GS} + \frac{\text{Log}[\text{Cosh}(f_1)]}{P_{11}} \right\} + C_{G0} \left\{ V_{GD} + \frac{\text{Log}[\text{Cosh}(f_4)]}{P_{41}} \right\}$$

La verifica della correttezza del metodo si ha derivando l'equazione (3-91) rispetto V_{GS} e V_{GD} le cui espressioni coincidono con la (3-87) e la (3-88) confermando la consistenza con le espressioni di partenza evidenziando inoltre che non è necessario introdurre una costante di integrazione per accomodare il problema.

La soluzione ottenuta è generale, rendendo il modello ottenuto valido sull'intero dominio (V_{GS} , V_{GD}). La funzione Q_G si presenta come una funzione continua e derivabile, e sulle grandezze di controllo non sono applicate funzioni o condizioni tali da limitarne (almeno in ambito analitico) la validità. È ovvio che, così come tutti i modelli, anche in questo caso esisterà un limite di validità al di fuori del quale il modello stesso perde di utilità. Questa limitazione è comunque contenuta e controllata grazie alla definizione della funzione stessa che per sua costruzione risulta limitata come osservabile nella seguenti figure:

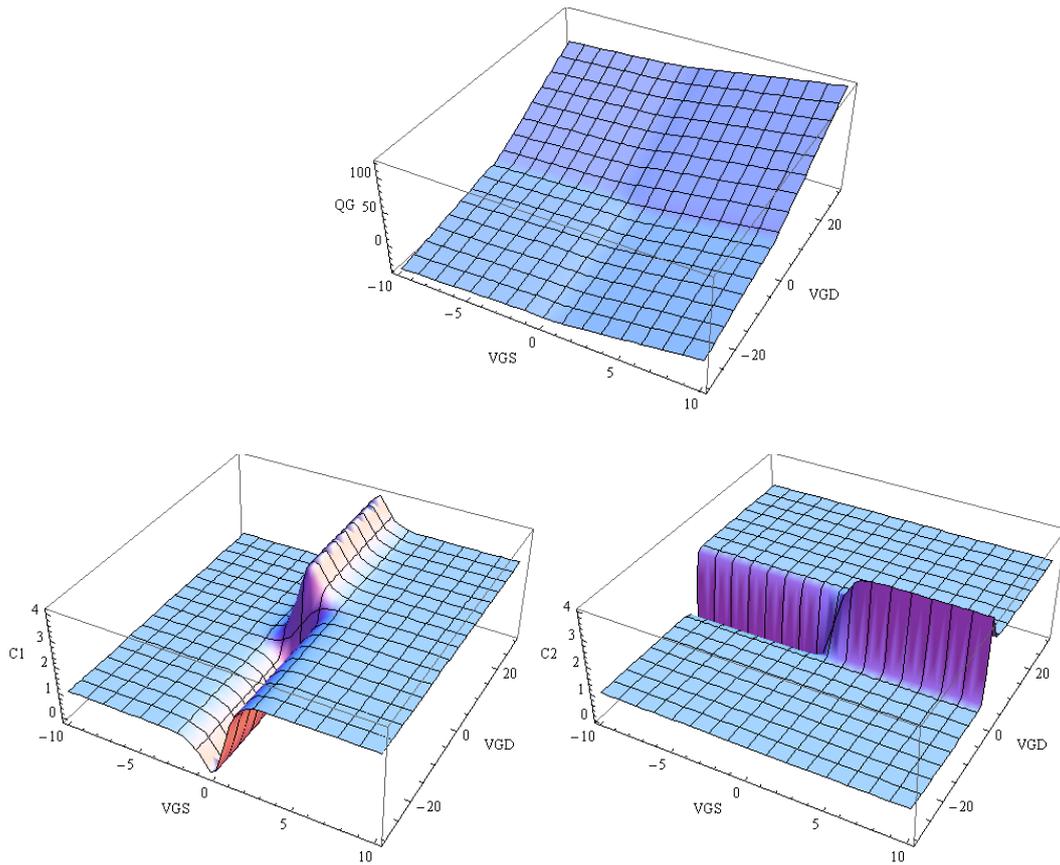


Figura 3-11: Andamento della carica (in alto) e delle derivate parziali del modello (in basso) in funzione delle tensioni di controllo.

La flessibilità del modello proposto risiede nella possibilità di conferire al modello specifici andamenti attraverso l'introduzione di funzioni polinomiali ed altre tipologie di funzioni che rendano conto della fenomenologia in atto riguardo i principi fisici alla base del funzionamento del dispositivo. In particolare il concetto si applica alle quattro funzioni espresse nella (3-91) come f_1 , f_2 , f_3 , f_4 .

Si conclude ribadendo che il metodo è generale e pertanto può essere applicato a qualunque tipo di dato sperimentale, formulando opportunamente le espressioni delle derivate parziali di partenza.

3.7.4 INTERPRETAZIONE FISICA DEL MODELLO NON-LINEARE DELLA CARICA

La formulazione del modello proposto, come è stato discusso in precedenza, è il frutto di un approccio empirico che contempla in egual modo aspetti matematico-implementativi assieme agli aspetti che afferiscono ai principi fisici alla base del funzionamento del dispositivo in questione. Quest'ultima caratteristica in particolare è indispensabile al fine di garantire al modello una robustezza maggiore di quella di un modello puramente empirico e inoltre consente anche di associare un preciso significato fisico ai parametri del modello aspetto questo indispensabile per l'estrazione del modello a partire dai dati sperimentali.

Si riporta per facilitare la lettura l'espressione della Q_G precedentemente introdotta:

$$\begin{aligned}
Q_G(V_{GS}, V_{GD}) = & C_{1P} V_{GS} + C_{2P} V_{GD} + C_{Ch} C_{G0} [\operatorname{Tanh}(\alpha f_2) \operatorname{Tanh}(\beta f_3)] + \\
& + C_{G0} \left\{ V_{GS} + \frac{\operatorname{Log}[\operatorname{Cosh}(f_1)]}{P_{11}} \right\} + C_{G0} \left\{ V_{GD} + \frac{\operatorname{Log}[\operatorname{Cosh}(f_4)]}{P_{41}} \right\}
\end{aligned} \tag{3-92}$$

Nell'equazione (3-92) è possibile riconoscere 3 diverse tipologie di contributi che identificano altrettanti fenomeni fisici. La prima tipologia (che contraddistingue i primi due addendi dell'equazione) rende conto degli effetti capacitivi inter-elettrodo a cui si associa un termine di carica linearmente dipendente dalla differenza di potenziale tra i terminali interessati. Il secondo tipo di contributo è rappresentativo della carica associata alla regione di svuotamento nel semiconduttore, riconducibile alle giunzioni rettificanti di Gate-Source e di Gate-Drain che nella (3-92) sono rappresentate dagli ultimi due addendi. Questo tipo di rappresentazione corregge le limitazioni osservate nelle precedenti formulazioni nelle quali questo contributo veniva ricondotto alla carica di giunzioni Schottky nella forma:

$$Q_{Schottky} = \frac{Q_0}{\left(1 - \frac{V}{V_{th}}\right)^m} + C_0 V \tag{3-93}$$

che risulta adeguatamente accurata soltanto in condizioni di giunzione brusca tra metallo e semiconduttore, il quale è inoltre assunto drogato uniformemente e in condizione di polarizzazione inversa. È stato dimostrato sia sperimentalmente sia numericamente [3.42], che per rendere conto della capacità della giunzione metallo-semiconduttore in tutte le condizioni di polarizzazione, inclusa la polarizzazione diretta, è necessario limitarne l'entità così da rappresentare correttamente l'effetto di riduzione della carica nella regione di svuotamento; in tale condizione, per l'effetto che il flusso di corrente ha sulla carica della giunzione stessa e quindi sulla corrispondente capacità, la forma analitica adottata per questo contributo è:

$$Q_{Schottky} = Q_0 \{V + \operatorname{Log}[\operatorname{Cosh}(V)]\} \rightarrow C_{Schottky} = Q_0 [1 + \operatorname{Tanh}(V)] \tag{3-94}$$

il cui andamento rispetto le tensioni di controllo è riportato in Figura 3-12, mentre in Figura 3-13 è rappresentato l'andamento della somma dei due contributi relativi alla giunzione Schottky Gate-Source e Gate-Drain.

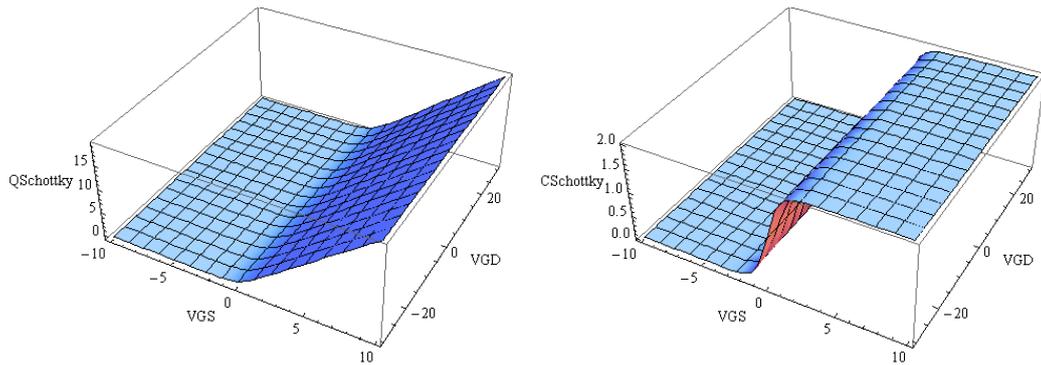


Figura 3-12: Andamento della carica e della capacità associata al contributo relativo alla giunzione Schottky Gate-Source in funzione delle tensioni di controllo.

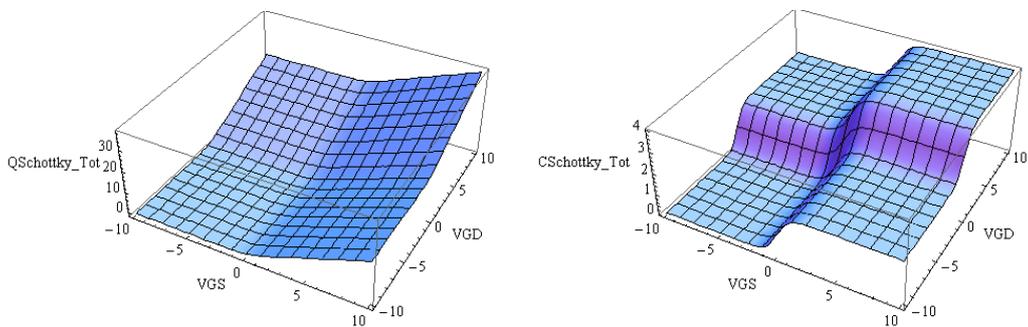


Figura 3-13: Andamento della carica totale e della capacità associata alla giunzione Schottky in funzione delle tensioni di controllo.

Il terzo tipo di contributo è rappresentativo della carica presente all'interfaccia tra i due semiconduttori, ovvero nella buca di potenziale. Questa carica è rappresentativa del canale del dispositivo e risponde alle tensioni di controllo in modo opposto alle cariche di svuotamento. Questo comportamento è alla base della modulazione della carica presente nel canale del dispositivo in quanto, per il principio di neutralità della carica, accade che, all'aumentare della carica associata alla regione di svuotamento, quella del canale si riduca svolgendo così la funzione di modulazione della conducibilità del canale. Dai successivi grafici prodotti per una struttura ideale, si osserva come questo contributo si manifesti prevalentemente in corrispondenza della tensione di soglia, oltre la quale si manifesta la formazione del canale conduttivo che, come avviene tipicamente in etero-strutture, si caratterizza da un andamento molto brusco in luogo di un canale conduttivo assimilabile ad un gas bidimensionale di portatori di carica mobile. In condizioni di polarizzazione inversa ($V_{GS} < 0$ e $V_{GD} < 0$), la carica di Gate invece bilancia le cariche associate allo svuotamento del canale conduttivo che, nel caso di dispositivi a funzionamento del tipo Depletion, equivale alla formazione locale di una regione di carica spaziale di segno positivo.

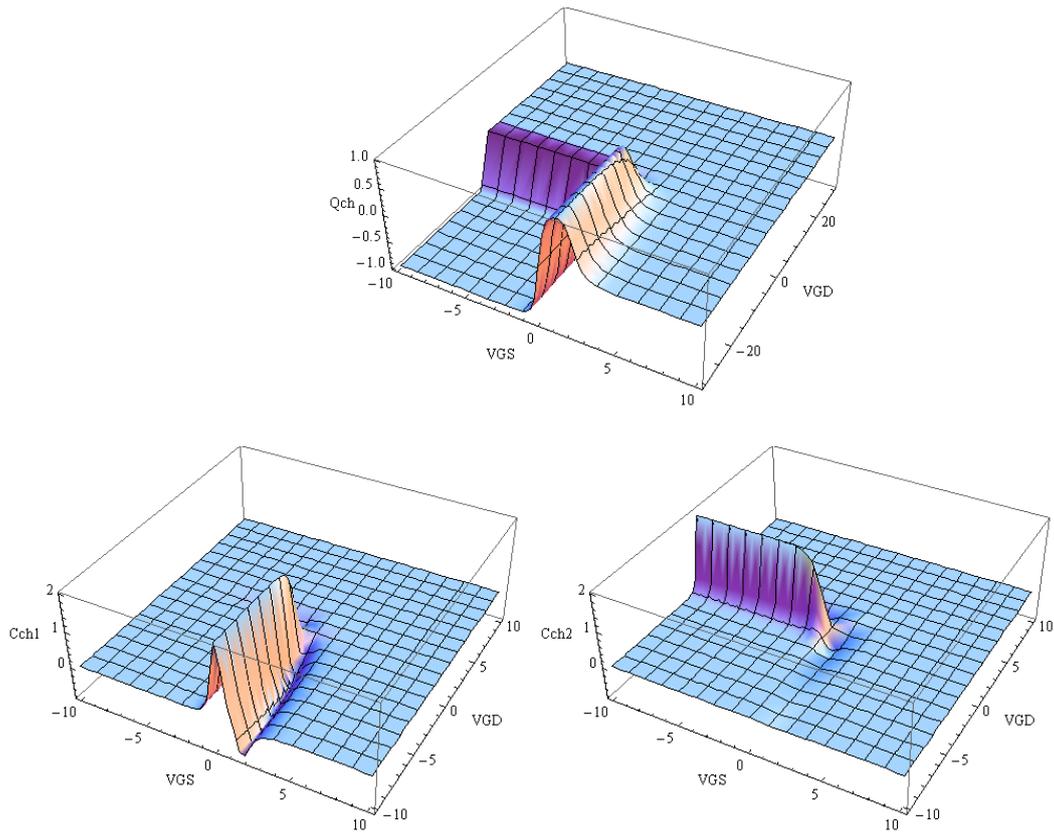


Figura 3-14: Andamento della carica di canale e delle relative derivate parziali (in basso) in funzione delle tensioni di controllo.

Completano il modello i seguenti parametri e le seguenti dipendenze funzionali per quanto riguarda i termini dell'equazione

$$f_1 = P_{11}(V_{GS} + V_{T1}) \quad 3-95$$

$$f_2 = V_{GD} + V_{T3} \quad 3-96$$

$$f_3 = V_{GS} + V_{T3} \quad 3-97$$

$$f_4 = P_{41}(V_{GD} + V_{T2}) \quad 3-98$$

$$V_{T1} = P_{10}(1 + \lambda_{GS} V_{GD}) \quad 3-99$$

$$V_{T2} = P_{40}(1 + \lambda_{GD} V_{GS}) \quad 3-100$$

$$\alpha = P_{21} + P_{22}(1 - \text{Tanh}[f_1]) \quad 3-101$$

$$\beta = P_{31} + P_{32}(1 - \text{Tanh}[f_4]) \quad 3-102$$

in cui si evidenzia la dipendenza tra il contributo di carica associato al canale da quello relativo alle regioni di svuotamento modellizzato mediante la modulazione della pendenza secondo cui varia il primo contributo in funzione dell'entità dell'argomento che controlla la funzione mediante la quale è descritta la porzione di carica associata alla regione di svuotamento. Questo tipo di dipendenza dovrebbe rendere conto dell'effetto di schermatura che le cariche dovute ai donori ionizzati hanno sulla carica di canale rispetto all'azione di controllo operato dal terminale di Gate.

Oltre ai fattori moltiplicativi, responsabili della velocità con cui variano i singoli contributi del modello della carica, sono stati introdotti tre tensioni di soglia (V_{T1} , V_{T2} , V_{T3}) che, rappresentano i valori di tensione in corrispondenza dei quali si ha il flesso della curva $\text{Tanh}()$. V_{T1} e V_{T2} possono essere ricavati ispezionando visivamente le curve sperimentali. Inoltre, per dispositivi simmetrici, e cioè dispositivi nei quali il Gate è centrato rispetto i contatti di Source e Drain si ha che $V_{T1} = V_{T2}$ e $\lambda_{GS} = \lambda_{GD}$. Questi ultimi, sono stati introdotti per descrivere la variazione del valore del punto di flesso della capacità in funzione della tensione applicata all'altro ramo del dispositivo.

C_{G0} è il parametro rappresentativo la capacità totale di Gate mentre C_{ch} è un parametro di fit che in genere è pari a 4 in accordo con il principio di neutralità della carica.

Si conclude osservando che, la modularità con cui è stata definita la funzione, garantisce elevata flessibilità per rispondere anche a diverse tipologie di comportamento del particolare dispositivo.

3.7.5 ESTRAZIONE DEI PARAMETRI DEL MODELLO

In presenza di numerosi coefficienti non è efficiente e neppure consigliato operare il fitting dei dati sperimentali a partire da condizioni iniziali poco attinenti con le osservazioni sperimentali. L'aver conferito al modello un preciso significato fisico consente di superare questa problematica poiché permette di identificare i valori dei principali coefficienti del modello a partire dall'analisi degli andamenti al variare delle tensioni di controllo delle derivate parziali ottenute dal precedente lavoro di estrazione del modello del dispositivo a piccolo segnale per tutte le condizioni di polarizzazione considerate. Anche in presenza di un modello ben formulato sulla base di leggi costitutive che si rifanno ai principi fisici che regolano il funzionamento del dispositivo, estraendo in modo errato i coefficienti non è improbabile ottenere un modello che nel complesso si comporti in modo errato. Per queste ragioni, oltre a dover sfruttare le informazioni a carattere fisico dei coefficienti, è necessario anche sfruttare le relazioni funzionali che mettono in evidenza i singoli contributi dell'equazione complessiva secondo il cosiddetto metodo di estrazione diretta.

Analizzando gli andamenti dei contributi rappresentativi le derivate parziali della carica di Gate estratte, è possibile individuare alcuni dei principali parametri del modello. Questa operazione è illustrata di seguito.

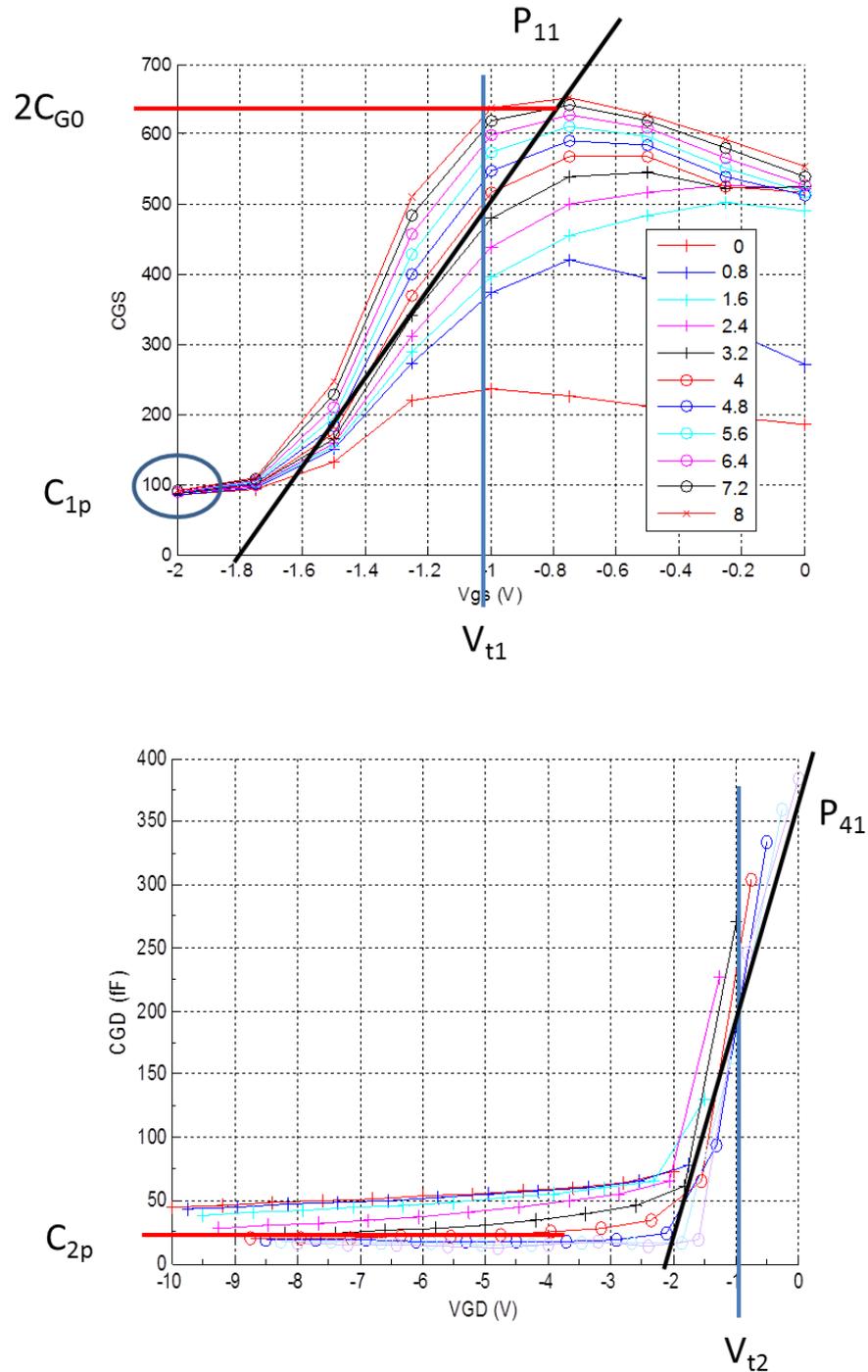


Figura 3-15: Estrazione diretta di alcuni dei parametri del modello.

Per quanto riguarda i restanti coefficienti che riguardano prevalentemente il contributo di carica associato al canale, è necessario sfruttare il procedimento di fitting ad opera di algoritmi di ottimizzazione mediante i quali si tenta di ridurre al minimo lo scarto quadratico medio tra contributi capacitivi estratti e le derivate parziali calcolate a partire dall'espressione analitica della carica di Gate. Questo procedimento verrà presentato nel paragrafo successivo di questo capitolo.

Il set di parametri, che sarà impiegato come condizione iniziale che si utilizzerà per la successiva ottimizzazione dei parametri, è la seguente:

C_{GSP}	C_{GDP}	C_{G0}	C_{CH}	P_{11}	P_{20}	P_{21}	P_{30}	P_{31}	P_{41}	V_{t1}	V_{t2}	V_{t3}	λ_{GS}	λ_{GD}
100	40	300	4	2	-0.01	-0.01	0.1	0.6	1.8	1	1	-0.7	-0.01	-0.01

Tabella 3-1: Parametri iniziali del modello.

Si nota infine che, grazie alla semplicità del modello e dell'estrazione dello stesso ottenuta anche attraverso l'assenza di polinomi di ordine superiore al primo, garantisce risultati corretti anche al di fuori del range di misura ed estrazione rafforzando la robustezza del modello. Aspetto questo che, assieme alla assenza di condizionali sulle variabili libere, si rivela di particolare importanza durante le simulazioni in cui spesso succede che le quantità di controllo vengano fatte variare anche di molto al di fuori dell'intervallo di misura rispetto cui il modello è stato estratto, favorendo così la convergenza dell'algoritmo risolutivo del software che in molti casi è basato sul metodo di Newton-Raphson e varianti dello stesso.

3.8 FIT DEL MODELLO

Dopo aver effettuato l'estrazione dei principali parametri del modello sulla base dei dati sperimentali, è necessario proseguire con la successiva e ultima fase dell'estrazione del modello che consiste nel fitting dei dati. Quest'ultima operazione consente di far corrispondere al modello analitico i particolari dati sperimentali mediante l'individuazione dei coefficienti che meglio approssimano il comportamento del dispositivo sull'intero dominio di misura. Considerata la natura non lineare dei modelli in questione, una soluzione con approccio diretto a questo compito difficilmente è ottenibile. Un metodo per svolgere quest'ultima fase della formulazione del modello consiste in un problema di ottimizzazione non lineare.

Il problema dell'ottimizzazione non lineare implica la minimizzazione (o massimizzazione) di una specifica funzione obiettivo, che in questo caso assume il significato di funzione di errore che rende conto della differenza tra i dati sperimentali e i dati riprodotti dal modello. A partire dalla definizione del modello analitico per la carica di Gate e dai principali parametri del modello ottenuti attraverso osservazione dei dati sperimentali, si cambiano, entro certi limiti (caso dell'ottimizzazione vincolata), i parametri del modello finché si individua una soluzione a cui corrisponde un errore minimo. La funzione obiettivo (3-103) sarà quindi una funzione dipendente dalle incognite del problema X che in questo caso sono i parametri del modello.

$$F(x) \quad 3-103$$

$$x = [x_1, x_2, x_3, \dots, x_n] \quad 3-104$$

I metodi di ottimizzazione vincolata di tipo indiretto sfruttano le derivate della funzione obiettivo rispetto le incognite del problema per raggiungere la soluzione ottima. Definendo il gradiente della funzione obiettivo:

$$g(\mathbf{x}) = \nabla F(\mathbf{x}) \quad 3-105$$

se la funzione $F(\mathbf{x})$ è continua e derivabile almeno due volte è definibile la matrice delle derivate parziali che prende il nome di matrice Hessiana:

$$G(\mathbf{x}) = \begin{bmatrix} \frac{\partial^2 F}{\partial x_1^2} & \cdots & \frac{\partial^2 F}{\partial x_1 \partial x_n} \\ \frac{\partial^2 F}{\partial x_n \partial x_1} & \cdots & \frac{\partial^2 F}{\partial x_n^2} \end{bmatrix} \quad 3-106$$

Queste due quantità sono gli elementi che consentono all'algorithmo di ottimizzazione di individuare il set di variabili che minimizza la funzione obiettivo. Lo scopo di individuare il minimizzatore (\mathbf{x}) globale richiede, nel caso di algoritmi basati sul metodo del gradiente, di individuare prima la combinazione di parametri che determina una $g(\mathbf{x})$ pari a zero e, affinché questa condizione sia rappresentativa di un minimo, è necessario che tutte le derivate seconde manifestino un incremento se disturbate con una variazione infinitesimale delle corrispondenti variabili. Qualora si verificasse invece che questa situazione fosse osservabile soltanto per una delle variabili del problema, il minimo individuato sarà rappresentativo di un minimo locale rispetto la particolare variabile. Algebricamente questo concetto si formalizza come di seguito:

$$F(\mathbf{x}^*) < F(\mathbf{x}^* + \Delta\mathbf{x}) \quad \forall \Delta\mathbf{x} : 0 < \Delta\mathbf{x} < \delta \quad 3-107$$

$$\Delta\mathbf{x}^T G(\mathbf{x}^*) \Delta\mathbf{x} \geq 0 \quad 3-108$$

Questo tipo di metodo richiede il calcolo della derivata seconda della funzione di errore e si rivela efficace per problemi la cui funzione obiettivo sia di tipo quadratico rispetto alle variabili del problema. Questo metodo di ottimizzazione è ammissibile nel caso specifico in quanto, potendo contare su una condizione iniziale robusta poiché molti dei parametri del modello sono ottenuti direttamente dai dati sperimentali (la cui validità è garantita dal significato fisico che ciascuno di questi ha rispetto i principi fisici di funzionamento), questo consente di essere confidenti rispetto alla vicinanza di questa condizione iniziale dalla soluzione ottima. Nel caso in cui la condizione iniziale non sia molto affidabile, invece, bisogna approcciare il problema della ottimizzazione seguendo un approccio di tipo randomico (di tipo diretto o indiretto), oppure basato su algoritmi genetici o ancora basato sul metodo del simplesso. Quest'ultimo ha il vantaggio rispetto a gli altri di essere molto robusto ed efficiente da un punto di vista computazionale poiché, trattandosi di un metodo diretto, non implica calcolo di derivate della funzione obiettivo. Queste possibili soluzioni non garantiscono il raggiungimento di una soluzione ottima e a volte non garantiscono neppure la minimizzazione dell'errore e pertanto richiedono di limitare gli intervalli entro cui far variare

i valori dei parametri. In generale questi ultimi metodi si rivelano utili per una prima identificazione dei valori dei parametri ottenibili solo da fitting e successivamente si passa ad una seconda ottimizzazione con metodo indiretto in cui si ricerca la soluzione nell'intorno di una condizione più rappresentativa.

La funzione di errore deve essere definita rispetto alle quantità misurate e, una possibile forma è la seguente:

$$E = \sum_{i=1}^N \frac{(Meas(i) - Model(i))^2}{Meas(i)^2} \quad 3-109$$

dove *Meas* rappresenta la quantità misurata, *Model* la quantità rappresentata dal modello e N il numero totale di misure che corrisponde al numero totale di punti di polarizzazione considerati in fase di caratterizzazione. Nel caso specifico, la definizione della funzione obiettivo dovrà rendere conto della natura del problema in cui si cercano i parametri di una funzione dipendente da due variabili (V_{GS} , V_{GD}). Però, come detto nei paragrafi precedenti, dati sperimentali sulla carica di Gate utili per i nostri scopi non sono disponibili con le attuali tecniche di caratterizzazione. Allora bisognerà formulare la funzione obiettivo tenendo come riferimento quelle che sono le informazioni relative alla quantità di interesse. Nello specifico si tratta dei contributi capacitivi rappresentativi delle derivate parziali della carica di Gate ottenute elaborando i parametri della matrice delle ammettenze ricavata dalle misure di parametri di Scattering durante l'operazione di estrazione del modello a piccolo segnale.

Per la modalità in cui il modello è stato formulato, si presentano due alternative rispetto alla metodologia di procedimento del fitting dei parametri del modello. Queste consistono nell'utilizzare le espressioni analitiche delle derivate parziali dell'espressione analitica formulata per la carica di Gate oppure nell'utilizzare le derivate parziali in forma numerica della carica stessa. I parametri nei due casi sono coincidenti data la relazione funzionale di derivazione/integrazione che sussiste tra le due rappresentazione, ma introduce una ulteriore problematica di origine formale. Dovendo operare su dati sperimentali in cui le variabili libere variano in modo discreto, risulta conveniente operare l'approssimazione sull'operatore di derivata piuttosto che sulla funzione "incognita". La funzione obiettivo si definisce nel seguente modo:

$$E_{Tot} = \sum_{i=1}^N \sum_{j=1}^M \left[\frac{\left(\frac{\Delta Q_G(i,j)}{\Delta V_{GS}(i)} - C_1(i,j) \right)^2}{\left(\frac{\Delta Q_G(i,j)}{\Delta V_{GS}(i)} \right)^2} + \frac{\left(\frac{\Delta Q_G(i,j)}{\Delta V_{GD}(j)} - C_2(i,j) \right)^2}{\left(\frac{\Delta Q_G(i,j)}{\Delta V_{GD}(j)} \right)^2} \right] \quad 3-110$$

dove

$$\frac{\Delta Q_G}{\Delta V_{GS}} = \frac{Q_G(V_{GS}(i) + \Delta, V_{GD}(j)) - Q_G(V_{GS}(i))}{\Delta} \quad 3-111$$

$$\frac{\Delta Q_G}{\Delta V_{GD}} = \frac{Q_G(V_{GD}(i) + \Delta) - Q_G(V_{GD}(i))}{\Delta} \quad 3-112$$

in cui l'entità del passo con cui si calcolano le derivate parziali discrete è nell'ordine di 10^{-2} - 10^{-3} è in generale sufficientemente piccolo in relazione alle variazioni delle tensioni di polarizzazione misurate. In questo modo il fitting della carica di Gate viene effettuato rispetto alle quantità osservabili/misurabili, le sue derivate parziali, cosa che si accorda con quanto viene fatto per la formulazione del fitting del modello non lineare I-V per il quale la quantità misurata è la corrente.

Per svolgere operativamente il fitting dei parametri del modello è stato sviluppato un algoritmo software nel linguaggio Matlab che, in modo semi-automatico consente all'operatore di individuare i principali coefficienti iniziali per la successiva procedura di ottimizzazione. La routine attraverso la richiesta all'utente delle tensioni di interesse rispetto cui è possibile individuare i parametri estraibili direttamente dalle misure, conduce alla determinazione delle condizioni iniziali e degli intervalli entro cui far variare queste durante la procedura di ottimizzazione il cui risultato finale è l'insieme di coefficienti del modello della carica di Gate. Si sottintende che, qualora l'errore non venisse minimizzato al variare dei parametri, il set di condizioni iniziali fornite all'algoritmo potrebbe non essere ottimale oppure, caso ben più grave, il modello analitico non corrisponderebbe ad una corretta rappresentazione del dispositivo che si tenta di modellizzare.

3.9 VERIFICA DEL MODELLO

A conclusione di questo capitolo si mostrerà come il modello analitico si applichi a casi reali. La verifica del modello verrà effettuata mostrando come, seguendo l'approccio descritto nei precedenti paragrafi, si ottengano i parametri del modello e che questo consenta di riprodurre il comportamento dei dati sperimentali. I dati sono stati ottenuti effettuando l'estrazione del circuito equivalente a piccolo segnale secondo le tecniche che saranno descritte in dettaglio nel successivo capitolo.

La prima verifica è stata condotta sulla base di un dispositivo basato su AlGaAs-GaAs per applicazioni di media potenza in alta frequenza. Il dispositivo è caratterizzato da una lunghezza di canale pari a $0.25 \mu\text{m}$ composto da 4 finger larghi $75 \mu\text{m}$ realizzato dalla fonderia Win Semiconductor.

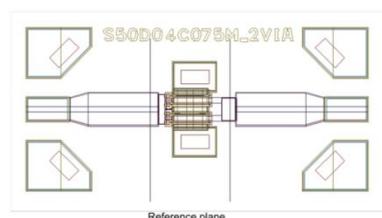


Figura 3-16: Layout del dispositivo AlGaAs-GaAs 4x75 μm Win semiconductors.

I dati sperimentali a disposizione per l'estrazione del circuito equivalente a piccolo segnale sono misure di parametri di Scattering impulsati ottenuti mediante una correzione degli errori sistematici basata sulla tecnica di calibrazione TRL effettuata con standard on-wafer.

I coefficienti iniziali ottenuti in parte per ispezione visiva degli andamenti delle quantità estratte sono elencati nella Tabella 3-2.

C_{GSP}	C_{GDP}	C_{G0}	C_{CH}	P_{11}	P_{20}	P_{21}	P_{30}	P_{31}	P_{41}	V_{t1}	V_{t2}	V_{t3}	λ_{GS}	λ_{GD}
100	40	300	4	2	-0.01	-0.01	0.1	0.6	1.8	1	1	-0.7	-0.01	-0.01

Tabella 3-2: Parametri iniziali per il modello della carica di Gate del dispositivo AlGaAs-GaAs 4x75 μm Win semiconductors.

che, in seguito alla procedura di ottimizzazione, sono stati modificati come nella Tabella 3-3.

C_{GSP}	C_{GDP}	C_{G0}	C_{CH}	P_{11}	P_{20}	P_{21}	P_{30}	P_{31}	P_{41}	V_{t1}	V_{t2}	V_{t3}	λ_{GS}	λ_{GD}
83	34	320	3.68	2.5	-0.083	-0.004	0.4	1.28	2.38	1.28	1.04	-0.78	-0.0126	-0.015

Tabella 3-3 Parametri ottimizzati del modello della carica di Gate del dispositivo AlGaAs-GaAs 4x75 μm Win semiconductors.

La verifica fatta ha avuto come principale parametro l'errore assoluto che al termine dell'ottimizzazione misurava 0.02 (partendo da quantità rappresentate in fF anziché in F). Successivamente sono stati confrontati i dati sperimentali con le derivate parziali del modello ottenuto.

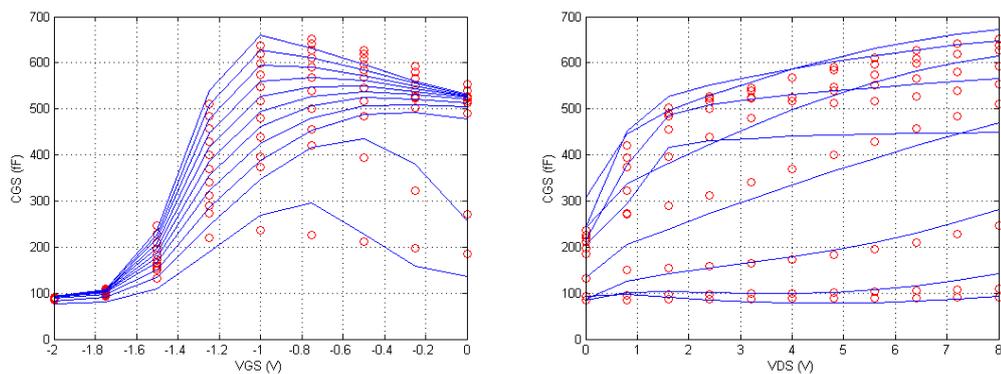


Figura 3-17: Confronto tra C_{gs} misurata (simboli) e C_1 (linea continua) del modello.

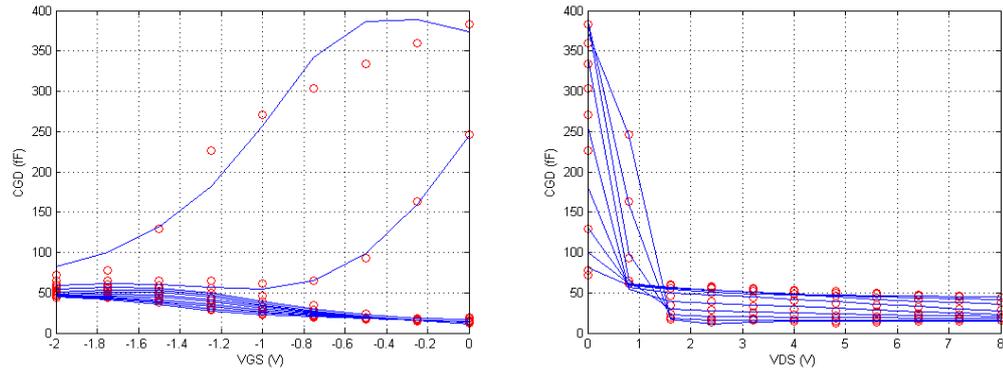


Figura 3-18: Confronto tra C_{gs} misurata (simboli) e C_2 (linea continua) del modello.

Dal confronto mostrato in Figura 3-17 e in Figura 3-18 emerge che il modello consente di riprodurre con accuratezza adeguata i dati sperimentali. Questo risultato dovrà essere successivamente validato mediante il confronto tra simulazioni e dati di misura non-lineari una volta che il modello sarà implementato nel CAD. Questo verrà mostrato nel capitolo dedicato all'implementazione del modello.

La seconda verifica è stata condotta sulla base di un dispositivo basato su AlGaAs-GaN su un substrato di SiC per applicazioni di media-alta potenza in alta frequenza. Il dispositivo è caratterizzato da una lunghezza di canale pari a $0.5 \mu\text{m}$ composto da 10 finger larghi $100 \mu\text{m}$ realizzato dalla fonderia Selex ES.

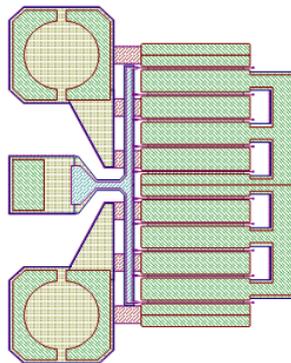


Figura 3-19: Layout del dispositivo AlGaAs-GaAs $10 \times 100 \mu\text{m}$ SELEX ES.

I dati sperimentali a disposizione per l'estrazione del circuito equivalente a piccolo segnale sono misure di parametri di Scattering impulsati ottenuti mediante una correzione degli errori sistematici basata sulla tecnica di calibrazione TRL effettuata con standard on-wafer tra 0.3 e 40 GHz.

I coefficienti iniziali ottenuti in parte per ispezione visiva degli andamenti delle quantità estratte sono elencati nella Tabella 3-4.

C_{GSP}	C_{GDP}	C_{G0}	C_{CH}	P_{11}	P_{20}	P_{21}	P_{30}	P_{31}	P_{41}	V_{t1}	V_{t2}	V_{t3}	λ_{GS}	λ_{GD}
360	170	750	4	2	-0.01	-0.01	0.2	0.3	1.5	1.2	1	-0.7	-0.01	-0.01

Tabella 3-4: Parametri iniziali per il modello della carica di Gate del dispositivo $10 \times 100 \mu\text{m}$ SELEX ES.

che, in seguito alla procedura di ottimizzazione sono stati modificati come nella

Tabella 3-5.

C_{GSP}	C_{GDP}	C_{G0}	C_{CH}	P_{11}	P_{20}	P_{21}	P_{30}	P_{31}	P_{41}	V_{t1}	V_{t2}	V_{t3}	λ_{GS}	λ_{GD}
340	155	675	4	1.95	-0.083	-0.004	0.6	1.28	1.38	1.28	1.04	-0.78	-0.0126	-0.015

Tabella 3-5: Parametri ottimizzati per il modello della carica di Gate del dispositivo $10 \times 100 \mu\text{m}$ SELEX ES.

La verifica fatta ha avuto come principale parametro l'errore assoluto che al termine dell'ottimizzazione misurava 0.018 (partendo da quantità rappresentate in fF anziché in F). Successivamente sono stati confrontati i dati sperimentali con le derivate parziali del modello ottenuto.

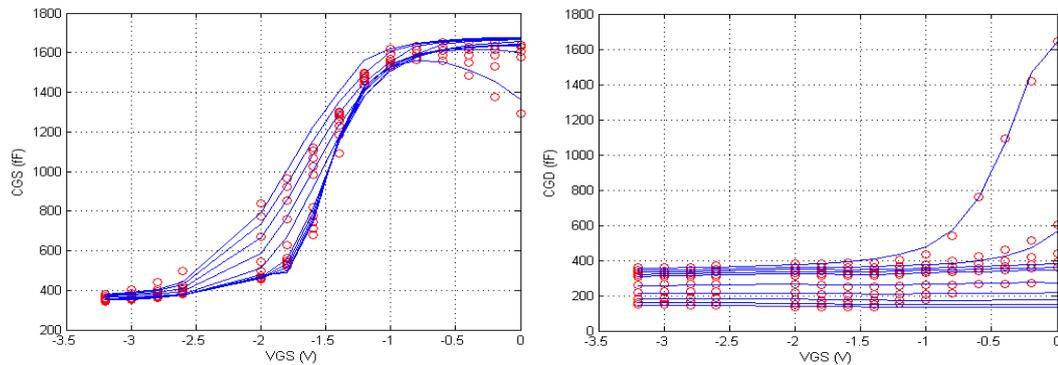


Figura 3-20: Confronto tra C_{gs} misurata (simboli) e C_1 (linea continua) del modello.

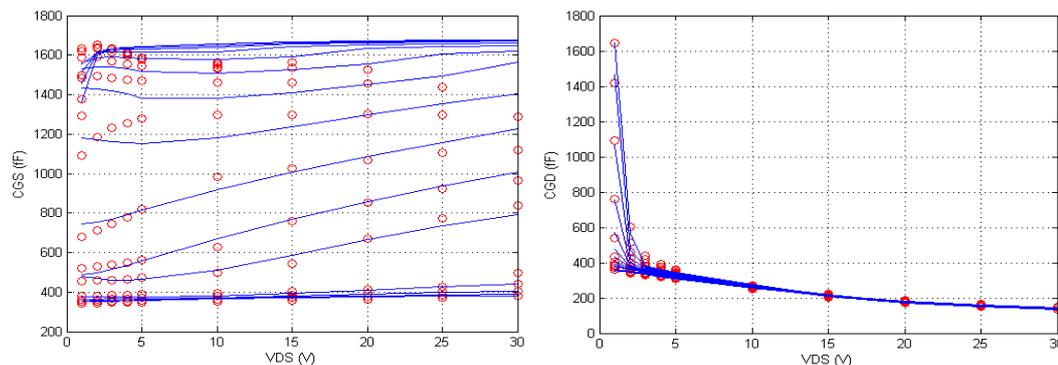


Figura 3-21: Confronto tra C_{gd} misurata (simboli) e C_2 (linea continua) del modello.

Anche in questo caso, dal confronto del modello con i dati sperimentali, mostrato in Figura 3-20 e in Figura 3-21 emerge la capacità del modello analitico di rappresentare accuratamente il comportamento del dispositivo. Questo risultato dovrà essere successivamente validato mediante il confronto tra simulazioni e dati di misura non-lineari una volta che il modello sarà implementato nel CAD. Questo verrà mostrato nel capitolo dedicato all'implementazione del modello.

3.10 FORMULAZIONE DELLA FUNZIONE DI DIVISIONE DELLA CORRENTE

Facendo riferimento al paragrafo 3.6.4 per quanto riguarda la definizione e il ruolo svolto dalla funzione di divisione della corrente, è possibile indentificare alcune caratteristiche essenziali che bisogna implementare nella formulazione della stessa funzione. In primo luogo la funzione deve essere continua e inoltre, affinché siano rappresentati in modo corretto rispetto la fenomenologia in questione, è necessario che la funzione abbia un andamento *morbido* rispetto alla variazione delle quantità di controllo. Relativamente alle quantità di controllo in [3.40], è stata proposta come variabile di controllo la differenza di tensione tra i terminali di Drain e Source V_{DS} così da rendere conto della differenza di potenziale relativa tra i due terminali e il terminale di Gate. Per formulare la sua espressione è utile tornare ad analizzare il caso in cui i terminali di Drain e Source del dispositivo sono connessi tra loro; ne risulta che per $V_{DS} = 0$ V le due funzioni f_{gs} e f_{gd} devono assumere il medesimo valore pari a 0.5. Passando al caso generale in cui i terminali di Drain e Source sono posti a potenziali diversi però, questo tipo di rappresentazione non consente di descrivere correttamente come le correnti debbano rispondere alle tensioni di controllo in quanto, sono le differenze di potenziale ai capi dei bipoli che governano le entità delle correnti. Questo, rapportato alla rappresentazione del circuito equivalente a largo segnale, evidenzia come una formulazione che tenga conto dei contributi V_{GS} e V_{GD} separatamente, risulti valida in modo più generale e flessibile nel riprodurre i dati sperimentali.

Questo è ulteriormente ribadito da aspetti pratici in quanto l'attività di modellistica interessa dispositivi caratterizzati a Source comune e durante la caratterizzazione sperimentale le tensioni applicate sono la V_{GS} e V_{DS} e perciò, riconducendo la dipendenza delle funzioni f_{gs} e f_{gd} alla sola V_{DS} , parte delle informazioni andrebbero perse. L'espressione analitica della funzione f_{gd} che si propone per il fitting dei dati sperimentali, assume la seguente forma:

$$f_{GD}(V_{GS}, V_{GD}) = 0.5 [1 - \text{Tanh}(A - B)] \quad 3-113$$

$$A = a_1 (V_{GS} - a_0) + a_2 (V_{GS} - a_0)^2 + a_3 (V_{GS} - a_0)^3 \quad 3-114$$

$$B = b_1 (V_{GD} - b_0) + b_2 (V_{GD} - b_0)^2 + b_3 (V_{GD} - b_0)^3 \quad 3-115$$

L'introduzione dei termini di ordine superiore al primo delle serie di potenze nell'argomento della funzione consente di conferire alla funzione f_{gd} una sufficiente flessibilità nella conformazione del suo andamento e allo stesso tempo non introduce evidenti problematiche

computazionali in quanto la funzione non è sottoposta a operazioni di derivazione durante la soluzione delle leggi costitutive nella simulazione.

Di seguito si riporta il confronto tra il modello e i dati sperimentali relativi ai due dispositivi usati nella verifica.

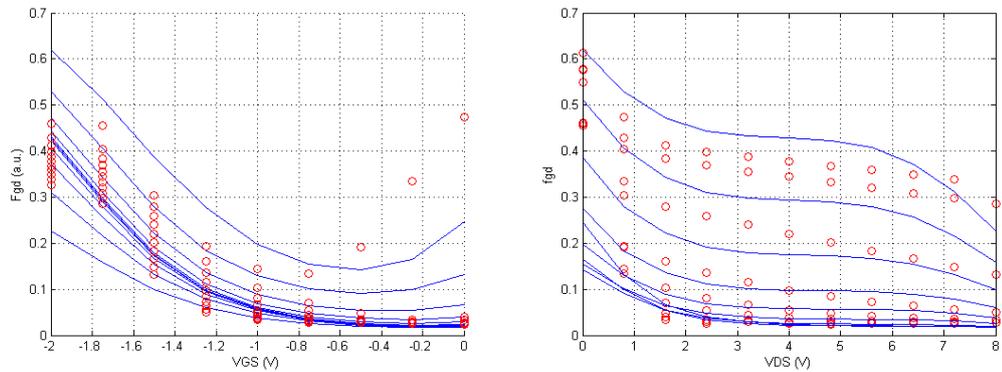


Figura 3-22: Confronto tra f_{gd} misurata (simboli) e modello (linea continua) nel caso del dispositivo basato su GaAs.

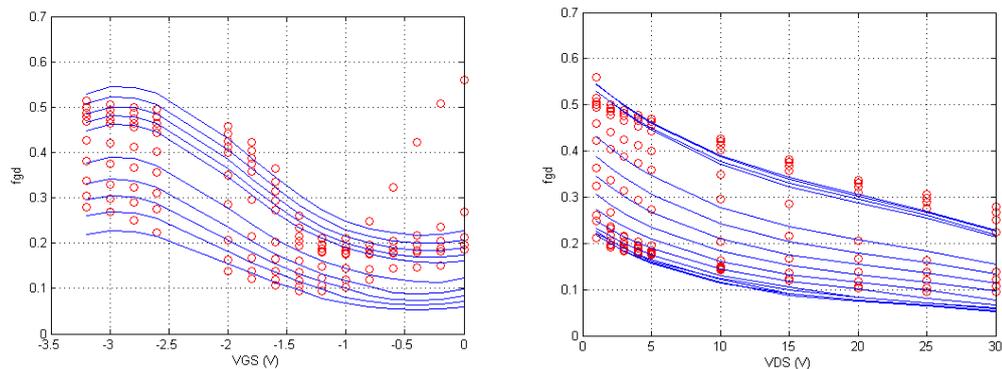


Figura 3-23: Confronto tra f_{gd} misurata (simboli) e modello (linea continua) nel caso del dispositivo basato su GaN.

Analizzando il comportamento del modello, risulta che la formulazione della funzione di divisione consente di rappresentare con adeguata accuratezza i dati sperimentali. Ciononostante, questo aspetto del modello risulta essere di grande rilevanza nell'ambito del funzionamento del modello stesso e in futuro bisognerà approfondirne lo studio.

3.11 OSSERVAZIONI SULL'INTERPRETAZIONE BASATA SULLA DIVISIONE DI CORRENTE

A margine delle analisi e argomentazioni offerte sulle diverse interpretazioni che si possono fare relativamente al comportamento della carica di Gate, è stata fatta una verifica volta a ribadire la consistenza del modello e ad evidenziare la robustezza del metodo.

Il metodo basato sulla divisione della corrente reattiva ha consentito di cambiare profondamente l'approccio con cui si analizza il comportamento della carica di Gate mediante l'introduzione della funzione di divisione. Questa particolarità, oltre ai benefici discussi in precedenza, suggerisce la possibilità di osservare l'evoluzione della corrente di Gate al variare delle tensioni applicate sebbene questa non sia misurata direttamente. Nel fare questo risulterà chiara la solidità della teoria su cui è fondato il metodo.

Partendo dall'analisi sviluppata nel paragrafo 3.6.4, operando alcune manipolazioni dei dati sperimentali è possibile risalire a tre diverse espressioni della corrente di Gate partendo dai diversi contributi misurati:

$$i_g = \frac{1}{\omega} \text{Im}\{Y_{11}\} \quad 3-116$$

$$i_g = \frac{1}{f_{gd}} \frac{1}{\omega} \text{Im}\{Y_{12}\} \quad 3-117$$

$$i_g = \frac{1}{f_{gs}} \frac{1}{\omega} \text{Im}\{Y_{11} + Y_{12}\} \quad 3-118$$

Il confronto tra gli andamenti delle tre quantità calcolate è riportato in Figura 3-24:

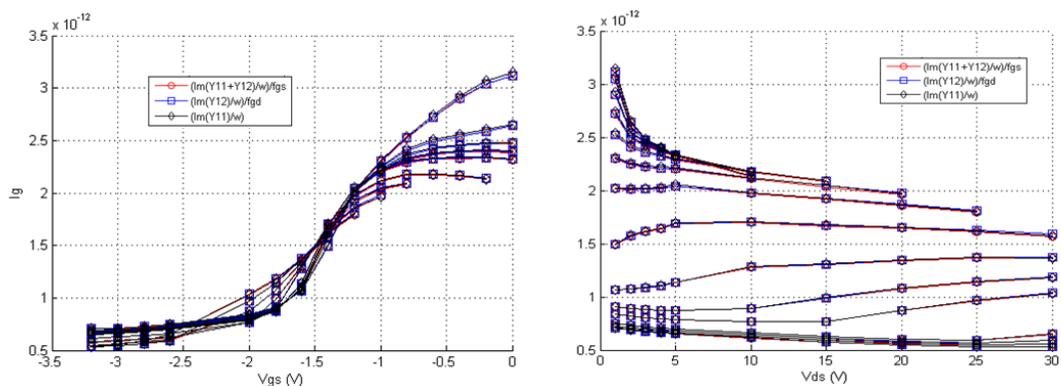


Figura 3-24: Confronto tra gli andamenti della corrente di Gate a piccolo segnale calcolati a partire dalle quantità misurate.

Analizzando i precedenti grafici emerge che, a meno di errori trascurabili derivanti dalla accuratezza dell'estrazione dei singoli elementi e dell'errore di misura, è possibile osservare un'ottima sovrapposizione delle curve. Questo consente di dire che il modello è coerente e che l'approccio basato sul criterio della divisione di corrente è effettivamente valido per trattare la carica di Gate su base di un approccio empirico.

3.12 RIFERIMENTI BIBLIOGRAFICI

- [3.1] D. E. Root, "Measurement-based active device modeling for circuit simulation," Eur. Microw. Conf. Advanced Microw. Devices, Characterization, and Modeling Workshop, Madrid, Sept. 1993.
- [3.2] J. Staudinger, M. C. De Baca, and R. Vaitkus, "An examination of several large signal capacitance models to predict GaAs HEMT linear power amplifier performance," IEEE Radio and Wireless Conf., Aug. 1998, pp. 343-346.
- [3.3] D. E. Root, "Nonlinear charge modeling for FET large-signal simulation and its importance for IP3 and ACPR in communication circuits," Proc. 44th IEEE Midwest Symp. on Circuits and Sys., Dayton OH, Aug. 2001, pp. 768-772
- [3.4] P. Yang, B. Epler and P. Chatterjee, "An Investigation of the Charge Conservation Problem for MOSFET Circuit Simulation," IEEE J. Solid-State Circuits, vol. SC-18, no. 1, p. 128, 1983.
- [3.5] T. J. Drummond, W. T. Masselink and H. Morkoç "Modulation-doped GaAs/AlGaAs heterojunction field-effect transistors: MODFET's", Proc. IEEE, vol. 74, no. 6, pp.773 -822 1986
- [3.6] H. Rohdin, P. Roblin, "A MODFET dc model with improved pinch off and saturation characteristics", IEEE Trans Electron Devices, Vol. 33, pp. 664-672, 1986
- [3.7] G. George and J. Hauser, "An Analytic Model for MODFET Capacitance-Voltage Characteristics," IEEE Trans. Elec. Dev., Vol. 37, No. 5, pp. 1193-1198, 1990
- [3.8] T. Takada, K. Yokoyama, M. Ida, and T.Sudo, "A MESFET Variable Capacitance Model for GaAs Integrated Circuit Simulation," IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-30, No. 5, pp. 719-723, May 1982.
- [3.9] T. Chen and M. Shur, "A Capacitance Model for GaAs MEFSETS," IEEE Transactions on Electron Devices, Vol. ED-12, No. 5, pp. 883-891, May 1985.
- [3.10] M. Shur, "GaAs FETs: Device physics and modeling," in GaAs Devices and Circuit, New York: Plenum, Chapter 7, pp343-390, 1987.
- [3.11] C.M. Snowden and R.R. Pantoja, " Quasi-Two-Dimensional MESFET Simulation for CAD," IEEE Transactions on Electron Devices, Vol. 36, No.9, pp.1564-1574, September 1989.

- [3.12] T.M. Barton and C.M. Snowden, "Two-Dimensional Numerical Simulation of Trapping Phenomena in the Substrate of GaAs MESFETs," IEEE Transactions on Electron Devices, Vol. 37, No.6, pp. 1409-1415, June 1990.
- [3.13] J.S. Atherton, C.M. Snowden, and J.R. Richardson, "Characterization of Thermal Effects on Microwave Transistor Performance Using An Efficient Physical Model," IEEE MTT-S International Microwave Symposium Digest, pp.1181-1184, 1993.
- [3.14] S. D'Agostino and A. Beti-Beruto, "Physical-based Expressions for the Nonlinear Capacitances of the MESFET Equivalent Circuit," IEEE Transactions on Microwave Theory and Techniques, Vol. 42, No.3, pp. 403-406, March 1996.
- [3.15] N. Scheinberg, R.J. Bayruns, P.W. Wallace, and R. Goyal, "An Accurate MESFET Model for Linear and Microwave Circuit Design," IEEE Journal of Solid-State Circuits, Vol. 24, No.2, pp.532-538, April 1989.
- [3.16] I. Angelov, H. Zirath, N. Rorsman, "A New Empirical Nonlinear Model for HEMT Devices," IEEE MTT-S International Microwave Symposium Digest, pp. 1583-1586, 1992.
- [3.17] J. Rodriguez-Tellez, K. Mezher, and M. Al-Ddaas, "Improved Junction Capacitance Model for the GaAs MESFET," IEEE Transaction on Electron Devices, Vol. 40, No. 11, pp.2083-2085, November 1993.
- [3.18] H. Statz, P. Newman, I. Smith, R. Pucel, and H. Haus, "GaAs FET Device and Circuit Simulation in SPICE," IEEE Trans. Electron Devices, Vol. ED-34, 1987, pp. 160-169.
- [3.19] Parker, A. E. and Skellern, D. J., "A Realistic Large-signal MESFET Model for SPICE," IEEE Trans. On Microwave Theory and Techniques, vol. MTT-45, no. 9, Sep. 1997, pp. 1563-1571
- [3.20] D. Root and B. Hughes, "Principles of nonlinear active device modeling for circuit simulation," 32nd Automatic Radio Frequency Techniques Group Conf, Dec. 1988.
- [3.21] A. Snider, "Charge conservation and the transc capacitance element: An exposition," IEEE Tran. Educ., vol. 38, no. 4, pp-376-379, Nov. 1995.
- [3.22] D. E. Root, S. Fan, and J. Meyer, "Technology independent non quasi-static FET models by direct construction from automatically characterized device data," 21st Eur. Microw. Conf. Proc., Stuttgart, Germany, pp. 927-932, Sept. 1991.
- [3.23] D. E. Root and S. Fan, "Experimental evaluation of large-signal modeling assumptions based on vector analysis of bias-dependent S-parameter data from MESFETs and HEMTs," IEEE Int. Microwave Symp. Dig., pp. 255-259, 1992.
- [3.24] W. Struble et al., "A New Small Signal MESFET and HEMT Model Compatible With Large Signal Modeling" IEEE MTS 1994 International Microwave Symp. Digest, p. 1567, 1994.
- [3.25] N. Scheinberg and E. Chisholm, "A Capacitance Model for GaAs MESFET's," IEEE J. Solid-State Circuits, vol. 26, no. 10, p. 1467, 1991.
- [3.26] "Large signal model for a pseudomorphic heterojunction electron mobility transistor", European patent application #ep0997 833a2 (2000)
- [3.27] Z. Zhong , Y.-X. Guo and M. S. Leong "A consistent charge model of GaAs MESFETs for Ku-band power amplifiers", IEEE Trans.Microw. Theory Tech., vol. 59, no. 9, pp.2246 - 2253 2011

- [3.28] M. V. Calvo , A. D. Snider and L. P. Dunleavy "Resolving capacitor discrepancies between large and small signal FET models", IEEE MTT-S Int. Microw. Symp. Dig., pp.1251 - 1254 1995
- [3.29] Calvo, M.V.; Snider, A.D. "Resolution of linear/nonlinear inconsistencies in charge-conservative FET models", Southeastcon '96. Bringing Together Education, Science and Technology., Proceedings of the IEEE, On page(s): 428 - 431
- [3.30]D. E. Root, "Principles and procedures for successful large-signal measurement-based FET modeling for power amplifier design," Nov. 2000. Available: <http://cp.literature.agilent.com/litweb/pdf/5989-9099EN.pdf>
- [3.31] D. E. Root "Elements of measurement-based large-signal device modeling", IEEE Radio and Wireless Conf. (RAWCON) Workshop on Modeling and Simulation of Devices and Circuits for Wireless Commun. Syst., Colorado Springs, Aug. 1998.
- [3.32] D. E. Root, J. Xu, D. Gunyan, J. Horn, and M. Iwamoto, "The large-signal model: theoretical and practical considerations, trade-offs, and trends," IEEE Int. Microw. Symp. workshop (WMB), Boston,2009.
- [3.33] A. C. T. Aarts, R. van der Hout; J. C. J. Paasschens, A. J. Scholten, M. Willemsen, and D. B. M. Klaassen, "Capacitance modeling of laterally non-uniform MOS devices," IEEE IEDM Tech. Dig., pp. 751-754, Dec. 2004
- [3.34] A. E. Parker and D. J. Skellern, "A Realistic Large Signal MESFET Model for Spice," IEEE Trans. Microwave Theory Tech., vol. 45, no. 9, p. 1463, 1997
- [3.35] M. Wren and T. J. Brazil, "Enhanced Prediction of pHEMT Nonlinear Distortion Using a Novel Charge Conservative Model," IEEE MTS 2004 International Microwave Symp. Digest, p. 31, 2004
- [3.36] R. B. Hallgren and P. H. Litzenberg, "TOM3 Capacitance Model: Linking Large- and Small-Signal MESFET Models in SPICE," IEEE Trans. Microwave Theory Tech., vol. 47, no. 5, p. 556, 1999
- [3.37] Z. Zhong , Y.-X. Guo and M. S. Leong "A consistent charge model of GaAs MESFETs for Ku-band power amplifiers", IEEE Trans.Microw. Theory Tech., vol. 59, no. 9, pp.2246 - 2253, 2011
- [3.38] I. Angelov, L. Bengtsson and M. Garica, "Extensions of the Chalmers nonlinear HEMT and MESFET model," IEEE Trans. Microwave Theory & Tech., vol.44, no. 10, pp.1664-1674, Oct. 1996
- [3.39] Follmann, R. Kother, D. at all. "Consistent large signal implementation of capacitances driven by two steering voltages for FET modeling" EUMC 2005, Vol. 2, 4-6 Oct. 2005 Page(s):3-6
- [3.40] S. Mass "Division by current: A new approach to FET capacitance modeling", Int. Nonlinear Microw. Millimeter-Wave Circuits, pp.16 -19 2010
- [3.41] B. D. Popovic, "Introductory Engineering Electromagnetics", Reading, MA: Addison-Wesley, 1971, pp. 196-198
- [3.42] Hans Hjelmgren, Erik Kollberg, Lennart Lundgren, "Numerical simulations of the capacitance of forward-biased Schottky-diodes", Solid-State Electronics Volume 34, Issue 6, June 1991, Pages 587.sci

4 MODELLO A PICCOLO SEGNALE

4.1 INTRODUZIONE

In linea con la scelta effettuata relativa alla strategia di modellizzazione adottata che si basa su un approccio empirico e sulla rappresentazione mediante circuito equivalente, in questo capitolo saranno presentate in dettaglio le strategie di formulazione ed estrazione del modello a piccolo segnale di HFET. Il modello a piccolo segnale risulta importante in un contesto in cui si intende sviluppare modelli auto-consistenti poiché è a partire da questa rappresentazione che si costruisce il corrispondente modello non-lineare. Questa relazione evidenzia la necessità di sviluppare un insieme di strumenti mediante i quali sia possibile ottenere con sufficiente accuratezza i parametri del modello a partire dalle misurazioni. Gli strumenti di cui si parla sono strumenti analitici che sfruttano metodi empirici attraverso cui i parametri del modello sono ricavati.

Il modello non-lineare che si propone si basa sulla seguente topologia:

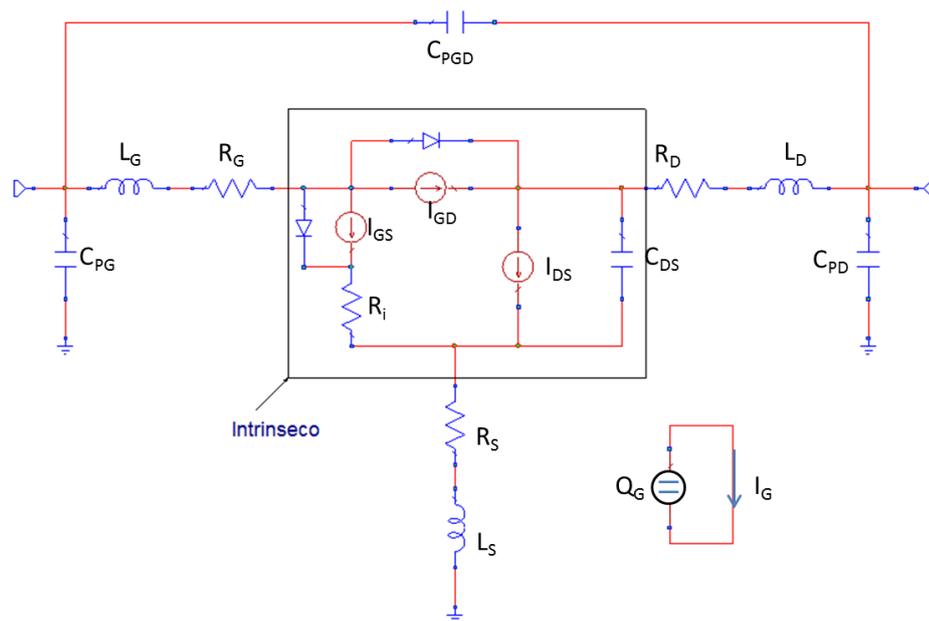


Figura 4-1: Modello non-lineare a circuito equivalente di HFET.

Alla rete elettrica discussa nel precedente capitolo sono stati aggiunti ulteriori elementi circuitali per poter rappresentare in modo più accurato il comportamento del dispositivo. Da questa rappresentazione, attraverso un processo di linearizzazione si deriva la corrispondente rappresentazione a piccolo segnale che sarà descritta e trattata nel seguito di questo capitolo.

4.2 MODELLO A CIRCUITO EQUIVALENTE A PICCOLO SEGNALE

In Figura 4-2 è illustrato il circuito equivalente a piccolo segnale a elementi concentrati in configurazione a Source comune derivato linearizzando il circuito rappresentato in Figura 4-1.

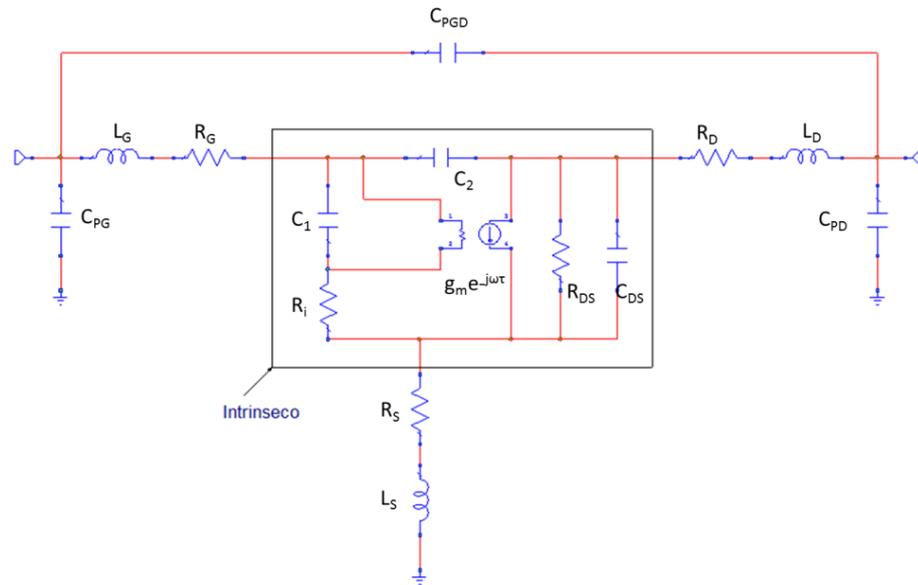


Figura 4-2: Circuito equivalente a piccolo segnale di HFET in saturazione in configurazione Source comune.

La scelta della topologia e l'introduzione di ciascun elemento del modello deriva dall'interpretazione dei fenomeni fisici e della struttura fisica del tipo di dispositivo in esame. Questa relazione garantisce la necessaria robustezza e consistenza del modello e perciò di fondamentale importanza. La definizione della topologia del modello è affrontata nella prima fase dell'attività di modellizzazione. Ciononostante sono ammesse delle modifiche (in genere introduzione di elementi aggiuntivi) qualora questa risulti inadeguata a rappresentare gli effetti che intervengono nel funzionamento del dispositivo.

Il circuito equivalente illustrato in Figura 4-2 si compone di due sotto-circuiti: una parte è denominata "estrinseca" e l'altra "intrinseca" e ciascuna è pensata per rappresentare specifici effetti.

4.2.1 ELEMENTI ESTRINSECI

Gli elementi del modello indentificati come L_G , L_S e L_D rappresentano il comportamento induttivo propri delle metallizzazioni dei pad di accesso di Gate, Source e Drain rispettivamente. La loro entità dipende dalla geometria del layout del dispositivo e dalla tecnologia (microstriscia o coplanare). Facendo riferimento alle geometrie tipiche di transistori ad effetto di campo con layout a "T" o "a farfalla", tipicamente L_S è piccola mentre L_G , associata a contatti di Gate caratterizzati da bassi valori di L (lunghezza del canale del transistor) assume valori maggiori.

I resistori R_S e R_D inglobano l'effetto resistivo delle metallizzazioni di accesso e quello della resistenza di contatto metallo-semiconduttore di tipo ohmico dei terminali di Source e di Drain e sia la resistenza di bulk riguardante la regione di semiconduttore interposta tra i terminali del dispositivo e la regione attiva. R_G è introdotta per modellizzare la resistenza della metallizzazione di Gate. Nell'ottica di sviluppare modelli non-lineari con il metodo empirico, bisogna sottolineare che l'accuratezza con cui viene effettuata l'estrazione dei comportamenti resistivi parassiti è fondamentale. Le tensioni interne effettive che controllano il funzionamento della parte intrinseca infatti assumono valori direttamente dipendenti da queste quantità attraverso la corrente che scorre nei terminali:

$$\begin{cases} V_{GSi} = V_{GS} - R_S I_{DS} - R_G I_G \\ V_{DSi} = V_{DS} - (R_S + R_D) I_{DS} \\ V_{GDi} = V_{GSi} - V_{DSi} \end{cases} \quad 4-1$$

I capacitori parassiti descrivono due diversi fenomeni: uno è l'effetto capacitivo che si verifica tra la metallizzazione del contatto e il semiconduttore, l'altro rende conto dell'accoppiamento capacitivo tra diversi terminali. Il primo tipo di contributo riguarda gli elementi individuati come C_{PG} e C_{PD} . Questi essendo rappresentativi del contributo capacitivo dovuto alle metallizzazioni con il substrato, saranno dipendenti prevalentemente dalla geometria dei pad e dalla costante dielettrica del semiconduttore. La disposizione circuitale di questi due capacitori è dipendente sia dalla struttura del dispositivo e sia dalla massima frequenza rispetto cui si desidera utilizzare il modello [4.1]. Le topologie possibili per la rete elettrica rappresentativa dei parassiti capacitivi sono riportate in Figura 4-3

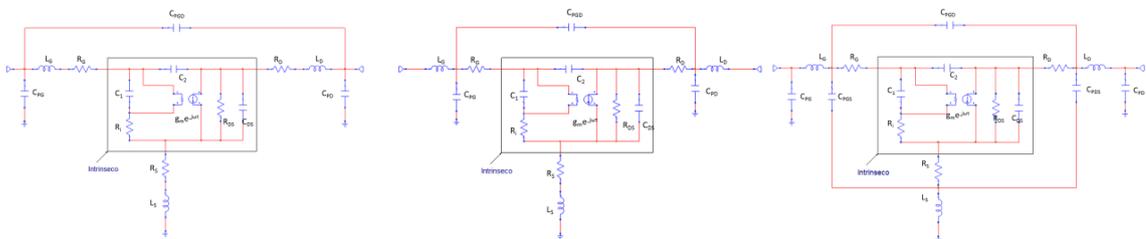


Figura 4-3: Possibili topologie per i contributi capacitivi della rete parassita.

Si osserva infine che la capacità di accoppiamento C_{pgd} tra terminale di Gate e i terminali di Source e Drain è tipicamente di valore modesto (il dielettrico in questo caso è l'aria) e tende a ridursi con l'aumento della larghezza (W) del canale del dispositivo.

4.2.2 ELEMENTI INTRINSECI

La parte intrinseca del circuito equivalente rappresenta il vero dispositivo attivo ed è perciò di fondamentale importanza che sia modellizzata e caratterizzata nel migliore modo possibile affinché il circuito equivalente finale sia rappresentativo del dispositivo in esame. A differenza degli elementi che rappresentano i contributi parassiti, i valori degli elementi del circuito intrinseco variano con le tensioni applicate. Questo implica, nell'ambito della caratterizzazione del circuito equivalente a largo segnale, la caratterizzazione del

comportamento per tutte le condizioni di polarizzazione d'interesse in ottica applicativa indagando l'intero dominio per la successiva formulazione del modello non-lineare.

I fenomeni reattivi riconducibili all'accumulo di carica con le relative dinamiche sono descritti dai capacitori intrinseci. Tra questi abbiamo in particolare C_1 e C_2 (con $C_1 = \partial Q_G / \partial V_{gs}$ e $C_2 = \partial Q_G / \partial V_{gd}$) la cui somma corrisponde alla capacità totale associata al Gate comprendendo sia il contributo relativo alla giunzione Schottky di Gate sia il contributo relativo alla capacità tra elettrodo di Gate e canale. Tipicamente in dispositivi a effetto di campo, a causa delle differenti distribuzioni di campi elettrici applicati mediante la polarizzazione nel normale funzionamento del transistor, queste due capacità sono caratterizzate da diversi valori e diversi andamenti al variare della polarizzazione. L'elemento identificato con C_{ds} è invece introdotto per descrivere la capacità, a carattere prevalentemente geometrico, tra il contatto di Drain e il contatto di Source a livello di substrato e generalmente non varia significativamente al variare della polarizzazione in regime di funzionamento in cui la giunzione di Gate non sia polarizzata in diretta.

Una particolare attenzione deve essere rivolta alla problematica della consistenza del modello a piccolo segnale con quello a largo segnale relativamente alla rappresentazione dei fenomeni reattivi corrispondenti alla parte intrinseca del modello. La trattazione del modello non-lineare precedentemente esposta riconduce questi elementi (dipendenti dalle tensioni applicate) ad una sola sorgente di carica controllata simultaneamente da due tensioni. Questo tipo di interpretazione rende possibile una formulazione della topologia del circuito equivalente a piccolo segnale come riportata in Figura 4-2 nella quale figurano due contributi direttamente riconducibili alla carica di Gate in modo univoco senza dover invocare la presenza di ulteriori contributi capacitivi.

I resistori che compaiono nel circuito equivalente intrinseco rappresentano tre diversi fenomeni. R_i rappresenta la resistenza tra la regione di canale posta al di sotto del contatto di Gate e la regione di Source che non è sottoposta a entità di campo elettrico tale da indurre trasporto di carica a velocità prossima alla velocità di saturazione. Questa resistenza consente di migliorare la modellizzazione dell'impedenza d'ingresso del transistor. La resistenza R_{ds} (o preferibilmente conduttanza di uscita: g_{ds}) descrive le variazioni incrementali della corrente di uscita in funzione delle variazioni della tensione tra Drain e Source per tensione di Gate fissa. L'importanza di questo elemento deriva dalle influenze che produce sulle prestazioni del dispositivo in termini di massimo guadagno di tensione e influisce in modo decisivo sull'impedenza di uscita del dispositivo. In generale è desiderabile per un FET avere valori di R_{ds} (g_{ds}) molto elevati (molto bassi). Se il suo contributo non è trascurabile ($R_{ds} \ll \infty$), anche per valori di V_{DS} superiori a V_{DSat} la corrente di Drain è influenzata dalla tensione di Drain e di conseguenza la pendenza della caratteristica di uscita $I_{DS}-V_{DS}$ risulta non nulla, e pari a $g_{ds}=1/R_{ds}$. Ciò determina un malfunzionamento del dispositivo che si manifesta come la mancata saturazione della corrente. Questo comportamento è illustrato in Figura 4-4

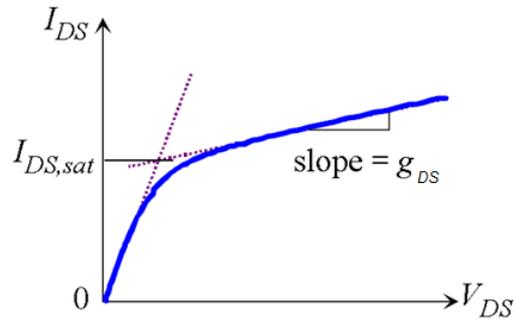


Figura 4-4: Effetto della conduttanza di uscita non nulla sulla corrente del HFET.

Particolarmente importante è il fenomeno noto come “dispersione in frequenza” che rende conto della variazione tra funzionamento in DC e funzionamento in RF manifestato dall’elemento R_{ds} (g_{ds}). Precisamente si verifica la riduzione (l’incremento) del valore della resistenza di uscita R_{ds} (della conduttanza di uscita, g_{ds}) con l’aumento della frequenza del segnale dalla continua fino a qualche decina di MHz. La rappresentazione di questo comportamento, qualora si presentasse, determina la modifica alla topologia del circuito equivalente associato prevedendo l’introduzione di un ramo aggiuntivo in parallelo all’elemento R_{ds} così da implementare questa modulazione della conduttanza di uscita al variare della frequenza. Il circuito linearizzato risultante in questo caso è rappresentato in Figura 4-5:

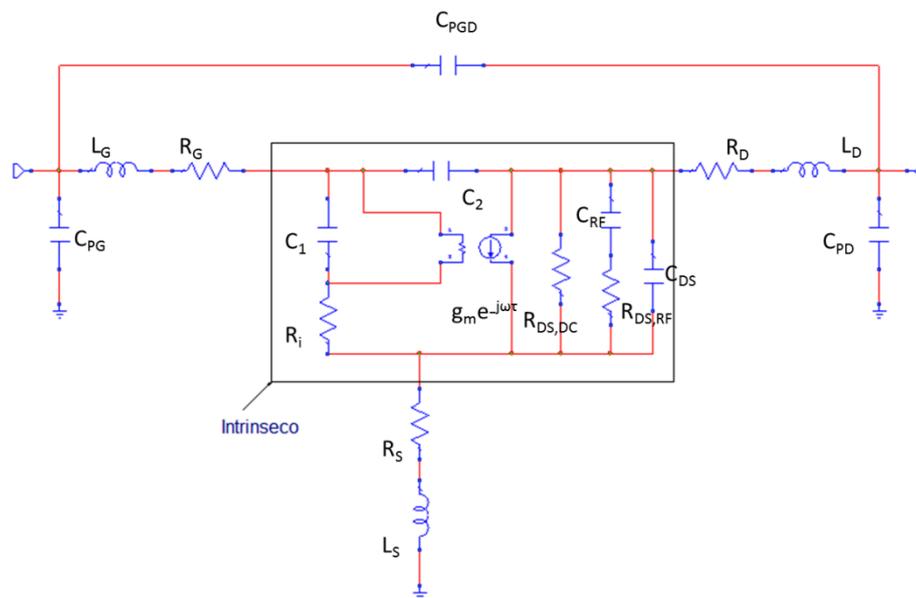


Figura 4-5: Modello lineare a circuito equivalente inclusivo dei fenomeni di dispersione.

La trans-conduttanza (g_m) modella il guadagno di corrente del dispositivo HFET. Esattamente si definisce come la misura dell’incremento della corrente di uscita al variare della tensione applicata al Gate per tensione di Drain costante. Anche questo elemento può manifestare il fenomeno della dispersione in frequenza come una riduzione del suo valore

massimo fino a quote pari al 20% rispetto al suo valore in DC. A questo elemento inoltre si associa anche il tempo di ritardo/transito τ che descrive il tempo che la carica elementare nel canale impiega per raggiungere una nuova condizione di equilibrio in seguito ad una variazione della tensione applicata all'elettrodo di Gate. Tipici valori di questo termine sono nell'ordine del pico-secondo e si riduce con la lunghezza del canale (L).

4.1 ESTRAZIONE DEI PARAMETRI DEL CIRCUITO EQUIVALENTE

Il modello a circuito equivalente di dispositivi elettronici è estraibile da misure sperimentali secondo due possibili approcci: uno di questi è basato sull'utilizzo massiccio di procedure di ottimizzazione, l'altro si basa sulla tecnica di estrazione diretta dei singoli contributi al modello. L'approccio che sfrutta l'ottimizzazione dei parametri del modello consiste nell'individuare la combinazione di parametri che permettono la riduzione della differenza tra le quantità misurate (parametri di Scattering) e il modello stesso. Questo metodo, oltre ad essere basato su un processo lento e oneroso da un punto di vista computazionale, presenta alcune ulteriori criticità. La necessità di disporre di opportuni valori iniziali per i parametri dei componenti del circuito equivalente e la molteplicità delle soluzioni (incluso tra queste risultati poco corretti da un punto di vista fisico), si manifestano con i problemi tipici per questo tipo di approccio che sono i minimi locali della funzione obiettivo del problema (il problema è intrinsecamente non-lineare). Per queste ragioni, a questo approccio è stato preferito quello che si basa sull'estrazione diretta dei parametri del modello.

La tecnica di estrazione diretta [4.2, 4.3] consente di individuare singolarmente le entità di ciascun elemento del modello a circuito equivalente, sfruttando specifiche misurazioni effettuate in particolari condizioni di polarizzazione con le quali si evidenziano i comportamenti elettrici a cui si è interessati. Si tratta di un approccio che sfrutta misure DC e AC e, in particolare, attraverso il controllo della polarizzazione si fa in modo di isolare particolari comportamenti a vantaggio di altri. Nello specifico, la principale differenza che si sfrutta è tra misure a *zero bias* corrispondenti ad una condizione di misura per cui la differenza di potenziale tra Drain e Source nulla, con misure *hot* effettuate con tensione Drain-Source non nulla. La prima condizione si sfrutta per individuare le componenti del circuito estrinseco poiché la parte intrinseca risulta essere assimilabile ad una rete passiva e pertanto semplificata. Il termine Cold-FET deriva dalla condizione per cui la caduta di potenziale sul ramo Drain-Source è nulla e in tale situazione il canale si comporta come una rete passiva (Figura 4-6).

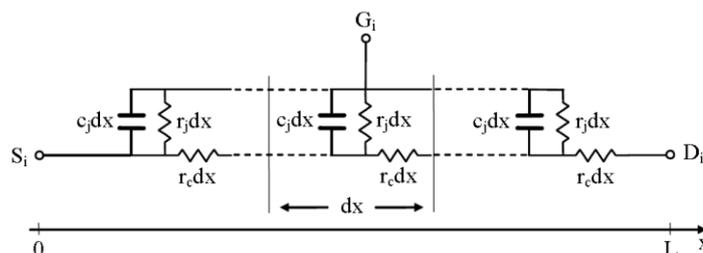


Figura 4-6: Rappresentazione della regione intrinseca nella condizione cold-FET.

In Figura 4-6 viene mostrata la schematizzazione distribuita del canale per $V_{DS} = 0$ V. I termini $c_j dx$, $r_j dx$ e $r_c dx$ rappresentano rispettivamente la capacità dinamica, la resistenza dinamica

della giunzione Schottky e la resistenza di canale di una sezione infinitesima (lunga dx) sottostante il terminale di Gate. Grazie alla condizione di chiusura simmetrica del dispositivo (essendo $V_{DS} = 0$ V), tutte le celle sono identiche tra loro e quindi il circuito può essere facilmente associato alla rappresentazione di una linea di trasmissione, la cui impedenza caratteristica e la cui costante di propagazione è fornita dalla (4-2) [4.4]:

$$Z_c = \sqrt{\frac{R_c}{1/R + j\omega C_g}}; \quad \Gamma = \sqrt{R_c(1/R + j\omega C_g)} \quad 4-2$$

in cui $R_c = r_c L$ è la resistenza totale di canale, $R = r_j L$ e $C_g = C_j L$ sono rispettivamente la resistenza dinamica e la capacità dinamica totale della giunzione di gate e dove L è la lunghezza del canale. Per la maggior parte dei dispositivi la lunghezza del canale è molto piccola e quindi la seguente condizione risulta essere verificata anche per frequenze non eccessivamente elevate:

$$|\Gamma L| \ll 1 \quad 4-3$$

La seconda condizione viene successivamente sfruttata per calcolare deterministicamente i parametri della parte intrinseca del modello che risulteranno pertanto dipendenti dalle tensioni applicate. A differenza del precedente approccio, questo risulta essere robusto, efficiente e accurato, qualora le misurazioni che si adoperano per l'estrazione siano sufficientemente accurate. Il metodo di estrazione diretta del circuito equivalente si articola in 5 passi fondamentali. Questi sono:

- 1) Esplorazione delle caratteristiche I-V del dispositivo. Questo studio preliminare, volto ad esplorare i diversi regimi di funzionamento del dispositivo è indispensabile alla successiva identificazione di polarizzazioni di interesse in ottica di caratterizzazione e modellizzazione oltre a definire il campo di validità del modello stesso.
- 2) Estrazione dei valori da associare ai componenti del circuito equivalente estrinseco (parassiti) sfruttando misurazioni in DC e misurazioni di parametri di Scattering con terminale di Source e Drain allo stesso potenziale. Note come misure in condizioni di "Cold-FET", si effettuano misure di parametri S quando nel canale non scorre alcuna corrente. Questa condizione di polarizzazione è utile poiché consente di rappresentare il dispositivo con un modello analitico "semplice" riducendo il numero di incognite in modo da rendere il problema ben condizionato e risolvibile. Inoltre pone il dispositivo in una condizione in cui il canale è uniforme e in luogo dell'assenza di fenomeni di drift consente di eliminare dal circuito equivalente il generatore di corrente controllato da V_{GS} e ammette l'assunzione per cui $S_{21} = S_{12}$. Per ciascuna tipologia di elementi circuitali esisterà una particolare condizione di polarizzazione della giunzione di Gate che ne agevola la caratterizzazione. Le possibili alternative e la scelta di quest'ultimo aspetto verrà discusso nel seguito.
- 3) Per ciascuna polarizzazione, relativamente a cui sono stati acquisiti i parametri di Scattering, si effettua una procedura di elaborazione volta a rimuovere da questi il contributo degli elementi parassiti precedentemente estratti. Questa elaborazione analitica è nota con il nome di de-embedding. L'idea è quella di sfruttare le relazioni analitiche che descrivono i parametri Z e Y del circuito equivalente ai singoli elementi circuitali. Quindi note le espressioni analitiche dei termini espressi in una

rappresentazione matriciale adeguata al tipo di elemento che si intende processare (rimuovere), si procede alla elaborazione dei dati sperimentali del dispositivo. Al termine della procedura si ottiene il comportamento del solo transistor intrinseco epurato dai contributi degli elementi parassiti.

- 4) Sfruttando le informazioni sul comportamento del solo intrinseco (parametri Y) si procede alla valutazione mediante espressioni analitiche dei valori associati a ciascun elemento del circuito equivalente intrinseco per ciascuna polarizzazione (Hot-FET). Solitamente, questa fase della caratterizzazione procede elaborando i dati una frequenza per volta (o in altri termini per ciascun valore di frequenza appartenente all'intervallo di misura). I valori degli elementi ottenuti per ogni frequenza (o per le frequenze assunte come significative ai fini della modellizzazione) sono infine mediati in modo che risultino indipendenti dalla frequenza. Come verifica della correttezza della topologia, in questa fase si possono valutare le variazioni manifestate dai valori dei componenti dell'intrinseco rispetto la frequenza. Questi, nel caso di una adeguata topologia al variare della frequenza non dovrebbero manifestare grandi variazioni.
- 5) Mediante una procedura duale a quella del passo 2 si procede a integrare il circuito intrinseco con gli elementi estrinseci mediante analoghe elaborazioni matriciali. A valle di questa serie di passi si effettuano le dovute verifiche della bontà della caratterizzazione del circuito equivalente e nel caso siano necessarie, si procede a piccole ottimizzazioni del circuito finale. Quindi come ultimo passo si effettua la verifica del modello la quale, abbinata alla procedura di ottimizzazione, consente di ottenere una quasi-perfetta riproduzione da parte del circuito equivalente degli andamenti dei parametri di Scattering del dispositivo ottenendo cioè coincidenza con le misurazioni.

Si evince che il buon esito della procedura di estrazione è fortemente sensibile alla accuratezza con cui si quantificano le entità dei componenti estrinseci. Il contributo dell'intrinseco deriva dal de-embedding dei parametri S del dispositivo completo a cui si sottraggono i contributi parassiti poiché i singoli elementi intrinseci derivano da espressioni analitiche esplicite. La valutazione dei componenti parassiti perciò rappresenta la maggiore criticità del processo e perciò meritevole di attenzione in sede di scelta dell'approccio che meglio si applica al particolare dispositivo.

4.2 METODOLOGIE ADOTTATE PER L'ESTRAZIONE DELL'ESTRINSECO

4.2.1 CONDENSATORI ESTRINSECI

Le tecniche disponibili e documentate in letteratura per estrarre le entità delle capacità parassite C_{PG} e C_{PD} , sono numerose [4.2, 4.5, 4.6]. Tutti i metodi proposti sfruttano misurazioni dei parametri di Scattering in condizione di polarizzazione detta al *pinch-off* ($V_{GS} \leq V_p$, con V_p , che rappresenta la tensione di Gate, per tensioni di Drain nulla, che determina lo svuotamento del canale. Mediante relazioni analitiche, a partire dai parametri di Scattering si possono ottenere facilmente i corrispondenti parametri Y (ammettenze di corto-circuito) in luogo di una rete semplificata ottenuta mediante la condizione cold-FET e rendendo

l'intrinseco una rete completamente capacitiva mediante la tensione di Gate. Attraverso la manipolazione di questi parametri, e in particolare, ricavando la pendenza della parte immaginaria dei parametri Y, è possibile estrarre le entità dei contributi capacitivi parassiti.

Nella suddetta condizione di polarizzazione, il canale del dispositivo è assimilabile ad un circuito aperto poiché la resistenza di canale è molto elevata. Per la condizione imposta mediante $V_{DS} = 0$ V anche il contributo dovuto a C_{DS} sarà trascurabile. Operando in regime di medio-basse frequenze ($f < 4$ GHz) è possibile trascurare gli elementi induttivi; il circuito equivalente risultante è:

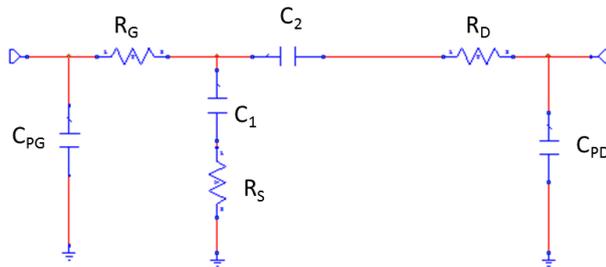


Figura 4-7 circuito equivalente in condizione di pinch-off cold fet

Sulla base della metodologia esposta in [4.2], si assume $C_1 = C_2 = C_f$; si ricorda infatti che per $V_{DS} = 0$ V, la funzione di divisione della corrente è tale per cui $f_{gd} = f_{gs} = 0.5$ permettendo tale assunzione. Nella suddetta condizione, analiticamente avremo che la parte immaginaria dei parametri della matrice di ammettenza per la rete 2-porte saranno:

$$\begin{cases} \text{Im}(Y_{11}) = \omega(C_{pg} + 2C_f) \\ \text{Im}(Y_{12}) = -\omega C_f \\ \text{Im}(Y_{22}) = \omega(C_{pd} + C_f) \end{cases} \quad 4-4$$

I tipici andamenti delle parti immaginarie dei parametri di ammettenza in questa condizione sono:

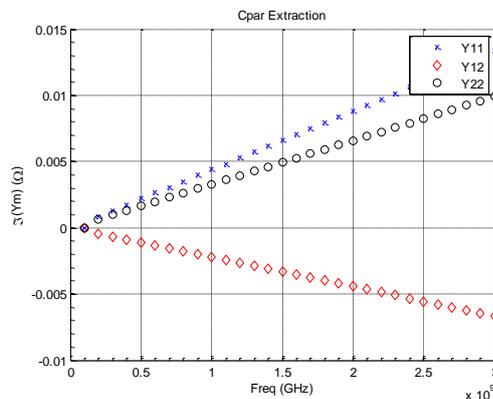


Figura 4-8: Andamento della parte immaginaria dei parametri della matrice di ammettenza di un HFET in condizione di pinch-off cold-FET.

Mediante operazioni matriciali è facile risalire alle quantità desiderate:

$$C_{pg} = \frac{Im(Y_{11}) + 2 Im(Y_{12})}{\omega} \quad 4-5$$

$$C_{pd} = \frac{Im(Y_{22}) + Im(Y_{12})}{\omega} \quad 4-6$$

i cui valori saranno infine mediati rispetto alle variazioni di frequenza, ottenendo così le entità dei parassiti capacitivi di interesse.

Alternativamente, i contributi capacitivi parassiti possono essere estratti sfruttando misurazioni al *pinch-off* su dispositivi di dimensioni diverse: si sfrutta la scalatura della larghezza di canale W ($C_1, C_2 \propto W$) qualora fossero disponibili diversi prototipi di transistori distinti per la diversa larghezza di canale [4.7]. Sfruttando le regole di scalatura a cui obbediscono gli elementi del circuito equivalente intrinseco, che si riassumono di seguito:

$g_m = g_{m0} \times W/W_0$	$\tau = \tau_0$	
$R_{gs} = \frac{R_{gs0}}{W/W_0}$	$R_{gd} = \frac{R_{gd}}{W/W_0}$	$R_{ds} = \frac{R_{ds0}}{W/W_0}$
$C_1 = C_{10} \times \frac{P}{W_0} + N \times C_{1e}$	$C_2 = C_{20} \times \frac{P}{W_0} + N \times C_{2e}$	$C_{ds} = C_{ds0} \times \frac{P}{W_0} + N \times C_{dse}$

Tabella 4-1: Regole di scalatura degli elementi del circuito intrinseco in funzione della larghezza del canale e del numero di finger.

e partendo dalla topologia riportata in Figura 4-7, risulta che:

$$\begin{cases} Im(Y_{11}) = \omega(C_{pg} + 2C_f + C_{pgd}) = \omega(C_{pg} + C_{pgd}) + 2\omega W C_{f0} \\ Im(Y_{12}) = -\omega(C_f + C_{pgd}) = -\omega C_{pgd} - \omega W C_{f0} \\ Im(Y_{22}) = \omega(C_{pd} + C_f + C_{pgd}) = \omega(C_{pd} + C_{pgd}) + \omega W C_{f0} \end{cases} \quad 4-7$$

Sfruttando misure su diversi dispositivi, è possibile ottenere attraverso l'estrapolazione effettuata rispetto a W i contributi parassiti cercati dopo averli mediati rispetto alla frequenza:

$$\begin{cases} \lim_{\omega \rightarrow 0} \text{Im}(Y_{11}) = \omega(C_{pg} + C_{pgd}) \\ \lim_{\omega \rightarrow 0} \text{Im}(Y_{12}) = -\omega C_{pgd} \\ \lim_{\omega \rightarrow 0} \text{Im}(Y_{22}) = \omega(C_{pd} + C_{pgd}) \end{cases} \quad 4-8$$

Sfruttando semplici passaggi algebrici infine si determinano le entità dei singoli contributi.

$$C_{pg} = \frac{\text{Im}(Y_{11}) + 2 \text{Im}(Y_{12})}{\omega} \quad 4-9$$

$$C_{pd} = \frac{\text{Im}(Y_{22}) + \text{Im}(Y_{12})}{\omega} \quad 4-10$$

$$C_{pgd} = -\text{Im}(Y_{12}) \quad 4-11$$

I risultati ottenuti mediante le due tecniche sono stati introdotti e i risultati sono riportati in Tabella 4-2:

	Pinch-off	Pinch-off+Dev. scaling
C _{pg}	61 fF	72 fF
C _{pd}	55.7 fF	66 fF
C _{pgd}	NA	7 fF

Tabella 4-2: Confronto tra i risultati ottenuti per i contributi capacitivi parassiti mediante le due tecniche di estrazione.

La differenza tra i due metodi deriva essenzialmente dalla impossibilità del primo approccio di includere il contributo parassita C_{pgd} la cui ricaduta si manifesta con una sottostima dei due contributi ottenuti.

4.2.2 INDUTTORI ESTRINSECI

L'estrazione delle induttanze parassite nel caso di dispositivi di tipo HFET, presenta alcune difficoltà pratiche derivanti dalla residua componente capacitiva osservabile durante le misurazioni in condizioni di polarizzazione "in diretta" della giunzione di Gate che, solitamente, si adottava per effettuare l'estrazione di questi elementi. Polarizzando la giunzione di Gate in diretta, si dovrebbe infatti azzerare la componente capacitiva dovuta alla giunzione di Gate ottenuta mediante la forte riduzione della componente resistiva della giunzione stessa. Si riportano, a titolo di esempio, gli andamenti dei parametri di Scattering

di un HFET a cui sono stati sottratti i contributi capacitivi mediante procedura di de-embedding, relativi alla polarizzazione cold-FET e $V_{GS} = 0.6$ V ($I_g = 3$ mA) che evidenziano tale comportamento tipico per questa tipologia di dispositivi.

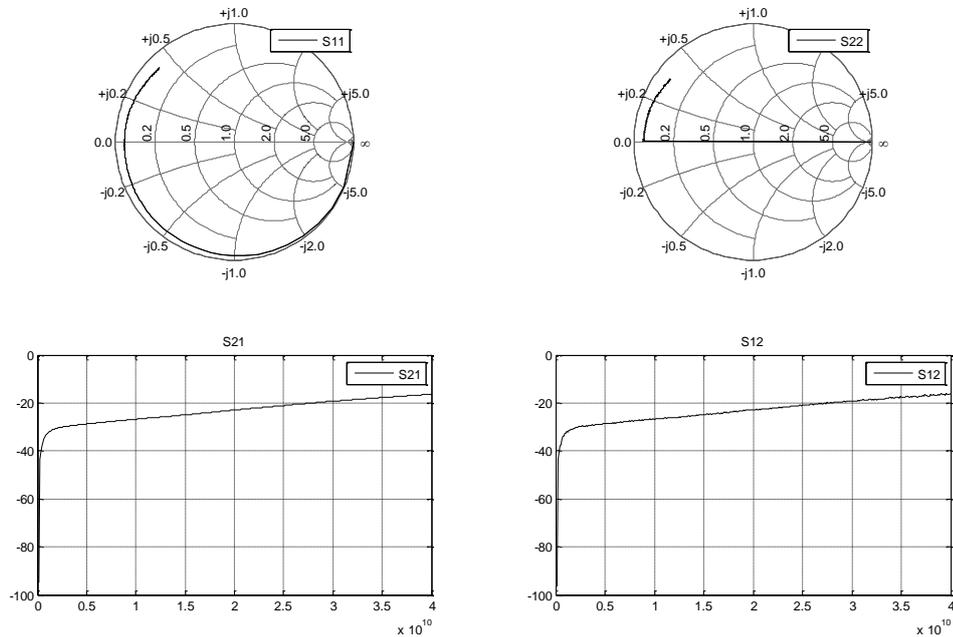


Figura 4-9: Parametri S di un AlGaAs-GaAs HFET per $V_{DS}=0$, $V_{GS}=0.6$ ($I_g=3$ mA) dopo aver rimosso i contributi capacitivi parassiti.

A causa di questa caratteristica che accomuna tutti gli HFET, si preferisce affrontare l'estrazione dei contributi induttivi parassiti polarizzando il dispositivo cold-FET in una condizione di canale aperto ($V_{GS} = 0$ V). La rappresentazione circuitale, con cui si assume essere rappresentabile il dispositivo in tale condizione di polarizzazione, è la seguente:

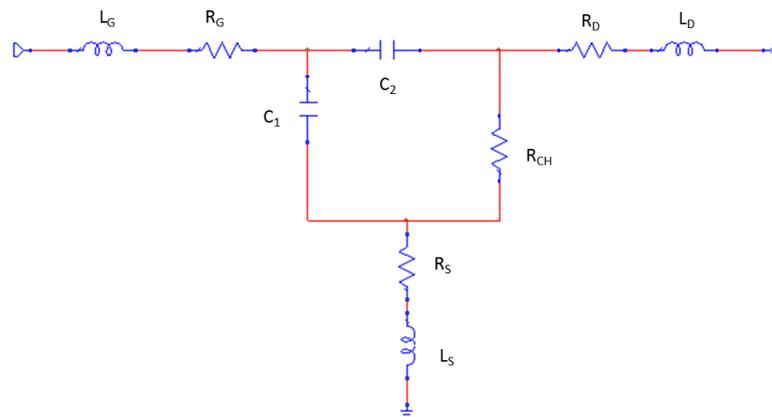


Figura 4-10: Modello a circuito equivalente a canale aperto in condizione cold-FET dopo aver rimosso i contributi parassiti capacitivi.

Il circuito di Figura 4-10 è rappresentabile in una forma equivalente trasformando la rete a Pi Greco in una a T. Il circuito risultante assumendo $C_1 = C_2$ e trascurando i termini di secondo grado ($\omega^2 C^2 R_{ch} \ll 1$), è rappresentato nella figura che segue:

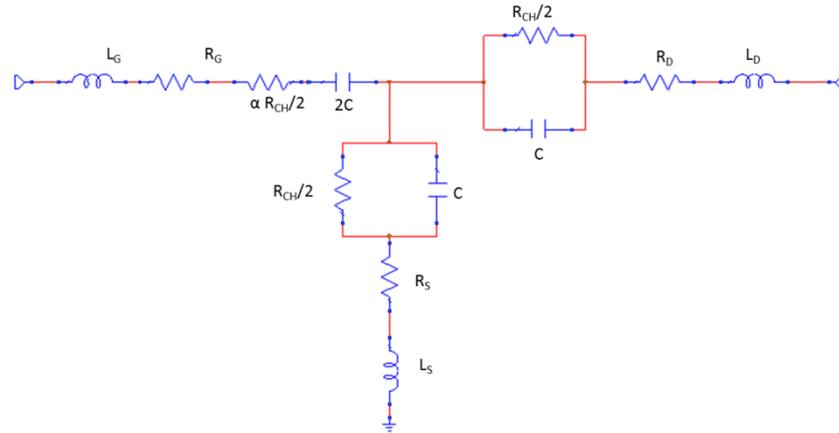


Figura 4-11: Modello a circuito equivalente a canale aperto in condizione cold-FET dopo aver rimosso i contributi parassiti capacitivi dopo trasformazione da Pi a T.

Le impedenze dei tre rami del modello e le corrispondenti componenti della matrice delle impedenze della rete sono esprimibili come funzione degli elementi circuitali presenti nel circuito di Figura 4-11 e le corrispondenti componenti immaginarie risultano [4.8]:

$$\begin{cases} \text{Im}(Z_{11}) = \omega(L_g + L_s) - \frac{1}{\omega} \left(\frac{1}{2C} + \frac{1}{C} \right) \\ \text{Im}(Z_{12}) = \omega L_s - \frac{1}{\omega C} \\ \text{Im}(Z_{22}) = \omega(L_d + L_s) - \frac{1}{\omega} \left(\frac{1}{C} + \frac{1}{C} \right) \end{cases} \quad 4-12$$

Per estrarre i contributi induttivi risulta conveniente effettuare una semplice manipolazione delle equazioni:

$$\begin{cases} \omega \text{Im}(Z_{11}) = \omega^2(L_g + L_s) - \left(\frac{1}{2C} + \frac{1}{C} \right) \\ \omega \text{Im}(Z_{12}) = \omega^2 L_s - \frac{1}{C} \\ \omega \text{Im}(Z_{22}) = \omega^2(L_d + L_s) - \left(\frac{1}{C} + \frac{1}{C} \right) \end{cases} \quad 4-13$$

dalla quale è immediato ottenere le entità dei parassiti induttivi dalla pendenza della parte immaginaria delle impedenze moltiplicate per ω vs ω^2 , i cui andamenti tipici risultano come in :

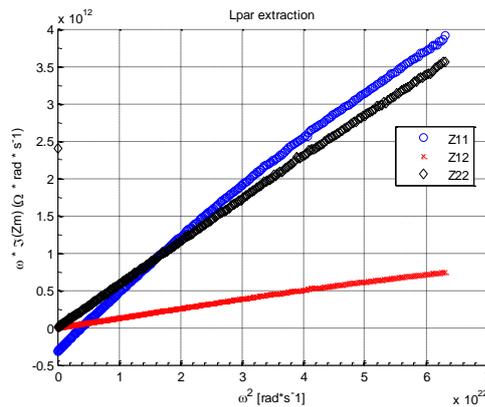


Figura 4-12: Andamento della parte immaginaria dei parametri della matrice delle impedenze moltiplicate per ω un HFET in condizione di pinch-off cold-FET

Per garantire maggiore accuratezza nella estrazione di questi contributi, è necessario che la pendenza della parte immaginaria delle impedenze sia valutata per alte frequenze in corrispondenza delle quali l'incidenza dei comportamenti capacitivi dell'intrinseco risulta essere di minore rilevanza rispetto a quelli induttivi. A partire da queste quantità, attraverso un'operazione di media rispetto ai valori ottenuti nell'intervallo di frequenza di estrazione, si ottengono le desiderate entità dei parassiti induttivi.

4.2.3 RESISTORI ESTRINSECI

L'estrazione dei resistori parassiti di HFET può essere svolta seguendo due diversi approcci. Uno di questi richiede l'elaborazione di specifiche misurazioni in DC dei diversi rami (Gate-Source, Gate-Drain, Drain-Source) [4.9] e in particolari condizioni di polarizzazione. L'alternativa a questo metodo consiste nell'affrontare l'estrazione sfruttando misure di parametri di Scattering. Sebbene per la natura del problema il primo metodo risulti essere il più robusto, sono state osservate in ambito applicativo diverse complicazioni. Alcune di queste derivano dal set-up di misura richiesto per le caratterizzazioni. Altre scaturiscono dalla necessaria, ma difficilmente ottenibile, accuratezza di misura che per dispositivi per applicazioni di alta frequenza, a causa di lunghezze di canale molto ridotte, manifestano non-idealità delle giunzioni metallo-semiconduttore nelle quali si osservano fenomeni di secondo ordine che complicano notevolmente la procedura di estrazione dei resistori parassiti.

Approcciando l'estrazione dei contributi resistivi parassiti con il metodo basato sulla misura di soli parametri di Scattering, occorre individuare una strategia di estrazione con cui ottenere le entità dei 3 diversi contributi introdotti nel modello di piccolo segnale considerando che in genere, questo è un problema male condizionato poiché presenta 4 incognite a fronte di un numero massimo di 3 relazioni algebriche. La quarta incognita del problema è rappresentata dalla resistenza di canale del dispositivo che, seppure di piccola entità, non è trascurabile. Inoltre, per quanto già esposto riguardo la particolarità del comportamento capacitivo di dispositivi di tipo HFET relativamente alla condizione di polarizzazione in diretta, non è possibile affidarsi su misure di parametri S con la giunzione

di Gate polarizzata in diretta per osservare comportamenti resistivi anche a bassa frequenza a scapito dell'accuratezza dell'estrazione.

La soluzione proposta a questo problema si basa su una metodologia sviluppata in passato [4.10] la quale non implica misure di parametri S in diretta ma sfrutta due diverse misure, una a canale aperto ($V_{po} < V_{GS} < V_T$) e una al *pinch-off* ($V_{GS} < V_{po}$), dove V_T rappresenta la tensione di soglia della giunzione di gate. I dati sperimentali su cui si effettua l'estrazione dei contributi resistivi parassiti, sono da considerarsi preliminarmente corretti dai contributi parassiti reattivi estratti precedentemente. Inoltre bisogna fare l'assunzione che il comportamento dei parassiti resistivi sia indipendente dalle tensioni applicate, fatta eccezione per il contributo R_G . Polarizzando il dispositivo con una tensione di Gate corrispondente al *pinch-off*, il circuito equivalente del dispositivo risulta:

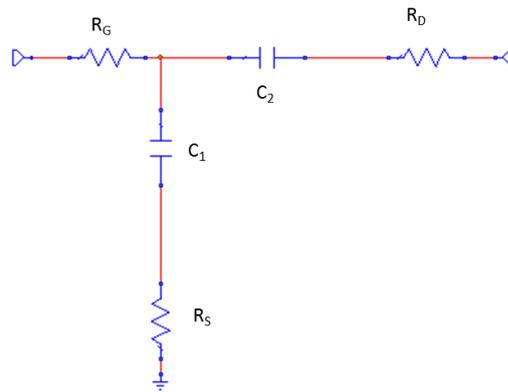


Figura 4-13: Modello a circuito equivalente al pinch-off in condizione cold-FET dopo aver rimosso i contributi parassiti capacitivi e induttivi.

A cui corrispondono i seguenti parametri della matrice delle impedenze:

$$Re(Z_{11}) = R_G + R_S \quad 4-14$$

$$Re(Z_{12}) = R_S \quad 4-15$$

mediante i quali si ricava il termine incognito R_G estraendo i due contributi attraverso la media al variare della frequenza dei due andamenti. Si osserva che, per garantire sufficiente accuratezza alle quantità estratte, occorre sfruttare dati ricavati rispetto al range di frequenza medio-alta in cui il peso dei contributi capacitivi risulta paragonabile o di minore entità rispetto a quello dei contributi resistivi.

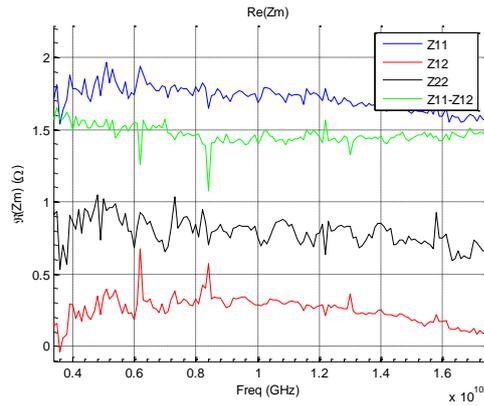


Figura 4-14: Andamento rispetto la frequenza della parte reale dei parametri della matrice delle impedenze al pinch-off in condizione cold-FET dopo aver rimosso i contributi parassiti capacitivi e induttivi.

Successivamente si procede all'elaborazione della misura di parametri di Scattering del dispositivo polarizzato a canale aperto la cui rappresentazione a circuito equivalente (una volta rimossi i contributi reattivi) risulta:

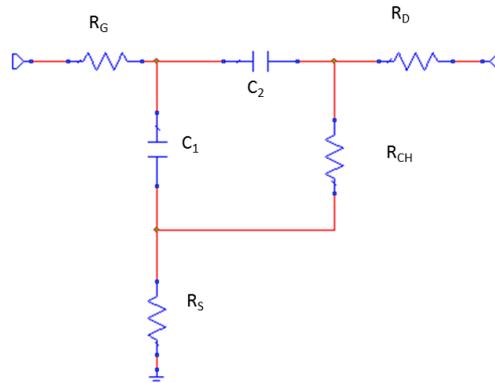


Figura 4-15: Modello a circuito equivalente a canale aperto in condizione cold-FET dopo aver rimosso i contributi parassiti capacitivi e induttivi.

Effettuando una trasformazione stella - triangolo si ricava il circuito equivalente riportato nella Figura 4-16, in cui si è fatta l'assunzione che $C_1 = C_2$ e si sono trascurati i termini di secondo grado ($\omega^2 C^2 R_{ch} \ll 1$):

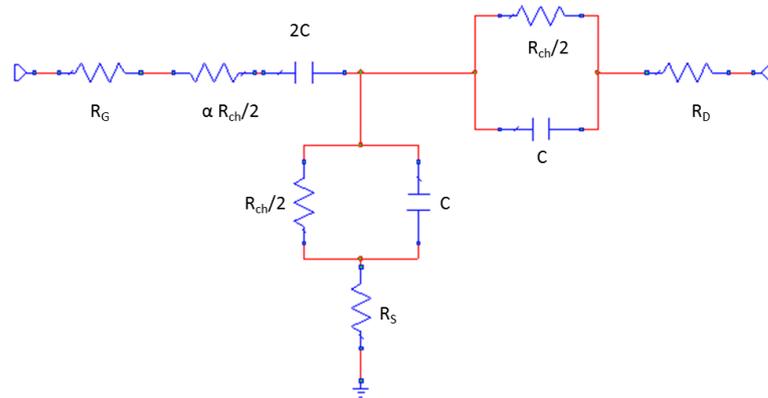


Figura 4-16: Modello a circuito equivalente a canale aperto in condizione cold-FET dopo aver rimosso i contributi parassiti capacitivi e induttivi e dopo trasformazione da Pi a T.

Al circuito di Figura 4-16 è possibile associare una matrice delle impedenze i cui elementi saranno esprimibili in funzione degli elementi circuitali introdotti e nello specifico la corrispondente parte reale di questi sono:

$$Re(Z_{11}) = R_g + R_s + (1 + \alpha) \frac{R_{ch}}{2} \quad 4-16$$

$$Re(Z_{12}) = R_s + \frac{R_{ch}}{2} \quad 4-17$$

$$Re(Z_{22}) = R_s + R_{ch} + R_d \quad 4-18$$

In cui α è un parametro che quantifica la ripartizione della resistenza di canale rispetto il ramo Gate-Source e Gate-Drain.

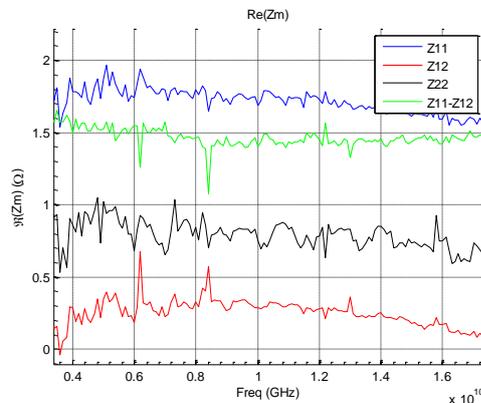


Figura 4-17: Andamento rispetto la frequenza della parte reale dei parametri della matrice delle impedenze a canale aperto in condizione cold-FET dopo aver rimosso i contributi parassiti capacitivi e induttivi.

Questo parametro è ricavabile sperimentalmente mediante misure in continua [4.11] ma, in accordo con quanto osservato e dimostrato sperimentalmente [4.12], per la condizione di misura di nostro interesse, risulta che $\alpha=0.5$ consentendo così di ottenere direttamente i restanti contributi parassiti risolvendo il sistema di 3 equazioni lineari rispetto le 3 incognite ($\text{Det}(M) \neq 0$) seguente:

$$\begin{bmatrix} 1 & \frac{1+\alpha}{2} & 0 \\ 1 & \frac{1}{2} & 0 \\ 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} R_s \\ R_{ch} \\ R_D \end{bmatrix} = \begin{bmatrix} \text{Re}(Z_{11}) - R_G \\ \text{Re}(Z_{12}) \\ \text{Re}(Z_{22}) \end{bmatrix} \quad 4-19$$

La determinazione della resistenza di Gate, in circostanze in cui la lunghezza del canale sia piccola, è molto importante. Dall'accuratezza con cui si ricava questo elemento, dipende l'accuratezza con cui si modella il guadagno e quindi il funzionamento del dispositivo, mentre i contributi parassiti di Drain e Source impattano direttamente sulla valutazione delle entità delle tensioni intrinseche (in modo maggiore di quanto non avvenga per la R_G poiché la corrente di Gate è molto inferiore a quella di Drain).

La bontà della metodologia proposta è osservabile confrontando gli andamenti e le entità delle due componenti capacitive della parte intrinseca del modello a circuito equivalente con $V_{DS} = 0 \text{ V}$ che si riportano di seguito:

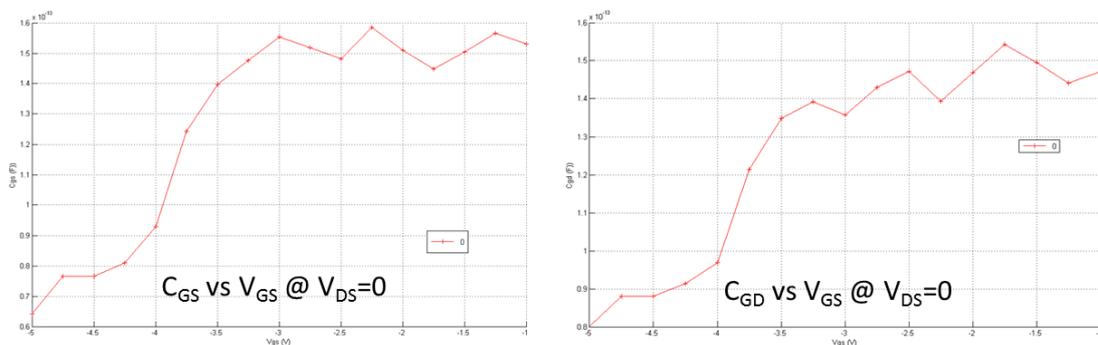


Figura 4-18: Confronto tra le entità dei contributi capacitivi intrinseco per un dispositivo simmetrico nel caso di $V_{ds}=0\text{V}$

i quali manifestano che, grazie ad una corretta estrazione dei contributi resistivi parassiti, questi risultano uguali nel caso di dispositivi simmetrici come è in nel caso illustrato.

4.3 DE-EMBEDDING DEI PARASSITI

La procedura mediante la quale è possibile ottenere dalle misure i dati da cui estrarre i parametri della parte del modello intrinseco al variare delle tensioni, consiste nella rimozione dei contributi parassiti dalle misure sul dispositivo. Le misure per la formulazione del modello di dispositivi per applicazioni di alta frequenza sono misure di parametri di Scattering (CW o impulsate) ottenute al variare della frequenza e delle tensioni di controllo applicate. Queste sono inizialmente rappresentative di tutto il comportamento del dispositivo e quindi rapportate al circuito equivalente di Figura 4-19.

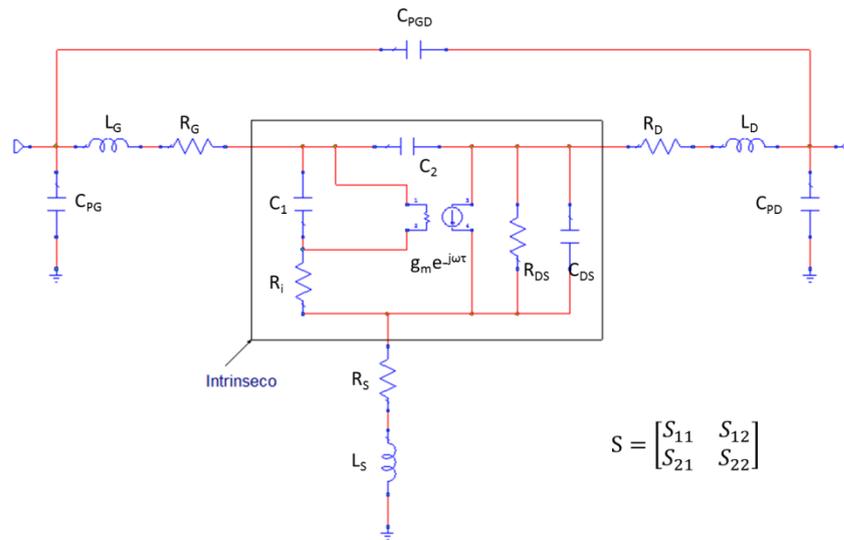


Figura 4-19: Corrispondenza della misura con il circuito equivalente completo con parametri S.

Questi dati rappresentano il comportamento complessivo del dispositivo misurato direttamente on-wafer mediante opportune sonde coplanari e sfruttando adeguate tecniche di correzione degli errori sistematici di misura mediante l'utilizzo di specifici standard di calibrazione possibilmente realizzati sul medesimo wafer dove sono fabbricati i dispositivi. A partire da questi dati sperimentali è possibile, mediante operazioni matriciali che si rifanno alla connessione di reti 2-porte, procedere alla sottrazione dei contributi dovuti ai parassiti. Le manipolazioni matriciali consistono prevalentemente in trasformazioni di matrici per la rappresentazione di reti 2-porte (S, Z, Y). In termini pratici si ricorre ad una rappresentazione nella forma di matrici di impedenze quando il contributo parassita da rimuovere è connesso in serie rispetto ai terminali del dispositivo intrinseco. Data la topologia proposta in Figura 4-19 per il modello, questa operazione prevede la successione di soli due passaggi.

Il primo passaggio interessa i contributi capacitivi. Per i contributi connessi in parallelo rispetto ai terminali del dispositivo intrinseco, si sfruttano rappresentazioni nella forma di matrice delle ammettenze. In questa forma di rappresentazione l'operazione consiste di semplici operazioni aritmetiche da applicare ai singoli parametri della matrice Y come quelli riportati nella successiva figura:

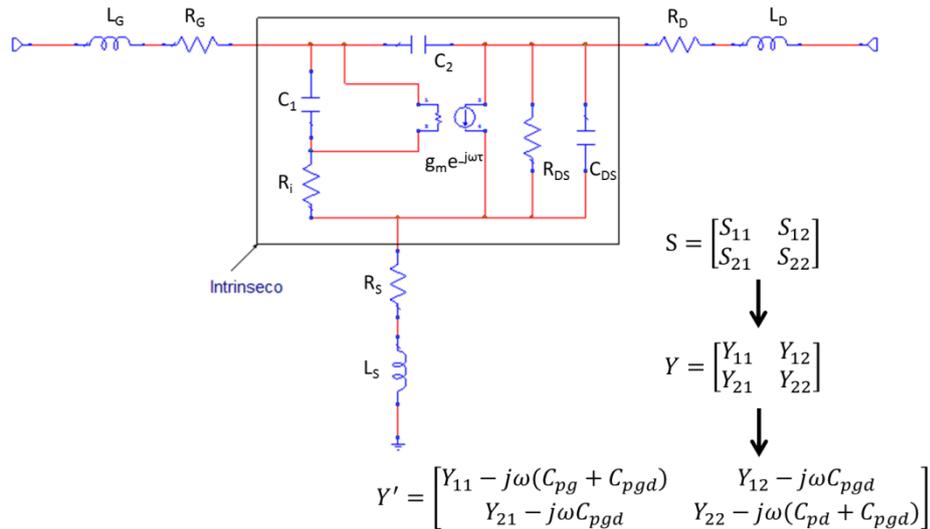


Figura 4-20: Circuito risultante dopo il de-embedding dei parassiti capacitivi.

Il secondo e, in questo caso, ultimo passaggio consiste nella rimozione dei contributi induttivi e resistivi parassiti. Questa operazione si effettua riconducendo la rappresentazione della rete risultante dal precedente passaggio nella forma di matrice delle impedenze, dopodiché mediante operazioni di sottrazione al variare della frequenza, si ottengono i parametri rappresentativi della sola parte intrinseca del dispositivo. Le operazioni algebriche a cui si fa riferimento sono riportate nella Figura 4-21:

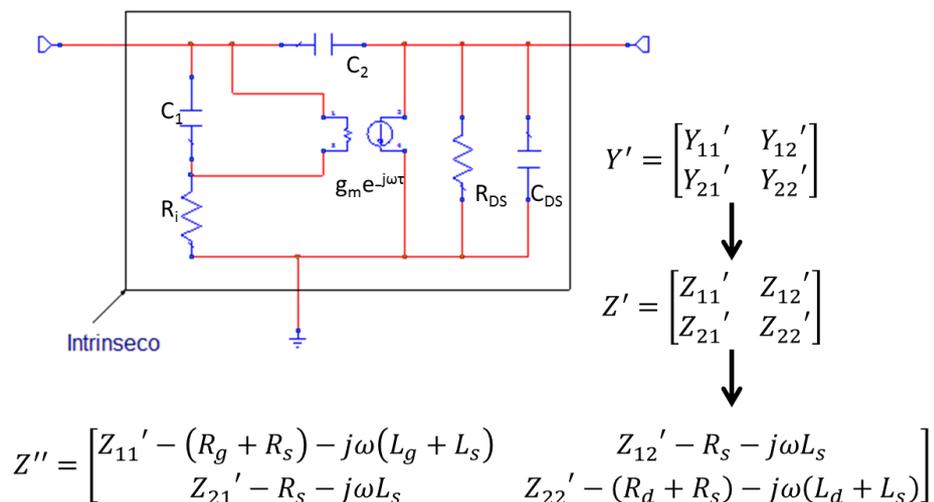


Figura 4-21: Circuito risultante dopo il de-embedding dei parassiti connessi in serie.

Da quanto esposto si evidenzia l'importanza della accuratezza con cui sono estratte le entità degli elementi estrinseci del modello rispetto alla successiva estrazione della parte intrinseca. In particolare si osserva che, sebbene non sia possibile rilevare eventuali imprecisioni nei parassiti estratti al termine del de-embedding, poiché l'impatto sulla risultante matrice Y dell'intrinseco è minima, queste sono facilmente individuabili negli andamenti delle entità

degli elementi dell'intrinseco al variare della frequenza. In genere, è possibile rilevare la bontà della topologia della rete rappresentativa i parassiti del modello, analizzando gli andamenti degli elementi dell'intrinseco al variare della frequenza che devono risultare perlopiù costanti in presenza di una adeguata formulazione della topologia stessa. In particolare, questa osservazione può essere sfruttata per identificare la migliore collocazione dei contributi capacitivi in particolare. Questi contributi infatti, dato l'intervallo di frequenze di estrazione che consente di trascurare i contributi induttivi, sono collocabili in diverse posizioni della rete e soltanto la valutazione di questo aspetto permette la scelta tra le configurazioni possibili (Figura 4-3). Questo aspetto inoltre può essere sfruttato per la definizione della funzione obiettivo nell'implementazione di algoritmi di ottimizzazione dei parassiti, sfruttando misure al variare della polarizzazione.

4.4 ESTRAZIONE DEGLI ELEMENTI DEL CIRCUITO INTRINSECO

La determinazione della parte intrinseca del circuito equivalente è riconducibile alla manipolazione delle espressioni analitiche attraverso cui le entità degli elementi del circuito sono ottenute in modo diretto, mediante una procedura di estrazione diretta. I valori di ciascun elemento del circuito equivalente intrinseco sono estratti in modo deterministico per ogni polarizzazione, considerando i valori assunti da questi in intervalli di frequenze scelti in modo tale da minimizzarne la variazione/dispersione. Questo processo, con cui si mediano le entità degli elementi del circuito intrinseco, consente alla fine del processo di disporre di elementi dipendenti dalle tensioni di controllo e invarianti con la frequenza. Per questo è importante individuare e selezionare accuratamente l'intervallo di frequenza di estrazione poiché influisce sull'accuratezza dell'estrazione. In generale, un criterio per la scelta degli intervalli di frequenza da selezionare consiste nel limitare le frequenze di estrazioni a quelle rispetto cui siano dominanti gli effetti correlati al particolare tipo di elemento (C: bassa frequenza, R: medio-alta frequenza, τ : medio-alta frequenza).

In luogo di una nuova interpretazione delle componenti reattive associate alla carica di Gate, è opportuno riformulare le espressioni analitiche che rapportano i parametri della matrice delle ammettenze agli elementi della rete del circuito intrinseco. La topologia del circuito del modello nel caso statico, che per comodità si riporta di seguito, è stata configurata in modo da consentire di esplicitare il termine relativo alla funzione per la divisione di corrente ed è perciò preferita alla classica topologia a Pi greco:

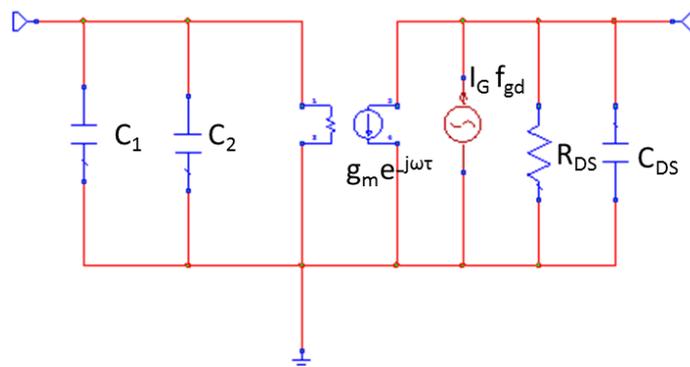


Figura 4-22: Circuito equivalente della parte intrinseca in cui il contributo della corrente reattiva i_{gd} è stato ricondotto a due contributi uno in parallelo al ramo di ingresso e uno a quello di uscita

La matrice delle ammettenze per il circuito può essere ricavata calcolando simbolicamente ciascun elemento imponendo le necessarie terminazioni alle porte del circuito. Questa risulta dai seguenti calcoli come:

$$Y_{11} = \frac{I_1}{V_1} \Big|_{V_2=0 \rightarrow V_{gs}=V_{gd}=V_1} = i_g = j\omega \left(\frac{\partial Q_g}{\partial V_{gs}} + \frac{\partial Q_g}{\partial V_{gd}} \right) \quad 4-20$$

$$Y_{12} = \frac{I_1}{V_2} \Big|_{V_1=0 \rightarrow V_{gs}=0, V_{gd}=-V_2} = i_g = -j\omega \frac{\partial Q_g}{\partial V_{gd}} \quad 4-21$$

$$Y_{21} = \frac{I_2}{V_1} \Big|_{V_2=0 \rightarrow V_{gs}=V_{gd}=V_1} = g_m e^{-j\omega\tau} - f_{GD} i_g = g_m e^{-j\omega\tau} - j\omega f_{GD} \left(\frac{\partial Q_g}{\partial V_{gs}} + \frac{\partial Q_g}{\partial V_{gd}} \right) \quad 4-22$$

$$Y_{22} = \frac{I_2}{V_2} \Big|_{V_1=0 \rightarrow V_{gs}=0, V_{gd}=-V_2} = g_{DS} + j\omega C_{DS} + f_{GD} i_g = g_{DS} + j\omega C_{DS} + j\omega f_{GD} \frac{\partial Q_g}{\partial V_{gd}} \quad 4-23$$

Relativamente la corrente reattiva di Gate si osserva che per quanto riguarda i parametri relativi alla porta 1 si ha sempre che:

$$I_1 = i_g \quad 4-24$$

mentre relativamente alla porta 2 avremo che:

$$I_2 = f_{gd} i_g \quad 4-25$$

e a seconda dell'eccitazione considerata la corrente di Gate assumerà la dovuta espressione. Quindi, la corrente entrante nella porta 1 della rete, per la topologia scelta per il FET, coincide sempre con la corrente reattiva totale di Gate. La corrente entrante nella porta 2 della rete risulta invece coincidente con la frazione della corrente di Gate relativa al ramo Gate-Drain. Questo determina la presenza del fattore moltiplicativo f_{gd} nelle espressioni dei parametri della matrice delle ammettenze associati alla porta 2. La risultante rappresentazione matriciale associata a questo circuito è la seguente:

$$[Y] = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \begin{bmatrix} f_{GS} i_g + f_{GD} i_g & -f_{GD} i_g \\ g_m e^{-j\omega\tau} - f_{GD} i_g & g_{DS} + j\omega C_{DS} + f_{GD} i_g \end{bmatrix} \quad 4-26$$

Che espressa in funzione degli elementi concentrati del circuito risulta:

$$[Y] = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \begin{bmatrix} j\omega C_1 + j\omega C_2 & -j\omega C_2 \\ g_m e^{-j\omega\tau} - f_{GD}(j\omega C_1 + j\omega C_2) & g_{DS} + j\omega C_{DS} + j\omega f_{GD} C_2 \end{bmatrix} \quad 4-27$$

Sulla base di questa rappresentazione è possibile derivare le relazioni analitiche mediante le quali si estraggono direttamente gli elementi dell'intrinseco. Queste relazioni sono rappresentate di seguito:

$$\frac{\partial Q_g}{\partial V_{gs}} = C_1 = \frac{1}{\omega} \operatorname{Im} \left(\frac{1}{Y_{11} + Y_{12}} \right)^{-1} \quad 4-28$$

$$\frac{\partial Q_g}{\partial V_{gd}} = C_2 = -\frac{1}{\omega} \operatorname{Im}(Y_{12}) \quad 4-29$$

$$g_{DS} = \operatorname{Re}(Y_{22}) \quad 4-30$$

$$g_m = \operatorname{Abs} \left(\frac{Y_{21} - Y_{12}}{Y_{11} + Y_{12}} \right) \operatorname{Im} \left(\frac{1}{Y_{11} + Y_{12}} \right)^{-1} \quad 4-31$$

$$\tau = -\frac{1}{\omega} \operatorname{Atan} \left(\frac{\operatorname{Im}(Y_{21} - Y_{12})}{\operatorname{Re}(Y_{21})} \right) \quad 4-32$$

$$f_{GD} = -\left(\frac{\operatorname{Im}(Y_{21}) + g_m \omega \tau}{\operatorname{Im}(Y_{11})} \right) \quad 4-33$$

$$C_{DS} = \frac{1}{\omega} \operatorname{Im} \left(\frac{1}{Y_{22} + f_{GD} Y_{12}} \right)^{-1} \quad 4-34$$

Si osserva che, per garantire la necessaria consistenza al modello, l'intervallo di estrazione del termine f_{gd} coincide con quello adottato per i contributi C_1 e C_2 .

Si riportano i risultati dell'estrazione effettuata applicando il metodo descritto in questo capitolo sfruttando le misure del dispositivo basato su GaN precedentemente introdotto. Inizialmente si procede all'individuazione dell'intervallo di frequenza di estrazione di ciascun elemento. Questa operazione si effettua analizzando il grafico degli andamenti illustrati in Figura 4-23.

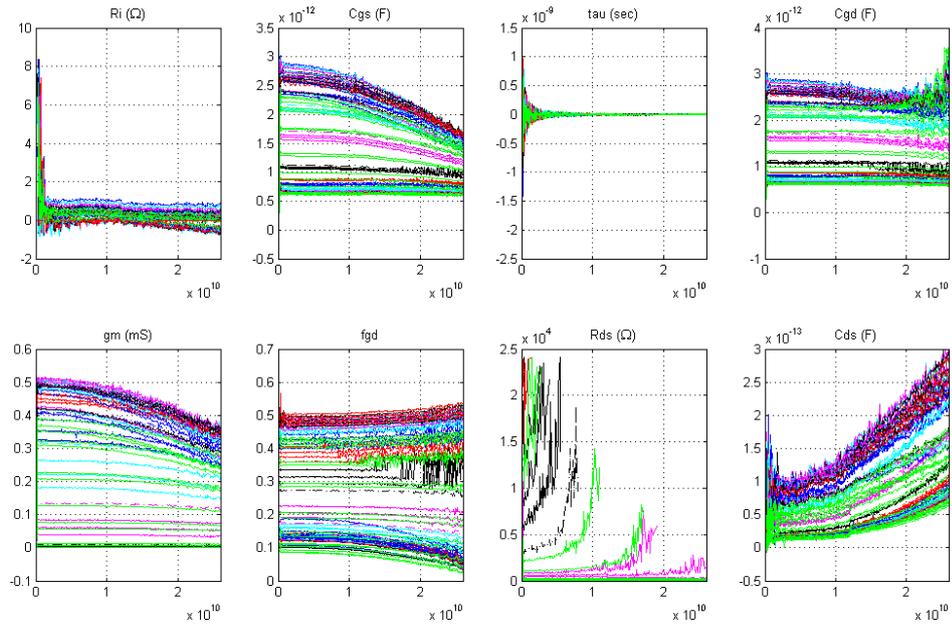


Figura 4-23: Andamenti dei contributi intrinseci rispetto al variazione di frequenza.

Una volta individuati gli intervalli di frequenza di estrazione, si verifica che ciascun elemento manifesti minime variazioni della sua entità al variare della frequenza. Questa verifica è illustrata in Figura 4-24.

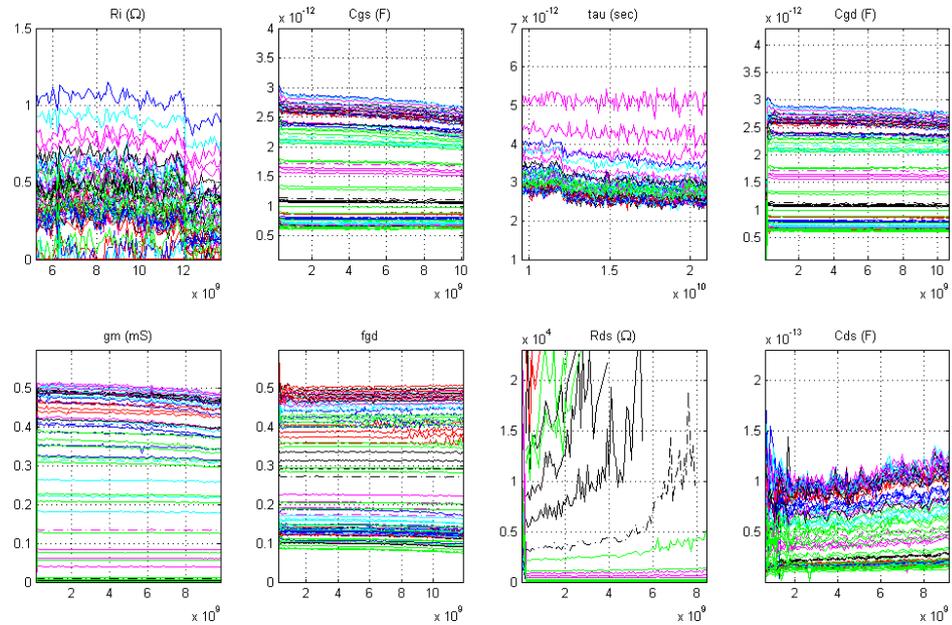
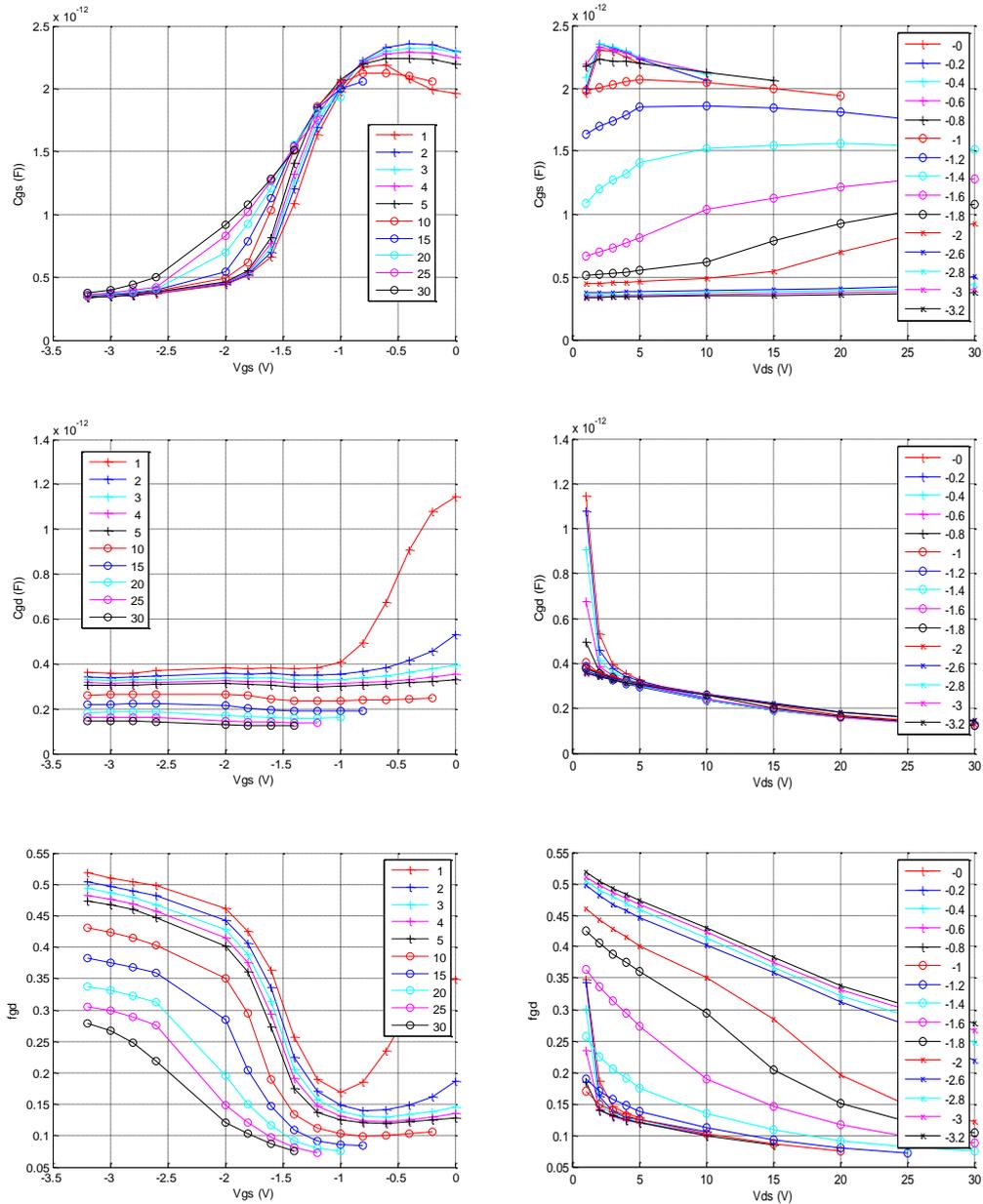


Figura 4-24: Verifica della scelta degli intervalli di frequenza di estrazione.

Analizzando i risultati di Figura 4-24 si osserva che, ad eccezione di R_{DS} , tutti gli andamenti sono piatti. Il motivo per cui in alcune condizioni di polarizzazione l'andamento della R_{DS} non è piatto deriva dalla scarsa accuratezza che si ha nell'estrazione di questo elemento che si osserva nella condizione di pinch-off rispetto cui gli effetti capacitivi dovuti alla C_{DS} sono dominanti. Al termine del procedimento di estrazione si ricavano gli andamenti delle entità di ciascun elemento del circuito equivalente al variare delle tensioni di controllo.



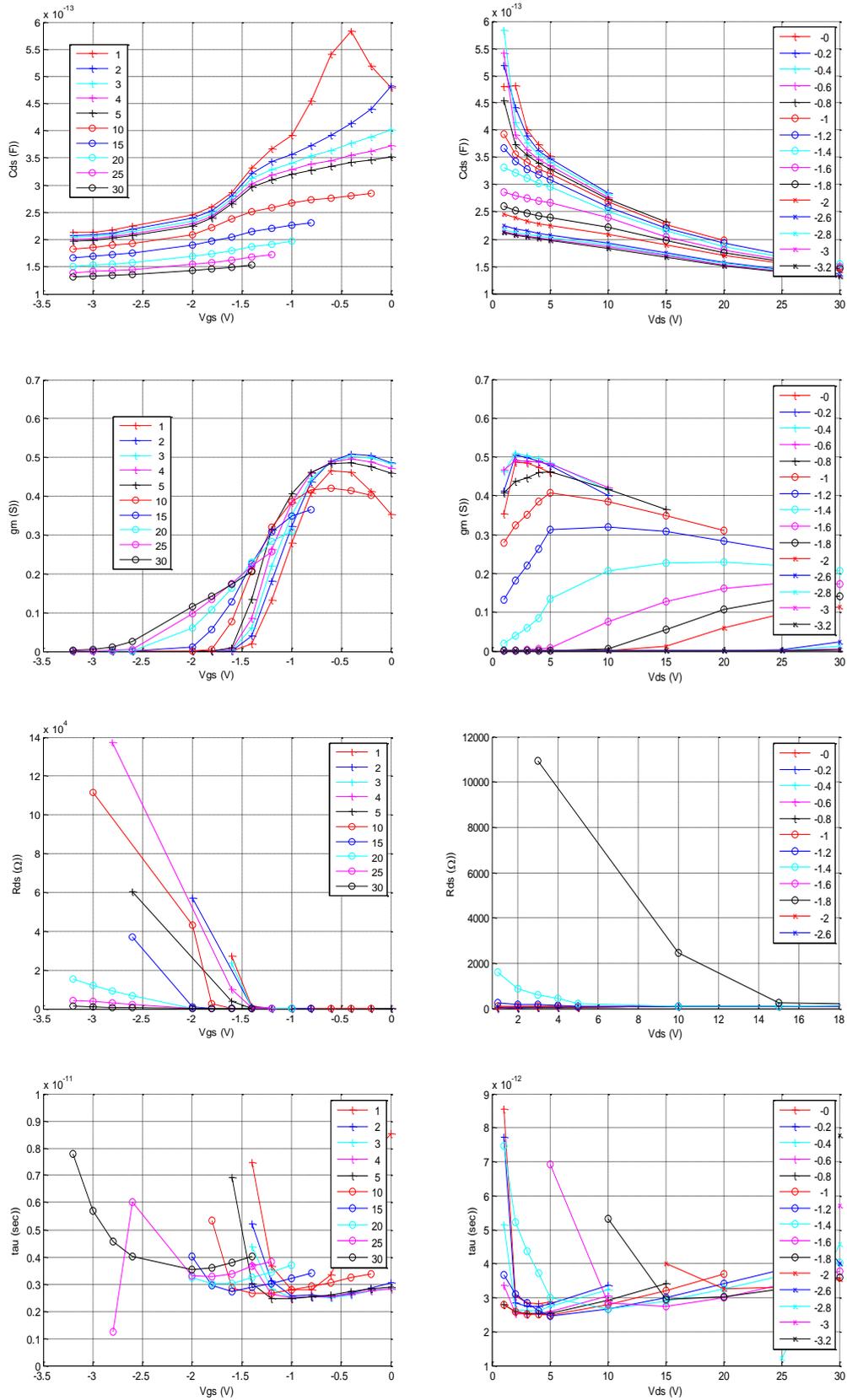


Figura 4-25: Andamento degli elementi intrinseci rispetto la variazione della polarizzazione.

I grafici precedenti illustrano la dipendenza degli elementi del circuito intrinseco dalla polarizzazione. A partire dagli andamenti della $C_1 (=C_{GS})$ e $C_2 (=C_{GD})$ si effettua l'estrazione del

modello della carica di Gate. Per quanto riguarda le altre dipendenze, in particolare relativamente a τ e C_{DS} , si procede ad effettuare operazioni di media poiché questi elementi, per semplicità di implementazione, sono assunti come costanti nel modello non-lineare completo. Analizzando gli andamenti rispetto alle variazioni delle tensioni di controllo, questo elemento manifesta una debole dipendenza, di tipo lineare, dalla tensione V_{DS} , mentre un andamento a carattere nettamente non lineare è osservabile nella dipendenza dalla tensione V_{GS} . Questo comportamento risulta essere riconducibile ad una carica non lineare dipendente da due tensioni, in modo simile a quella associata al Gate. Si osserva però che, a differenza dei contributi capacitivi associati alla carica di Gate, la variazione della C_{DS} è notevolmente più contenuta negli intervalli di tensione considerati, e quindi si preferisce assumere come costante rispetto alle variazioni delle tensioni di controllo questo contributo, introducendo una minima perdita di accuratezza nel modello non lineare completo. Il comportamento di τ , osservabile dalla quantità estratta rispetto alle variazioni delle tensioni di controllo, suggerisce la possibilità di assumere questo parametro del modello come costante, senza introdurre una importante semplificazione. Questa assunzione è supportata anche dall'analisi fisica del fenomeno associato al ritardo. Il ritardo nella trans-caratteristica ingresso-uscita del transistor è infatti riconducibile a due fenomeni: il tempo di transito delle cariche attraverso il canale e il tempo necessario alla carica di redistribuirsi nella regione tra Gate e Source in risposta all'applicazione del potenziale tra i due terminali. Questo secondo contributo è di entità maggiore del contributo associato al tempo di transito e, essendo associato prevalentemente al contributo capacitivo parassita tra i due terminali [4.13], che è stato mostrato essere costante rispetto le variazioni di tensione, non comporta una grossa perdita di accuratezza nel modello completo.

Per quanto riguarda g_m e R_{DS} , invece, si procede alla modellizzazione della corrente di Drain basandosi direttamente su misure di corrente in condizioni impulsive.

La verifica della correttezza e dell'accuratezza dell'estrazione si effettua al termine del processo di estrazione seguendo un percorso inverso a quello seguito per estrarre le entità degli elementi dell'intrinseco. A partire dalla matrice delle ammettenze di corto circuito dell'intrinseco, mediante la procedura di embedding, si aggiungono a questa rete elettrica i contributi dei parassiti. Infine si procede al confronto tra i dati misurati e il modello. Si riportano tali confronto ai alcune condizioni di polarizzazione di interesse.

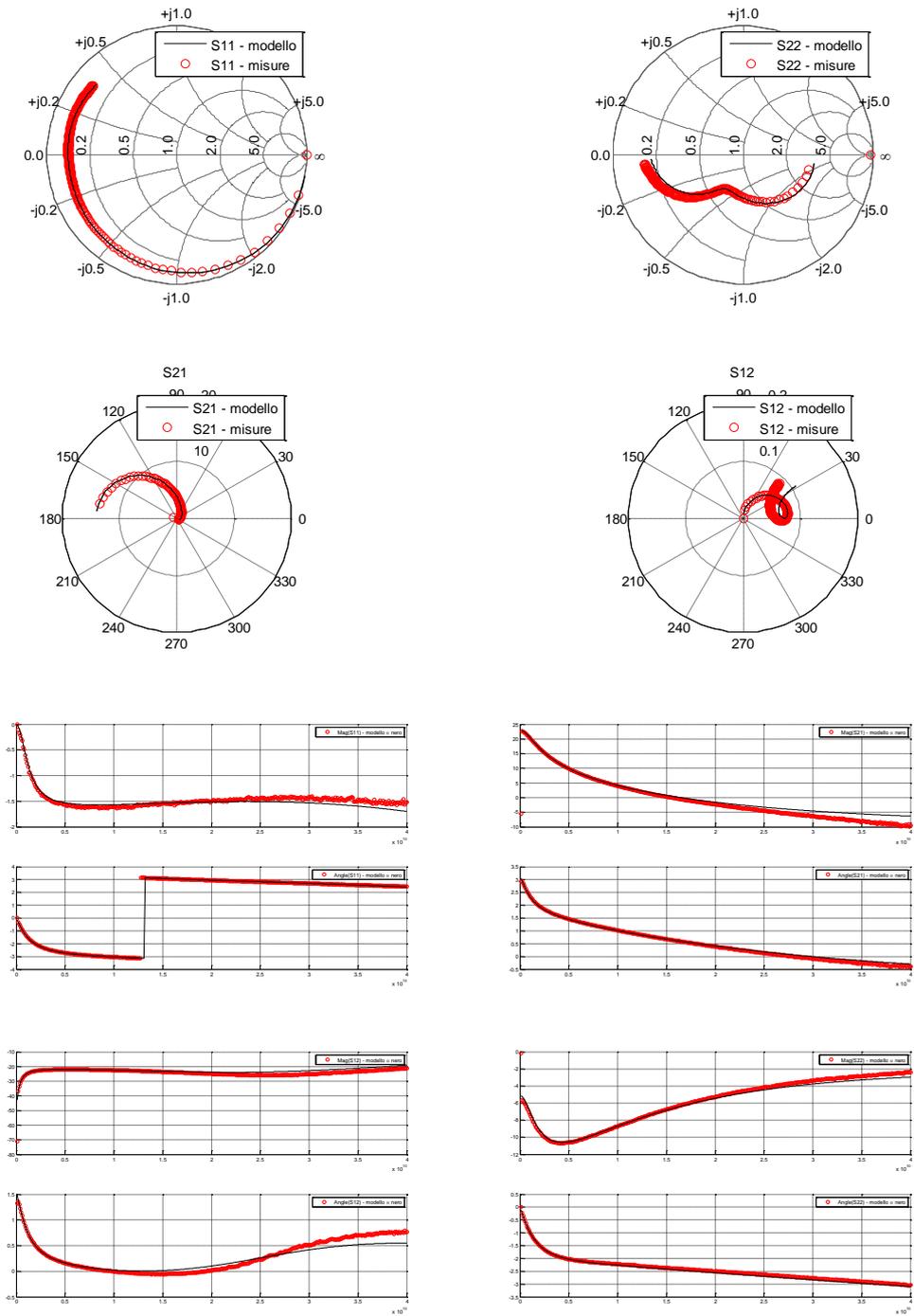


Figura 4-26: Confronto nel caso $V_{GS}=-1.4$, $V_{DS}=25$: le tracce di colore rosso sono le misure mentre quelle nere il modello.

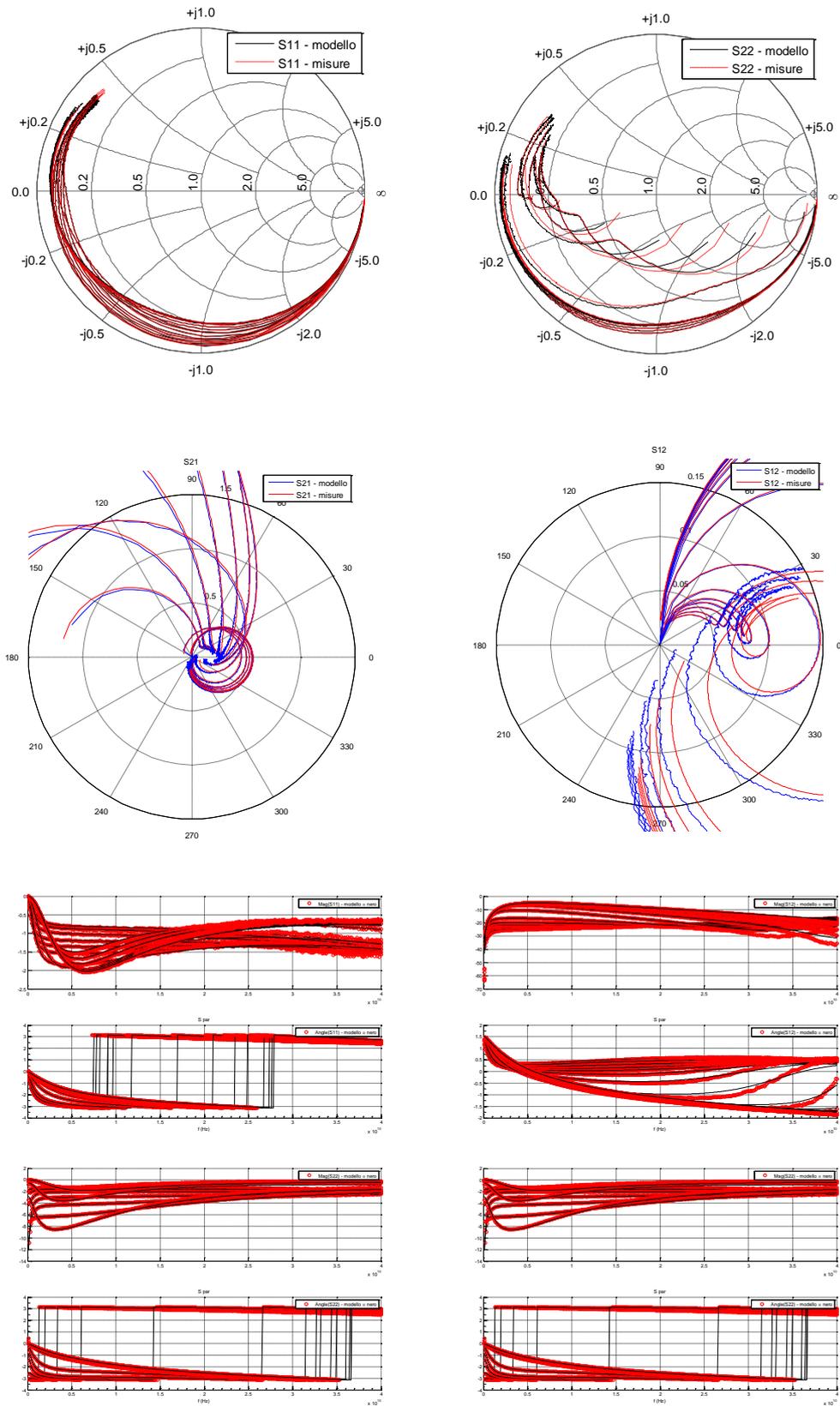


Figura 4-27: Confronto nel caso $V_{DS}=1$ V per tutte le polarizzazioni di V_{GS} : le tracce di colore rosso sono le misure mentre quelle nere il modello.

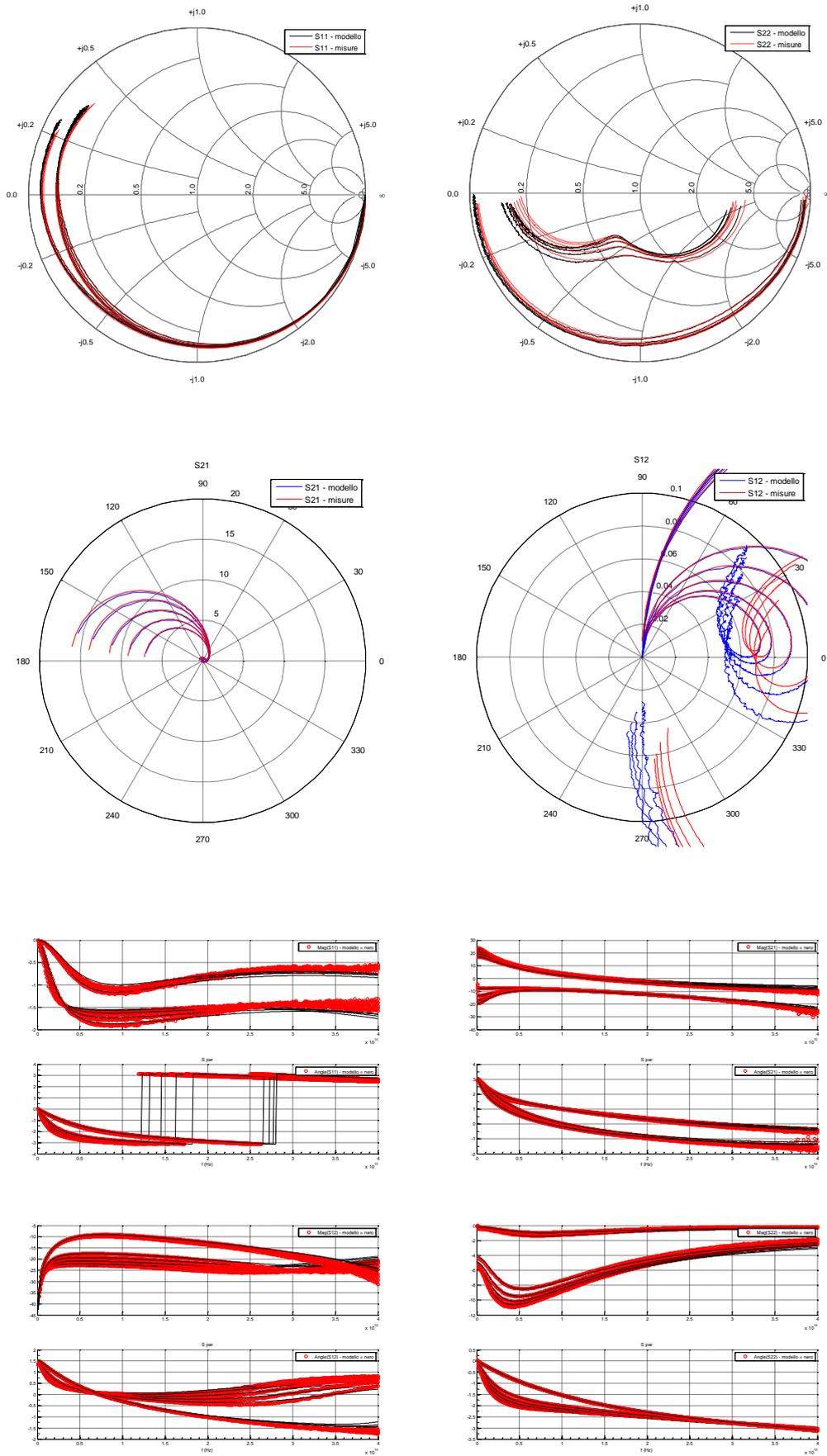


Figura 4-28: Confronto nel caso $V_{DS}=25V$ per tutte le polarizzazioni di V_{GS} : le tracce di colore rosso sono le misure mentre quelle nere il modello.

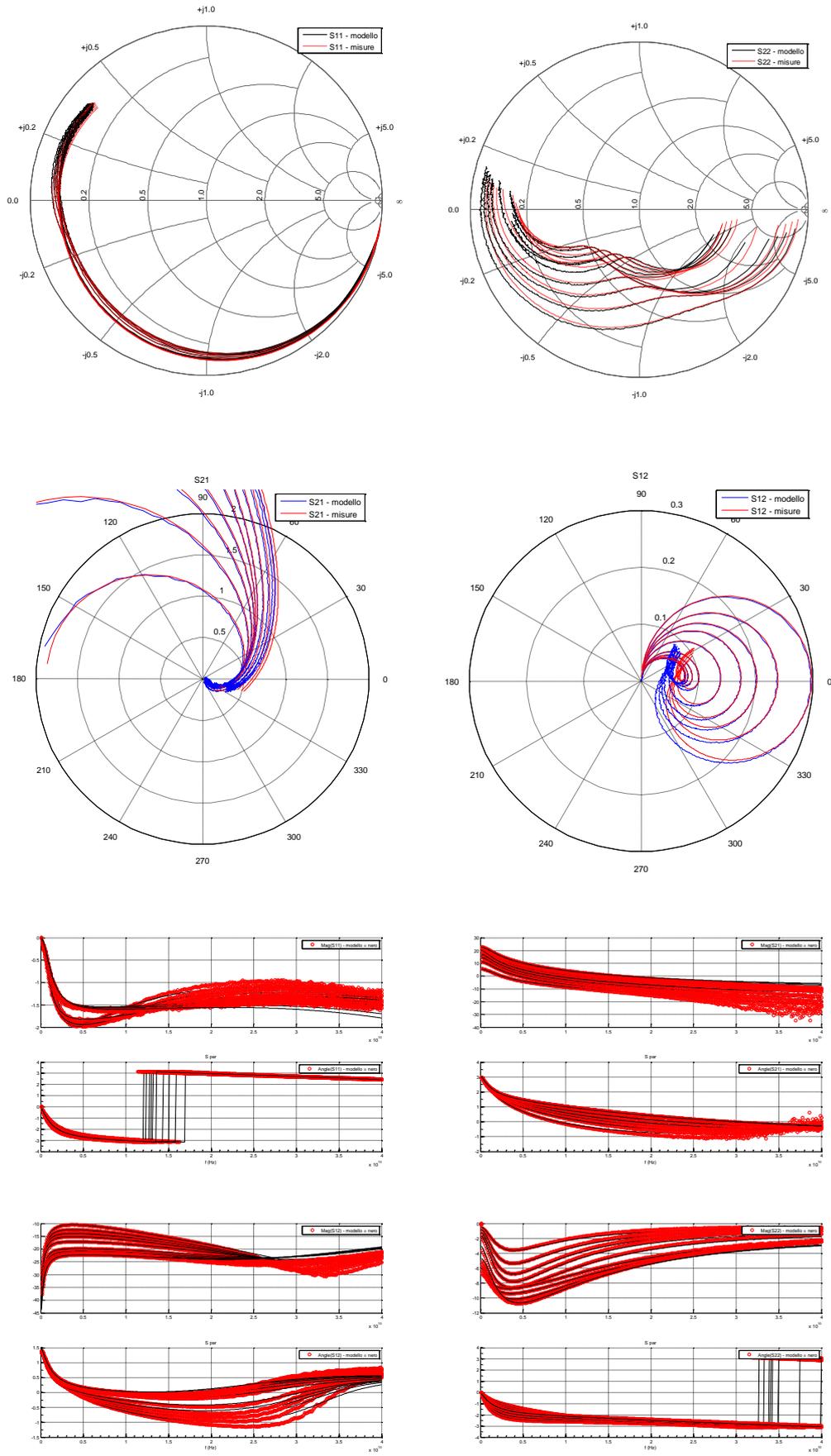


Figura 4-29: Confronto nel caso $V_{GS} = -1.4$ V per tutte le polarizzazioni di V_{DS} : le tracce di colore rosso sono le misure mentre quelle nere il modello.

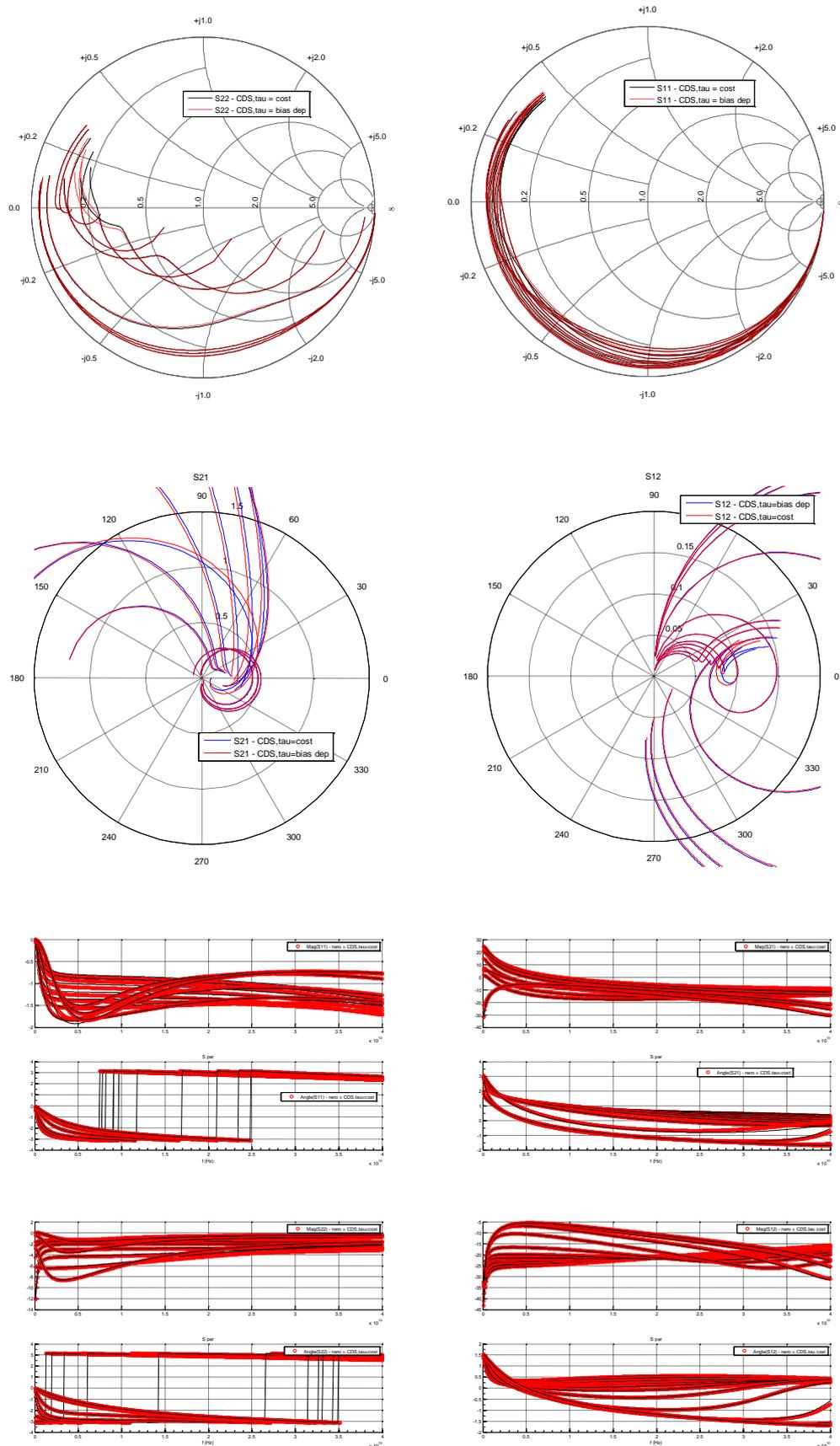


Figura 4-30 Confronto nel caso $V_{DS}=25$ V per tutte le polarizzazioni di V_{GS} : le tracce di colore rosso sono il modello con C_{DS} , τ dipendenti dalle tensioni mentre quelle nere il modello con C_{DS} , τ costanti.

La ammissibilità della assunzione secondo cui C_{DS} e τ possano essere assunti come sostanti è osservabile nei grafici della Figura 4-30 in cui sono confrontati il modello in cui questi sono costanti con il medesimo modello in cui sono assunti dipendenti dalle tensioni.

Un'ultima osservazione riguarda la resistenza R_i che, nel modello proposto (statico) non è stata inserita per preservarne la simmetria. Questo elemento è rappresentativo della porzione di canale che non risulta sottoposto a campi tali da indurre la saturazione della velocità dei portatori di carica. Dal momento che risulta generalmente poco accurata la sua estrazione così come lo è per l'elemento duale R_{GD} , qualora fosse necessario provvedere ad una migliore riproduzione dei parametri S del modello rispetto le misure, si preferisce ricorrere alla procedura di ottimizzazione con cui individuare l'entità di questi due elementi.

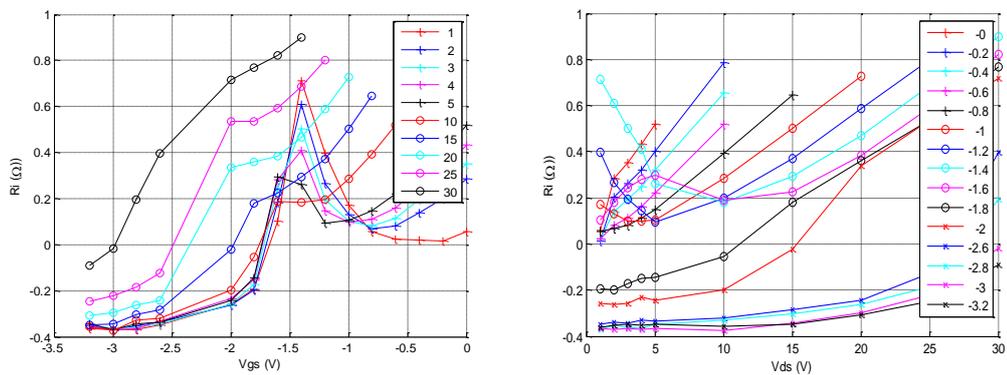


Figura 4-31: Andamento al variare della tensione di R_i .

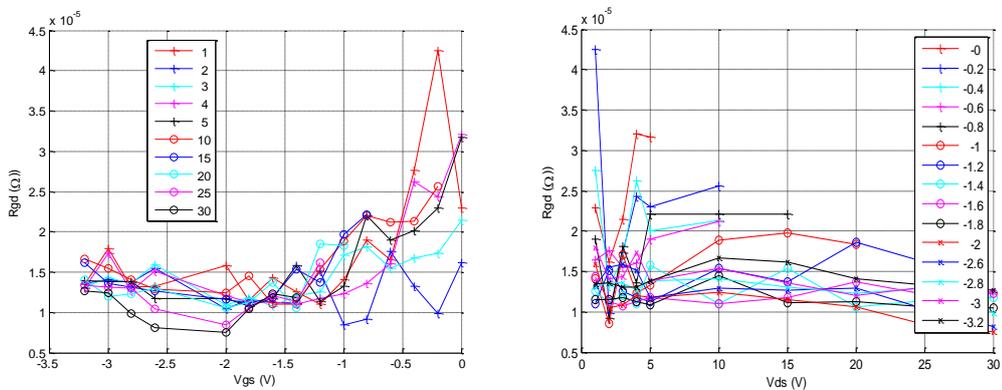


Figura 4-32: Andamento al variare della tensione di R_{gd} .

Il processo di ottimizzazione si basa sulla minimizzazione dell'errore cumulativo tra i parametri S misurati e i parametri S del modello a piccolo segnale. L'espressione della funzione obiettivo di tale procedimento di ottimizzazione è la seguente:

$$E_{S_{i,j}} = \frac{1}{M} \sum_{m=1}^M \left[\frac{1}{N} \sum_{n=1}^N \left(\frac{1}{K} \sum_{k=1}^K Abs \left[\frac{(S_{meas} - S_{mod})}{S_{meas}} \right] \right) \right]$$

$$E_{S_{tot}} = \frac{1}{4} \sum_{i=1,2} \sum_{j=1,2} E_{S_{i,j}}$$

in cui M rappresenta il numero di valori di V_{GS} di misura, N il numero di valori di V_{DS} , K il numero di valori di frequenza, mentre i e j la porta della matrice di Scattering. Si riporta a titolo di esempio il confronto tra i parametri di Scattering del modello simulato in due diverse condizioni, di cui una è relativa al caso in cui $R_i = 0$ e l'altro corrispondente al modello in cui R_i è stato ottenuto mediante questo processo di ottimizzazione.

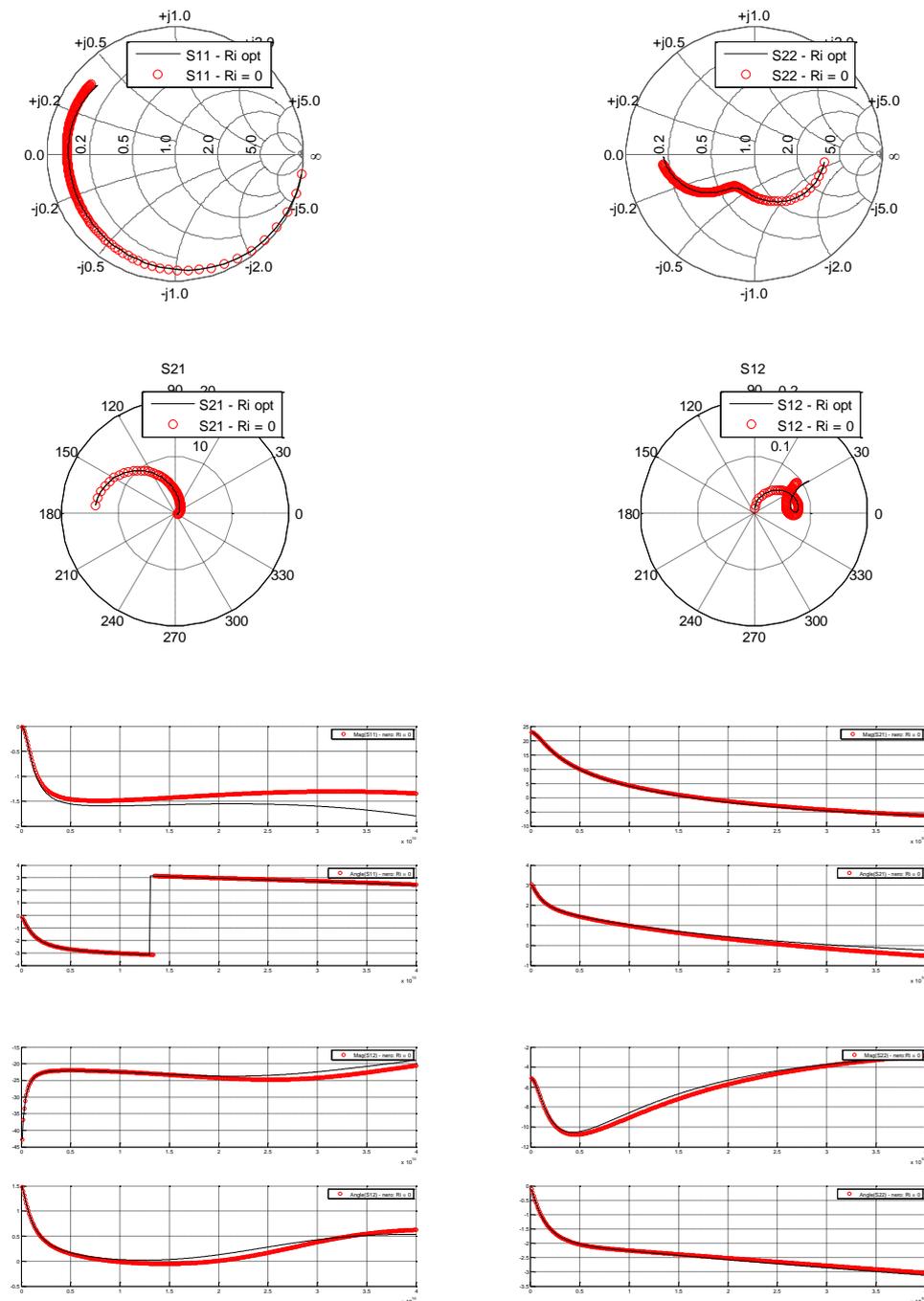


Figura 4-33: Confronto nel caso $V_{DS}=25$ V per tutte le polarizzazioni di V_{GS} : le tracce di colore rosso sono il modello senza R_i mentre quelle nere il modello R_i ottimizzato.

Il confronto dimostra come R_i sia prevalentemente influente sul fit del parametro S_{11} e in quanto tale è opportuno che sia introdotto nel modello data l'importanza del parametro rispetto la rappresentazione del coefficiente di riflessione di ingresso del dispositivo.

4.5 RIFERIMENTI BIBLIOGRAFICI

- [4.1] H. Sledzik, I. Wolff, "A New Approach to Nonlinear Modelling and Simulation of MESFET's and MODFET's", European Microwave Conference 1990.
- [4.2] G. Dambrine, A. Cappy, F. Heliodore, E. Playez, "A New Method for Determining the FET Small-Signal Equivalent Circuit", IEEE Transactions on MTT, Vol.36, No.7, June 1988.
- [4.3] M. Berroth and R. Bosh, "Broad-band determination of the FET small-signal equivalent circuit", IEEE Trans. Microwave Theory Tech., vol. 38, pp.891 -895 1990
- [4.4] I. Bahl, P. Bhartia, "Microwave Solid State Circuit Design", John Wiley & Sons, (1988)
- [4.5] P. White and R. Healy, "Improved equivalent circuit for determination of MESFET and HEMT parasitic capacitances from ColdFET Measurements", IEEE Trans. Microwave Theory Tech., vol. 3, pp.453 -455 1993
- [4.6] B. L. Ooi and J. Y. Ma, "An improved but reliable model for MESFET parasitic capacitance extraction", Radio Frequency Integrated Circuits (RFIC) Symposium, 2003 IEEE, 8-10 June 2003, pp. 567 - 570
- [4.7] M.Y. Jeon, B.G. Kim, Y.J. Jeon, "A technique for extracting small-signal equivalent-circuit element of HEMTs", IEICE Trans. Electron., Vol.E82c, No.11 Nov. (1999)
- [4.8] G. Crupi , D. Xiao , D. M. M. Schreurs , E. Limiti , A. Caddemi , W. D. Raedt and M. Germain "Accurate multibias equivalent-circuit extractionfor GaN HEMTs", IEEE Trans. Microw. Theory Techn., vol. 54, no. 10, pp.3616 -3622 2006
- [4.9] Takashi Inoue and Walter Contrata, "A parasitic resistance measurement method exploiting gate current-density characteristics in ultra-short Schottky-gate FETs", Solid-State Electronics, vol. 52, Issue 11, November 2008, pp. 1735-1741
- [4.10] V. I. Cojocaru and T. J. Brazil, "A large-signal model for GaAs MESFET's and HEMT's valid at multiple DC bias-points", Proc. Gallium Arsenide Applications Symposium 1994, GAAS 1994, 28-30 April 1994, Turin, Italy.
- [4.11] K. Lee , M. Shur , K. W. Lee , T. Vu , P. Roberts and M. Helix "Source, drain and gate resistances in GaAs MESFETs", IEEE Trans. Electron Devices, vol. ED-32, pp.987 -992 1985
- [4.12] R. Anholt and S. Swirhun, "Equivalent-circuit parameter extraction for cold GaAs MESFETs", IEEE Trans. Microwave Theory Tech., vol. 39, pp.1243 -1251 1991

[4.13] S. Fukuda, T. Suemitsu, T. Otsuji, D. Kim, and J. A. del Alamo, “ Analysis of Gate Delay Scaling in $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ -Channel High Electron Mobility Transistors”, Japanese Journal of Applied Physics 48 (2009)

5 MODELLO I-V NON-LINEARE

5.1 INTRODUZIONE

Con riferimento al funzionamento dei transistori ad effetto di campo in applicazioni ad alta frequenza, il generatore di corrente controllato in tensione, I_{DS} , è il principale elemento del modello non lineare del circuito equivalente e costituisce la principale sorgente di distorsione non-lineare nei dispositivi attivi.

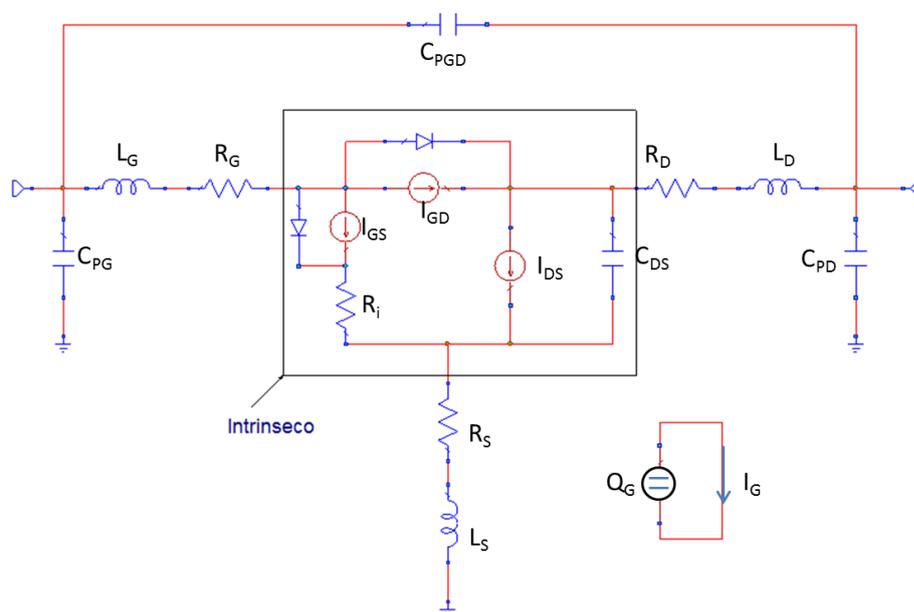


Figura 5-1: Modello non-lineare a circuito equivalente.

Questo elemento rappresenta sia i contributi di corrente DC e sia quelli AC, inglobando anche i fenomeni di dispersione in frequenza. Dalla linearizzazione di questo elemento, trattandosi di un elemento non-lineare dipendente da due grandezze di controllo, derivano due contributi: la conduttanza di uscita e la trans-conduttanza, secondo la relazione:

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}=\text{cost}} \quad 5-1$$

$$g_{ds} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS}=\text{cost}} \quad 5-2$$

La conduttanza di uscita in applicazioni analogiche è rappresentativa delle potenzialità del dispositivo rispetto al massimo guadagno di tensione del dispositivo, poiché impatta

sull'entità del carico ottimo limitandone generalmente l'entità e quindi riducendo la massima potenza ottenibile dal dispositivo. Al contempo, la trans-conduttanza rappresenta la principale qualità del transistor in applicazioni di alta frequenza, poiché rappresenta il rapporto con cui l'elettrodo di controllo può determinare una variazione di carica nel canale, determinando quindi il guadagno del dispositivo in termini di caratteristica IN-OUT.

La corrente di Drain risulta essere simultaneamente dipendente dal potenziale longitudinale lungo il canale e quello trasversale Gate-canale rappresentati dalle grandezze elettriche esterne V_{DS} e V_{GS} . Le non linearità dei vari componenti intrinseci possono essere introdotte attraverso la dipendenza funzionale del valore dei componenti dalle due tensioni di polarizzazione ed approssimando tali valori con funzioni analitiche, costruite sulla base di approcci empirici. La modellizzazione effettuata con un approccio empirico della caratteristica corrente-tensione in un transistor, differentemente dalla quella fisica, garantisce maggiore agilità in termini computazionali al modello a vantaggio dell'usabilità del modello stesso, utilizzando quest'ultimo in simulazioni circuitali. Per contro, i modelli fisici hanno il vantaggio rispetto a quelli empirici di una maggiore aderenza alla fisica, alla struttura e alla tecnologia del dispositivo, consentendo così di rapportare le caratteristiche prestazionali alle caratteristiche fisiche del dispositivo stesso, sebbene ciò non garantisca a priori maggiore accuratezza al modello stesso. Per queste ragioni, nel corso degli anni, sulla scia della continua evoluzione delle tecnologie realizzative dei dispositivi elettronici, sono stati messi a punto modelli di crescente complessità, dettata anche dalla via via maggiore comprensione dei fenomeni fisici alla base del funzionamento dei dispositivi, ma soprattutto dalla sempre più elevata accuratezza che è richiesta al modello in sé.

Il primo modello implementato per simulatori circuitali risale al 1980 [5.1] e subì una prima rielaborazione che portò alla definizione della dipendenza della corrente dalla tensione V_{GS} in una forma polinomiale [5.2] che nella sua forma iniziale contemplava un termine di secondo ordine. La dipendenza dalla tensione V_{DS} è formulata mediante la funzione tangente iperbolica (Tanh) che ben approssima la caratteristica osservata sperimentalmente. Con tale modello, furono consentite per la prima volta simulazioni nel dominio del tempo all'interno delle prime versioni di simulatori tipo SPICE di circuiti contenenti transistori basati su GaAs. A partire da quel momento, ci fu un fiorire di modelli che aspiravano a rappresentare sempre meglio il comportamento dei dispositivi [5.3 - 5.8]. La maggior parte dell'attenzione in un primo momento interessava la dipendenza della corrente dalla tensione V_{GS} e per questo furono proposti modelli di tipo esponenziale con cui furono rese possibili anche simulazioni nel dominio della frequenza, poi iperbolico e con il progredire della robustezza dei modelli venivano integrate in questi fenomeni di secondo ordine e dipendenze dei parametri funzionali (pinch-off, break-down) dalle condizioni operative. Di pari passo venivano definiti modelli per le componenti capacitive non lineari [5.6, 5.8, 5.9]. Questo percorso evolutivo ha portato allo stato attuale dei modelli ai nostri giorni, in cui si riescono a descrivere fenomeni elettrotermici in modo auto-consistente e con elevati gradi di specializzazione dei modelli per le particolari applicazioni.

Concludendo questo breve excursus, si osserva che, attualmente, a differenza dei contributi non-lineari a carattere reattivo, le componenti resistive sono adeguatamente modellizzate e il compito di modellizzare un dispositivo consiste nell'effettuare delle scelte di tipo analitico e sperimentale con cui formulare il particolare modello in grado di rispondere alle particolari esigenze di accuratezza e complessità le quali saranno legate alla tipologia di applicazioni in cui verranno impiegati i particolari dispositivi e quindi modelli. Nel seguito di questo capitolo verranno proposte delle metodologie di modellizzazione motivate ai fini di sviluppare modelli auto-consistenti di transistori ad effetto di campo basati su etero-giunzioni.

5.2 MODELLO EMPIRICO I-V

L'approccio di modellizzazione empirico si contraddistingue da altri approcci per il partire dall'esperienza sperimentale e in particolare si basa sulle quantità misurate ponendosi come scopo ultimo quello di riprodurre in modo accurato le caratteristiche del dispositivo nelle condizioni di esercizio di interesse. Analizzando i dati sperimentali, è possibile riprodurre gli andamenti delle quantità misurabili mediante una rappresentazione analitica delle quantità che dipendono dalle grandezze di controllo, ma le espressioni analitiche possono essere più o meno valide rispetto ai principi fisici che governano il funzionamento del dispositivo e questo ha un impatto molto importante sulla consistenza del modello e la conseguente accuratezza.

La definizione delle equazioni del modello mediante le quali si descrivono le caratteristiche del dispositivo, comincia, come è opportuno, dalla interpretazione della fenomenologia di interesse. Si richiede, infatti, che il modello sia sufficientemente aderente alle leggi fisiche che giustificano le osservazioni sperimentali, sebbene si tratti di un modello empirico. Per questo motivo è necessario fare una breve riflessione sui principi fisici di funzionamento in questione.

Il funzionamento dei transistori ad effetto di campo, come già detto, siano essi a giunzione semplice o ad etero-giunzione, si basano sulla modulazione della resistenza del canale conduttivo in cui fluisce la corrente. L'azione di controllo della conducibilità del canale è esercitata dal potenziale applicato all'elettrodo di Gate che realizza una giunzione Schottky mentre il flusso di corrente è sostenuto dalla differenza di potenziale tra i terminali di Drain e Source realizzati come contatti ohmici. In termini generali questo suggerisce la possibilità di separare i due effetti nella formulazione del modello non-lineare a vantaggio della rappresentazione dei fenomeni in gioco, e quindi della consistenza, e della possibilità di estrarre i parametri del modello in modo dettagliato. Questo ultimo aspetto in particolare risulta essere ampiamente desiderabile in un modello così che sia possibile rappresentare specifici fenomeni con specifici parametri o funzioni il che, di conseguenza, permette di individuare particolari condizioni operative o caratterizzazioni mediante le quali i suddetti fenomeni possono essere evidenziati e separati ai fini di una accurata modellizzazione.

In termini formali questo si traduce nella scelta secondo cui l'espressione analitica della corrente di Drain viene costruita come prodotto di due funzioni: con una di queste si rappresenta la dipendenza dal potenziale di Gate e con l'altra si formalizza la dipendenza dalla tensione V_{DS} .

$$I_{DS}(V_{GS}, V_{DS}) = f_G(V_{GS}) \cdot f_D(V_{DS}) \quad 5-3$$

5.2.1 FUNZIONE f_D

Con riferimento alla funzione $f_D(V_{DS})$, è utile ricordare come, al variare della tensione, si verifichi un incremento della corrente che per bassi valori di V_{DS} segue un andamento lineare (ricordando il comportamento di un resistore) per poi invece mutare raggiungendo un valore quasi costante in corrispondenza del quale si verifica la saturazione della velocità dei portatori a cui non segue un ulteriore incremento della corrente, come rappresentato in Figura 5-2.

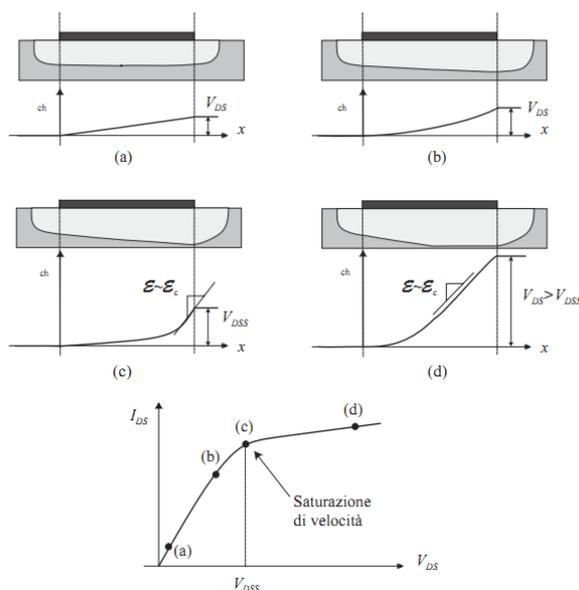


Figura 5-2: Dipendenza dalla V_{DS} - effetto della saturazione della velocità dei portatori di carica.

La saturazione della velocità dei portatori di carica mobile si deve alla entità dei campi elettrici che agiscono sulle cariche e la tipica caratteristica v - E (velocità-Campo Elettrico) dei portatori risulta ben approssimabile con la funzione tangente iperbolica:

$$f_D(V_{DS}) = \tanh(\alpha V_{DS}) \quad 5-4$$

dove la velocità con cui varia il comportamento del dispositivo da lineare a saturato, e quindi la pendenza della curva nell'intorno della tensione di ginocchio, è quantificata dal parametro α [5.11, 5.12]. Il parametro α , rendendo conto della variazione della pendenza in regione lineare del dispositivo, (nota come R_{ON}) risulta dipendente dalla tensione V_{GS} , specialmente per dispositivi di tipo HFET. Questa dipendenza potrà essere descritta introducendo una funzione continua e derivabile con cui è possibile far variare il parametro da un valore minore (osservato per basse V_{GS}) ad uno maggiore (per alte V_{GS}) utilizzando ancora una funzione tipo Tanh secondo la seguente relazione:

$$\alpha(V_{GSi}) = \alpha_0 + \alpha_{sat} [1 + \tanh(V_{GSi})] \quad 5-5$$

La pendenza non nulla manifestata dalle caratteristiche I-V in regione saturata rende conto del cosiddetto effetto di modulazione della lunghezza di canale. Questo fenomeno può essere efficacemente descritto mediante un fattore moltiplicativo che rende conto della non-idealità del dispositivo modificando la precedente nel seguente modo:

$$f_D(V_{DS}) = \tanh(\alpha V_{DS})(1 + \lambda V_{DS}) \quad 5-6$$

È possibile illustrate anche graficamente quanto descritto come nella Figura 5-3:

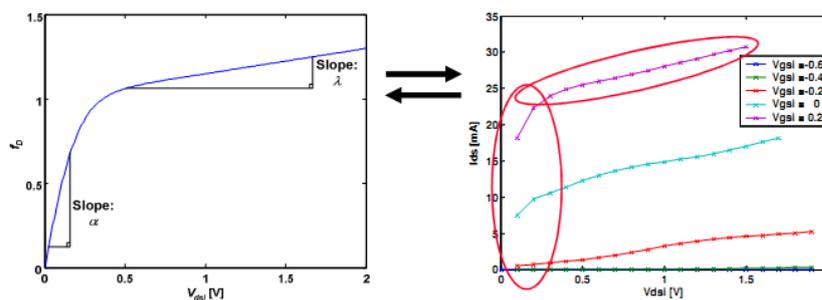


Figura 5-3: Comportamento della funzione $F_D(V_{DS})$.

5.2.2 FUNZIONE f_G

Relativamente alla restante parte della (5-3), una possibile formulazione che, nel corso degli ultimi anni ha trovato ampio consenso, si basa sull'utilizzo della funzione Tanh [5.9]. La motivazione di questa scelta risiede nella interpretazione del comportamento dei moderni dispositivi elettronici basati su etero-giunzioni. Per questi, la legge di controllo di carica nel canale può essere ricavata a partire dalla soluzione dell'equazione di Schrödinger accoppiata all'equazione di Poisson. Nel caso semplificato di una buca di potenziale di forma triangolare (che ben approssima la configurazione elettronica di un HFET) la soluzione è esprimibile come funzione di errore di Gauss. Essendo lo scopo principale quello di formulare modelli che siano implementabili in ambienti di simulazione CAD commerciali, è sconsigliato da un punto di vista numerico l'utilizzo della funzione di errore. Questa però è efficacemente approssimabile mediante la funzione Tanh come dimostrato analiticamente [5.10] e mostrato in Figura 5-4:

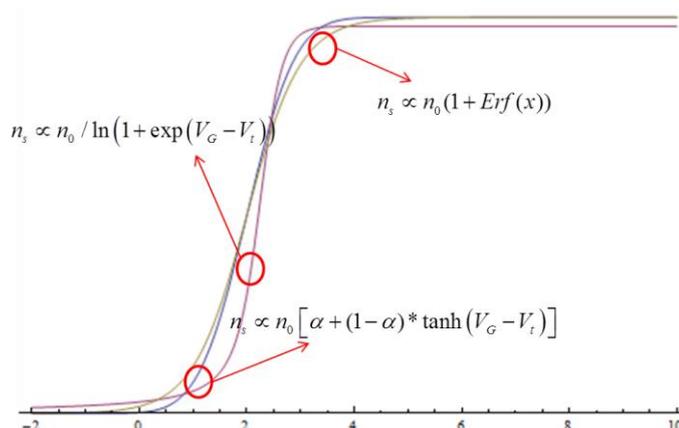


Figura 5-4: Confronto tra l'andamento dell'espressione analitica della densità di carica in una buca di potenziale con le funzioni approssimanti: la funzione di errore di Gauss e la funzione Tanh.

I benefici derivanti da questa formulazione sono molteplici. Primo fra tutti vi è la caratteristica continua della funzione e delle sue derivate. Inoltre la forma della derivata

prima della Tanh è tale da riprodurre automaticamente la forma della trans-conduttanza dei HFET:

$$\frac{d \tanh(x)}{dx} = \operatorname{sech}(x) \quad 5-7$$

Il cui andamento è riportato in Figura 5-5:

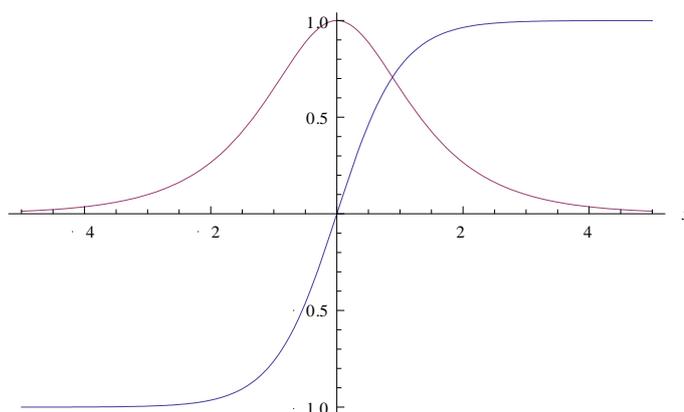


Figura 5-5: Andamento della funzione $\operatorname{Tanh}(x)$ e della sua derivata.

Inoltre, modificando l'argomento della funzione, è possibile conferire una particolare forma alla funzione e alla sua derivata conservando le suddette proprietà e beneficiando anche della caratteristica della funzione di essere limitata, evitando così la possibilità di osservare veloci incrementi del valore della funzione per valori della variabile libera al di fuori dell'intervallo di misura come normalmente avviene durante simulazioni, il cui metodo di risoluzione si basa sul metodo di Newton e simili. Ad esempio, introducendo una serie di potenze in luogo dell'argomento della Tanh, è possibile riprodurre andamenti della trans-conduttanza molto diversi tra loro offrendo così una vasta gamma di alternative tali da riuscire a descrivere diverse tipologie di dispositivi con la stessa funzione analitica. Ad esempio, definendo l'argomento $\psi(x)$ come:

$$\psi(x) = P_1x + P_2x^2 + P_3x^3 \quad 5-8$$

cambiando i valori dei coefficienti, si possono avere molte forme di cui se ne riporta un esempio nella Figura 5-6:

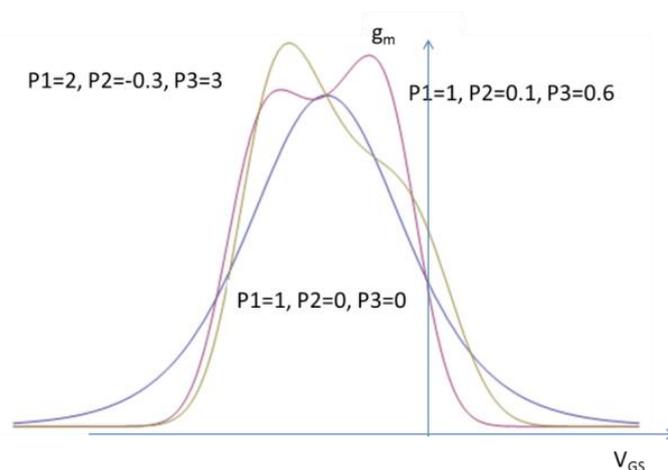


Figura 5-6: Controllo dell'andamento della derivata della Tanh mediante la variazione dei coefficienti dell'argomento della funzione.

L'espressione della corrente di Drain utilizzata nel modello è la seguente:

$$I_{DS}(V_{GSi}, V_{DSi}) = I_{pk} \{1 + \tanh[\psi(V_{GSi})]\} \tanh(\alpha V_{DSi}) [1 + \lambda V_{DSi}] \quad 5-9$$

in cui è stata evidenziata la dipendenza della corrente dalle tensioni di controllo riferite alla parte intrinseca del dispositivo e cioè rimuovendo dalle tensioni applicate ai terminali del dispositivo le cadute di tensione dovute ai contributi resistivi parassiti. La dipendenza dalla tensione V_{GS} è stata formulata come serie di potenze il cui termine di ordine maggiore è il terzo come descritto nella (5-10):

$$\psi(V_{GSi}) = P_1(V_{GSi} - V_{pk}) + P_2(V_{GSi} - V_{pk})^2 + P_3(V_{GSi} - V_{pk})^3 \quad 5-10$$

Nella precedente compare il termine V_{pk} che è stato introdotto per traslare la caratteristica ingresso-uscita in corrispondenza della tensione relativamente cui si verifica il flesso della curva I_{DS} e quindi il punto in cui si verifica il valore massimo della trans-conduttanza. Implicitamente questo parametro veicola le informazioni relative alla tensione di pinch-off caratteristica del dispositivo in virtù della funzione Tanh su cui si basa questa rappresentazione. Tale parametro generalmente risulta una quantità dipendente dalla tensione V_{DS} la cui relazione è individuabile studiando la derivata seconda della I_{DS} o equivalentemente la derivata della trans-conduttanza rispetto V_{GS} individuando i valori di V_{GS} per cui la pendenza della trans-conduttanza risulta nulla. La forma analitica per descrivere questo comportamento è [5.9]:

$$V_{pk}(V_{DS}) = V_{pk0} + (V_{pkS} - V_{pk0}) \tanh(\alpha V_{DSi}) \quad 5-11$$

ma nel caso di dispositivi di tipo HFET (per i quali l'entità della resistenza parassita R_s è relativamente bassa) si rappresenta meglio come nella (5-12):

$$V_{pk}(V_{DS}) = V_{pk0} + \gamma V_{DSi} \quad 5-12$$

Questa espressione consente di rappresentare la variazione della tensione di pinch-off dovuta alla caduta di tensione sul resistore parassita R_s ($R_s \cdot I_{DS}$) in modo adeguato come sarà mostrato di seguito.

Tornando a focalizzare l'attenzione sulla (5-10), data l'importanza che questa dipendenza funzionale ha nei riguardi della possibilità di descrivere i diversi andamenti osservabili sperimentalmente, è utile descrivere il significato dei coefficienti che vi compaiono. Il coefficiente P_1 è infatti riconducibile direttamente alla trans-conduttanza del dispositivo in quanto si definisce come:

$$P_1 = \frac{g_m}{I_{pk}} \quad 5-13$$

poiché la derivata prima dell'espressione della corrente è pari a:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = I_{pk} \operatorname{sech}(\psi(V_{GS})) \frac{\partial \psi(V_{GS})}{\partial V_{GS}} f_D(V_{DS}) \quad 5-14$$

E, trascurando gli effetti del secondo ordine e la serie di potenze arrestata al primo ordine per agevolarne la lettura rispetto V_{GS} , risulta:

$$g_m(V_{GSi}, V_{DSi}) = \frac{\partial I_{DS}}{\partial V_{GSi}} = I_{pk} P_1 \operatorname{sech}[\psi(V_{GSi})] \tanh(\alpha V_{DSi}) (1 + \lambda V_{DSi}) \quad 5-15$$

evidenziando quindi la relazione diretta tra la derivata prima della I_{DS} rispetto V_{GS} e la funzione stessa.

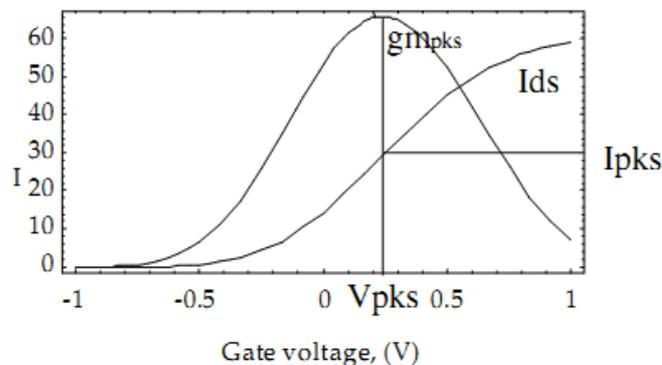


Figura 5-7: Illustrazione del significato fisico dei parametri del modello di $F_G(V_{GS})$.

Con lo scopo di rappresentare al meglio la variazione del valore di picco della trans-conduttanza al variare della V_{DS} , è necessario introdurre una dipendenza funzionale anche per il parametro P_1 da V_{DS} , in particolare per rappresentare accuratamente nella regione in cui il dispositivo è in regime di funzionamento lineare. Questa dipendenza è stata formalizzata mediante la seguente espressione che inoltre permette di garantire al modello la necessaria robustezza nell'intorno di $V_{DS} = 0$ V dove sia g_m che I_{DS} risultano entrambi pari a 0:

$$P_1(V_{DSi}) = P_{1s} \left[1 + \left(\frac{P_{10}}{P_{1s}} - 1 \right) \frac{B_1}{\cosh(B_2 V_{DSi})^2} \right] \quad 5-16$$

I coefficienti B_1 e B_2 sono dei parametri di fitting del modello.

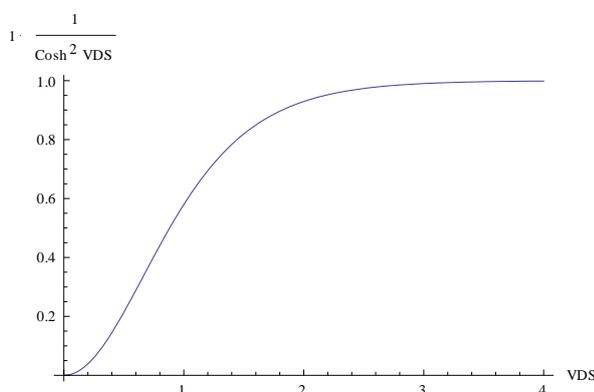


Figura 5-8: Andamento della funzione con cui si rappresenta la modulazione del parametro P_1 del modello.

L'introduzione dei termini aggiuntivi nella serie di potenze consente una duplice funzione. Dal punto di vista analitico, introduce la possibilità di rappresentare le asimmetrie nella forma della trans-conduttanza mediante P_2 e di controllare meglio la caratteristica I-V nella regione del pinch-off ad opera del parametro P_3 . Dal punto di vista fisico, invece, i tre parametri sono direttamente riconducibili alle caratteristiche di guadagno del dispositivo in quanto, al pari di P_1 , per il quale è stata evidenziata la relazione con la trans-conduttanza, anche P_2 e P_3 rendono conto della pendenza delle derivate della I_{DS} rispetto V_{GS} , la seconda e la terza rispettivamente, a cui sono riconducibili le armoniche del segnale fondamentale che si affermano durante il funzionamento del dispositivo in condizioni di funzionamento non-lineare. L'accuratezza del modello risultante da questa rappresentazione è adeguata per la maggior parte dei casi [5.13] e contributi di ordine superiore solitamente sono omessi a causa della minore entità relativamente ai precedenti ordini, e la implicita difficoltà di estrazione dei coefficienti a questi connessi per la medesima motivazione e quindi si evidenzia l'importanza dei tre contributi. Infatti, analizzando la relazione che questi hanno rispetto i primi tre termini responsabili delle prime tre armoniche che si osservano quando il dispositivo opera in regime non-lineare effettuata con il metodo di Volterra, risulta evidente la corrispondenza tra le ampiezze di queste ultime con i tre coefficienti P_1 , P_2 e P_3 introdotti nel modello [5.14].

$$\left\{ \begin{array}{l} I(DC) = I_{DS} \\ I(\omega) \propto \frac{\partial I_{DS}}{\partial V_{GS}} \approx g_m \rightarrow P_1 \\ I(2\omega) \propto \frac{1}{2} \frac{\partial^2 I_{DS}}{\partial V_{GS}^2} \approx g_{m2} \rightarrow P_2 \\ I(3\omega) \propto \frac{1}{6} \frac{\partial^3 I_{DS}}{\partial V_{GS}^3} \approx g_{m3} \rightarrow P_3 \\ \vdots \end{array} \right. \quad 5-17$$

Si osserva infine che, essendo P_2 e P_3 parametri ricavati prevalentemente mediante procedura di fitting, per assicurare al modello la necessaria robustezza numerica al di fuori del range di misura, è necessario imporre alcuni vincoli su questi coefficienti. Qualora $P_3 > 0$ (essendo $P_1 > 0$), allora bisognerà che il coefficiente P_2 rispetti il seguente vincolo non-lineare affinché le derivate della I_{DS} siano positive (in particolare per evitare che la trans-conduttanza risulti minore di zero) e quindi siano rappresentative di caratteristiche di dispositivi reali:

$$P_3 > 0 \rightarrow P_2^2 - 3P_3P_1 < 0 \quad 5-18$$

A titolo illustrativo si rappresentano graficamente questi concetti nelle seguenti figure in cui, nel primo caso si osserva una situazione in cui i coefficienti rispettano i vincoli su citati, e i successivi in cui il vincolo risulta violato.

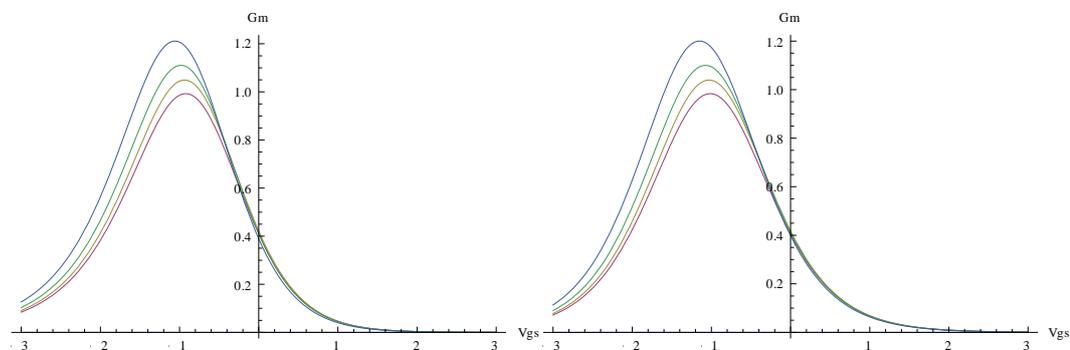


Figura 5-9: Caso in cui i coefficienti della funzione rispettano il vincolo (5-18): [$P_1=1, P_2=0.1, P_3=-0.01$] a sinistra e [$P_1=1, P_2=0, P_3=0$] a destra.

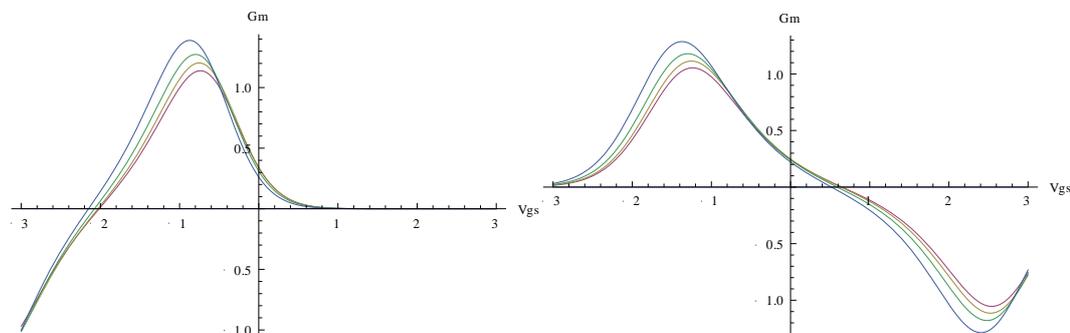


Figura 5-10: Casi in cui i coefficienti della funzione non rispettano il vincolo della (5-18), [$P_1=1, P_2=0.3, P_3=0$] a sinistra e [$P_1=1, P_2=-0.3, P_3=0$] a destra.

5.3 ESTRAZIONE DEI PARAMETRI DEL MODELLO

In presenza di numerosi coefficienti non è efficiente e neppure consigliato operare il fitting dei dati sperimentali a partire da condizioni iniziali poco attinenti con le osservazioni sperimentali. L'aver conferito al modello un preciso significato fisico consente di superare questa problematica poiché permette di identificare i valori dei principali coefficienti del modello a partire dall'analisi degli andamenti al variare delle tensioni di controllo delle curve ottenute dalle misure della corrente I_{DS} e delle sue derivate parziali al variare delle tensioni di controllo. Anche in presenza di un modello ben formulato sulla base di leggi costitutive che si basano sui principi fisici che regolano il funzionamento del dispositivo, estraendo in modo errato i coefficienti non è improbabile ottenere un modello che nel complesso si comporti in modo errato. Per queste ragioni, oltre a dover sfruttare le informazioni a carattere fisico dei coefficienti, è necessario anche sfruttare le relazioni funzionali che mettono in evidenza i singoli contributi dell'equazione complessiva secondo il cosiddetto metodo di estrazione diretta. Grazie alla formulazione del modello proposta che vede separate in fattori le dipendenze della I_{DS} da V_{GS} e V_{DS} , si analizzano di seguito i casi di interesse. A titolo puramente esemplificativo, per mostrare come praticamente si estraggono i principali parametri del modello, si farà riferimento a misure in DC fatte su un dispositivo basato su AlGaAs-GaAs per applicazioni di bassa potenza in alta frequenza. Il dispositivo è caratterizzato da una lunghezza di canale pari a $0.25 \mu\text{m}$ composto da 4 finger larghi $50 \mu\text{m}$ realizzato dalla fonderia Selex ES.

I parametri della parte di modello che rende conto della dipendenza da V_{DS} sono ricavabili in condizioni in cui V_{GS} non viene fatta variare. Una condizione utile per l'estrazione è $V_{GS} = 0 \text{ V}$. In questa condizione di polarizzazione il canale risulta formato (caso di dispositivi di tipo "Depletion") e, in prima approssimazione, la dipendenza della corrente I_{DS} dalla tensione V_{DS} è evidenziata in quanto $f_G(V_{GS})$ assume un valore costante e, al variare di V_{DS} è possibile estrarre alcuni parametri del modello direttamente dalle misure.

Con riferimento alla (5-4), la pendenza della caratteristica I_{DS} - V_{DS} è rappresentata dal parametro α . Riferendo l'analisi delle caratteristiche sperimentali alla regione in cui il dispositivo è in regime di funzionamento ohmico ($V_{DS} < V_{knee}$), imponendo $V_{GS} = 0 \text{ V}$, è possibile individuare l'entità del parametro α_{sat} . Come detto in precedenza, la pendenza delle caratteristiche può cambiare in accordo con la variazione della tensione V_{GS} secondo la (5-5) e quindi, imponendo una $V_{po} < V_{GS} < 0 \text{ V}$ tale da fare corrispondere una condizione di bassa corrente I_{DS} , sarà possibile estrarre α_0 come fatto per α_{sat} . L'estrazione di questi parametri risente dell'accuratezza con cui sono state precedentemente estratte le entità dei resistori parassiti e quindi si afferma nuovamente l'importanza di tecniche di estrazione dei contributi parassiti al modello durante l'estrazione del modello a piccolo segnale. Valori tipici per il parametro α_{sat} sono compresi tra 1 e 4 nel caso di dispositivi basati su tecnologia GaAs mentre per quelli basati su GaN valori tipici sono compresi tra 0.2 e 1. Valori tipici di α_0 sono compresi tra 0.001 e 0.2.

Il parametro λ introdotto nella (6) è estraibile valutando la pendenza delle curve misurate in una condizione di saturazione ($V_{DS} > V_{knee}$) imponendo una condizione di bassa potenza dissipata nel dispositivo mediante la tensione V_{GS} con cui si determina una medio-bassa corrente I_{DS} . La condizione di polarizzazione che garantisce la possibilità di evidenziare l'effetto di questo parametro sul modello analitico corrisponde ad imporre V_{GS} corrispondente a V_{PK} così da avere:

$$I_{DS}(V_{GS,pk}, V_{DSi}) = I_{pk} \tanh(\alpha V_{DSi}) [1 + \lambda V_{DSi}] \quad 5-19$$

E avendo imposto $V_{DS} > V_{knee}$ sarà possibile assumere:

$$\tanh(\alpha V_{DSi}) \approx 1 \quad 5-20$$

per cui avremo:

$$I_{DS}(V_{GS,pk}, V_{DS1}) = I_{pk}[1 + \lambda V_{DS1}] \quad 5-21$$

$$I_{DS}(V_{GS,pk}, V_{DS2}) = I_{pk}[1 + \lambda V_{DS2}] \quad 5-22$$

E infine è possibile ricavare il parametro λ :

$$\lambda = \frac{I_{DS}(V_{DS2}) - I_{DS}(V_{DS1})}{V_{DS2} - V_{DS1}} \quad 5-23$$

La procedura appena descritta è graficamente riassunta nella seguente figura:

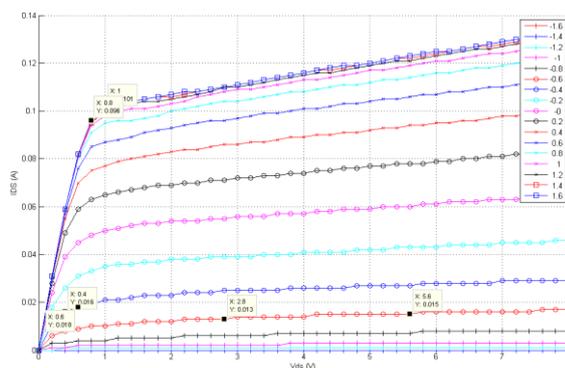


Figura 5-11: Estrazione dei parametri α e del parametro λ .

La condizione di bassa potenza dissipata richiesta per l'estrazione di questo parametro, deriva dalla necessità di isolare il fenomeno fisico della modulazione della lunghezza di canale da fenomeni termici (self-heating) che tendono a fare assumere alle caratteristiche pendenza negativa mentre il parametro λ può assumere solo valori ≥ 0 . Valori tipici per questo parametro sono 0.02 - 0.3 per dispositivi su GaAs e 0.01 - 0.05 per dispositivo su GaN.

L'estrazione dei parametri che quantificano la dipendenza della I_{DS} da V_{GS} comincia con l'identificazione delle tensioni in corrispondenza delle quali si osservano trans-conduttanze

di picco che a loro volta corrispondono ai punti di flesso delle curve I-V rispettivamente in regime di funzionamento lineare ($V_{DS} < V_{knee}$) e saturato ($V_{DS} > V_{knee}$). Simultaneamente a questa operazione si effettua l'estrazione del parametro P_1 sfruttando la conoscenza dell'entità della trans-conduttanza e della corrente I_{DS} corrispondenti alle due tensioni V_{pk0} e V_{pkS} precedentemente individuate. Infatti, ricordando le espressioni analitiche della corrente e della trans-conduttanza, è possibile ricavare la (5-13) come rapporto tra I_{DS} e g_m :

$$I_{DS}(V_{GS,pk}, V_{DSi}) = I_{pk} \{1 + \tanh[\psi(V_{GS,pk})]\} \tanh(\alpha V_{DSi}) [1 + \lambda V_{DSi}] \quad 5-24$$

$$g_m(V_{GS,pk}, V_{DSi}) = \frac{\partial I_{DS}}{\partial V_{DSi}} = I_{pk} P_1 \operatorname{sech}[\psi(V_{GS,pk})] \tanh(\alpha V_{DSi}) (1 + \lambda V_{DSi}) \quad 5-25$$

da cui

$$P_{1,i} = \frac{g_m(V_{GS,pk}, V_{DSi})}{I_{DS}(V_{GS,pk}, V_{DSi})} \quad 5-26$$

essendo

$$\tanh[\psi(V_{GS,pk})] = 0 \quad 5-27$$

e

$$\operatorname{sech}[\psi(V_{GS,pk})] = 1 \quad 5-28$$

Questo graficamente corrisponde alla situazione riportata in Figura 5-12:

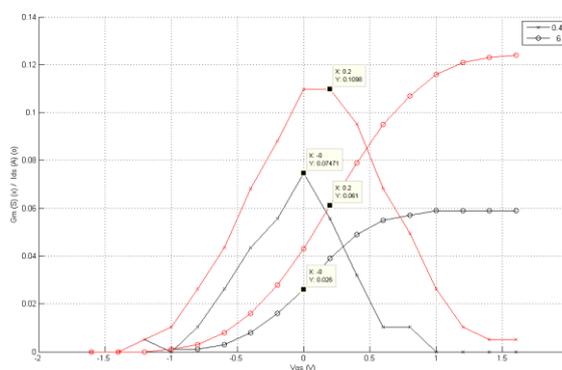


Figura 5-12: Estrazione del parametro V_{PK0} , V_{PKS} , P_{10} , P_{1S} , I_{PK} .

Si osserva che contestualmente il parametro del modello I_{pk} è stato ottenuto in quanto questo coincide con il valore assunto dalla corrente nella condizione precedentemente utilizzata per

ricavare P_{1s} . Questo parametro merita una riflessione perché analiticamente questa quantità determina il valore massimo della corrente poiché:

$$\lim_{V_{GS} \rightarrow \infty} [1 + \tanh V_{GS}] = 2 \quad 5-29$$

Ciò praticamente richiede di disporre di dati rappresentativi della reale corrente massima sostenibile dal dispositivo affinché sia possibile individuare correttamente questo parametro. Questo però determina che tale formulazione sia in alcuni casi limitativa rispetto a casi in cui la massima corrente osservata sia superiore a $2I_{pk}$ e in questi casi bisogna modificare la funzione $f_G(V_{GS})$ in modo opportuno. Un possibile approccio prevede l'introduzione di un fattore moltiplicativo applicato alla funzione Tanh come di seguito [5.11]:

$$f_G(V_{GS}) = 1 + M \tanh[\psi(V_{GS, pk})] \quad 5-30$$

$$M = 1 + 0.5 (M_{pk} - 1) \{1 + \tanh[Q(V_{GS} - V_{GSM})]\} \quad 5-31$$

in cui V_{GSM} rappresenta la tensione rispetto alla quale le caratteristiche deviano dalla rappresentazione secondo cui $I_{max} \leq 2I_{pk}$, M_{pk} rende conto dell'incremento della corrente rispetto al modello standard e Q è un parametro di fit. Si osserva come questo approccio sia consistente con il modello proposto nella (5-9) in quanto per valori di $V_{GS} < V_{GSM}$, il parametro M risulta essere pari a 1.

Successivamente all'estrazione dei principali parametri della f_G , occorre procedere all'individuazione delle entità da associare ai restanti parametri del modello prima di terminare la procedura di estrazione del modello con un'ottimizzazione dei coefficienti. Due importanti parametri sono P_2 e P_3 definiti nella serie di potenze introdotta nella (5-8). Per effettuare questa operazione, si ricorda che, in condizione di saturazione il contributo della $f_D(V_{DS})$ è circa pari a 1 ed è allora possibile ricavare l'andamento di $\psi(V_{GS})$ mediante la seguente inversione di funzione:

$$\psi(V_{GSi}) = \tanh^{-1} \left(\frac{I_{DS}(V_{gsi}, V_{dsi})}{I_{pk}} - 1 \right) \approx \tanh^{-1} \left(\frac{I_{DS}(V_{gsi})}{I_{pk}} - 1 \right) \quad 5-32$$

la quale, derivata numericamente, consente di ricavare i valori iniziali per il successivo fit di P_2 e P_3 . In alternativa, sarebbe possibile approssimare l'estrazione di questi due parametri sfruttando misure specifiche. I metodi possibili sono essenzialmente due e differiscono per l'hardware richiesto per effettuarle: misura delle armoniche a bassa frequenza [5.12], oppure sfruttando misure con Nonlinear Vector Network Analyser [5.13 - 5.16]. A concludere, si ricorda che il principale scopo dei parametri con cui si modella la dipendenza del parametro P_1 dalla tensione V_{DS} , B_1 e B_2 , consiste nella possibilità di modulazione dell'andamento della trans-conduttanza al variare di V_{DS} . In particolare, B_1 controlla l'entità della g_m per $V_{DS} < V_{knee}$, mentre B_2 rende conto di quanto velocemente si raggiunge la condizione di saturazione all'aumentare di V_{DS} in modo da rappresentare correttamente la

riduzione del parametro P1 che si osserva per all'aumentare di V_{DS} per $V_{DS} > V_{knee}$. I valori tipici per questi due parametri sono 0.01 - 0.5 per B_1 e 0.5 - 4 per B_2 .

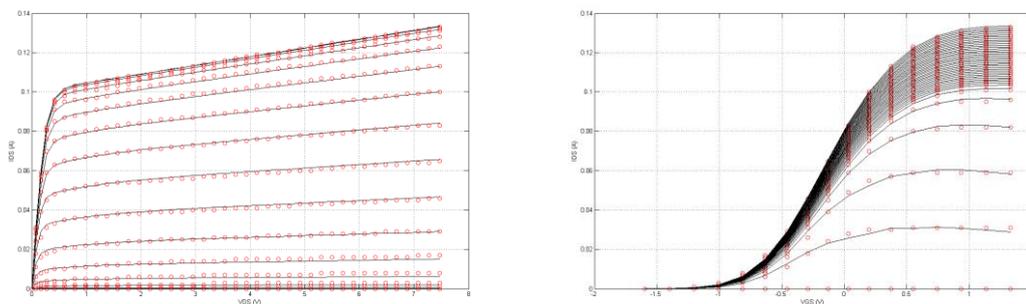
5.4 FIT DEL MODELLO

Approcciando questa operazione in modo simile a quanto fatto per la carica di Gate, bisognerà definire la funzione obiettivo del problema con cui ottimizzare i parametri del modello. La funzione obiettivo definita per ottimizzare i coefficienti del modello I-V non-lineare è la seguente:

$$E_{Tot} = \sum_{i=1}^N \sum_{j=1}^M \left[\frac{(I_{DS,meas}(i,j) - I_{DS,model}(i,j))^2}{(I_{DS,meas}(i,j))^2} \right] \quad 5-33$$

In questo modo il fitting della corrente di Drain viene effettuato rispetto alle quantità osservabili/misurabili. Si sarebbe potuto procedere sfruttando anche le informazioni relative alle derivate parziali della corrente, ma è stato osservato che, trattandosi di quantità derivate dalla sola misura di corrente I_{DS} , non determinava significativi benefici. Per svolgere operativamente il fitting dei parametri del modello è stato sviluppato un algoritmo software nel linguaggio Matlab che, in modo semi-automatico consente all'operatore di individuare i principali coefficienti iniziali per la successiva procedura di ottimizzazione. La routine attraverso la richiesta all'utente delle tensioni di interesse rispetto cui è possibile individuare i parametri estraibili direttamente dalle misure, conduce alla determinazione delle condizioni iniziali e degli intervalli entro cui far variare queste durante la procedura di ottimizzazione il cui risultato finale è l'insieme di coefficienti del modello della corrente I_{DS} .

Il risultato finale della procedura di ottimizzazione applicato sui dati introdotti in precedenza è riportato di seguito.



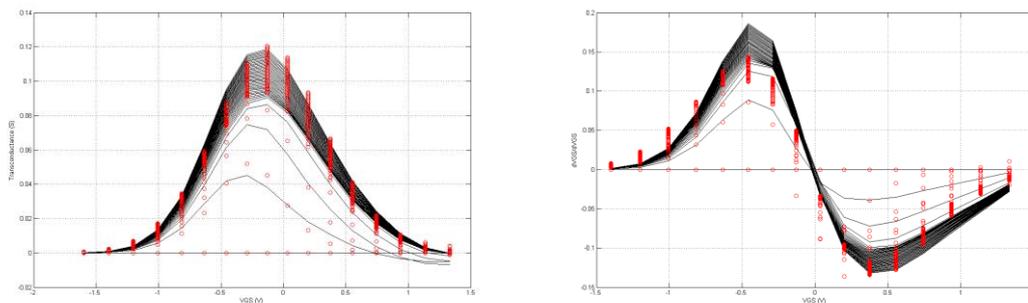


Figura 5-13: Confronto tra i dati misurati (simboli in rosso) e modello: in alto è rappresentata la caratteristica di uscita (a sinistra) e la trans-caratteristica (a destra) e in basso sono riportati gli andamenti della trans-conduttanza e della derivata della trans-conduttanza rispetto la tensione V_{GS} .

I coefficienti del modello risultante sono elencati nella tabella seguente.

P10	P1s	P2	P3	Vpk0	Vpks	Ipk	λ	αr	αs	B1	B2
0.17	0.5	-0.53	0.19	0.5	0.41	0.086	0.044	3.77	0.76	0.5	4

Tabella 5-1: Parametri del modello del dispositivo $4 \times 50 \mu\text{m}$ basato su AlGaAs-GaAs.

5.5 EFFETTI DEL SECONDO ORDINE

5.5.1 BREAKDOWN

In condizioni di funzionamento fortemente non-lineare in alta frequenza è possibile che, per effetto delle entità e delle forme d'onda della corrente e della tensione ai capi del dispositivo, siano indotti fenomeni che portano il dispositivo ad uscire dal dominio di funzionamento tipico mettendo in risalto il sopraggiungere delle limitazioni al funzionamento del dispositivo stesso. Questo avviene, ad esempio, quando la differenza di potenziale tra i terminali di Gate e Drain raggiunge dei livelli tali da sviluppare l'innescio di fenomeni tipici dei semiconduttori quali ad esempio l'effetto tunnel in corrispondenza della giunzione metallo semiconduttore definita tra Gate e Drain, la ionizzazione da impatto o la transizione dei portatori verso valli secondarie del diagramma a bande del materiale come conseguenza dei livelli di energia a cui sono sottoposti per effetto delle grandezze di controllo (hot-electrons) [5.17, 5.18]. Questa situazione si manifesta con un rapido incremento della corrente I_{DS} deviando così dalla legge descritta con il modello della (5-9).

Il modello del fenomeno del soft-breakdown può essere formulato, grazie alla caratteristica modulare del modello precedentemente proposto, introducendo un termine aggiuntivo alla parte di funzione che descrive la dipendenza della I_{DS} da V_{DS} . La forma analitica modificata della funzione f_D in questo caso è la seguente:

$$f_D(V_{DS}) = \tanh(\alpha V_{DS})(1 + \lambda V_{DS} + L_{sb}) \quad 5-34$$

In cui:

$$L_{sb} = L_{sb0} \exp \left[K_{sb} \left(\frac{V_{DGi}}{V_{tr}} - 1 \right) \right] \quad 5-35$$

dove si è messa in evidenza la dipendenza del fenomeno rispetto alla differenza di potenziale tra Drain e Gate a cui è possibile ricondurre l'entità del campo elettrico che manifesta il valore massimo in corrispondenza dell'estremità dell'elettrodo di Gate che si affaccia verso il Drain.

La criticità del fenomeno del break-down rispetto all'integrità del dispositivo causata dalla ionizzazione da impatto e successivamente, al crescere dei campi, da effetto valanga, risiede nella capacità di questi fenomeni nel degradare la qualità del reticolo cristallino del semiconduttore in modo permanente. Quindi, affinché sia possibile la caratterizzazione delle proprietà elettriche del dispositivo nelle condizioni operative che consentono l'osservazione di questo fenomeno, bisogna sfruttare una tecnica di caratterizzazione opportuna. Una possibile strategia di caratterizzazione che si rivela utile per lo scopo e sicura nei riguardi della preservazione dell'integrità del dispositivo, è quella delle misure I-V impulsive [5.19]. Mediante questa tecnica di misura è anche possibile esplorare le caratteristiche del dispositivo al variare della temperatura in quanto consentono di effettuare misure isoterme e iso-trappole. Questa tecnica sperimentale si rivela utile per caratterizzare diversi aspetti che fanno riferimento a fenomeni del secondo ordine trattati in questo paragrafo e ne verranno descritte le principali caratteristiche nel prossimo paragrafo.

5.5.2 DISPERSIONE IN FREQUENZA

Dispositivi elettronici sotto particolari condizioni manifestano effetti dinamici assieme ad aspetti statici precedentemente trattati e analizzati. Il contributo di questi effetti risulta evidente in condizioni di esercizio di alta frequenza impattando sia sulla conduttanza di uscita, sia sulla trans-conduttanza e sia sulle caratteristiche di *pinch-off* del dispositivo. Questa tipologia di caratteristiche dinamiche vengono identificate come effetti di memoria.

Gli effetti di memoria vengono classificati in base alle caratteristiche temporali con cui si evolvono in due categorie: effetti di memoria veloci STM (Short Term Memory effects) e lunghi LTM (Long Term Memory effects). Nella prima categoria rientrano tutti quei fenomeni la cui evoluzione si sviluppa secondo dinamiche che hanno costanti di tempo dell'ordine dei picosecondi (ps) e dei nanosecondi (ns). Appartengono a questa categoria fenomeni riconducibili al comportamento elettrico di reti complesse e sono in genere aspetti assimilabili alle proprietà filtranti di circuiti in cui sono presenti elementi induttivi e capacitivi tipici delle reti di adattamento di impedenza che si adottano per la realizzazione di circuiti che interessano i transistori. Nella seconda categoria sono individuabili fenomeni a carattere prevalentemente lento la cui costante di tempo si quantifica nell'ordine dei microsecondi (us) e dei millisecondi (ms). Fenomeni fisici che sono causa di tali eventi sono individuabili all'interno dei dispositivi e sono i fenomeni dispersivi di origine elettrica riconducibili alla cattura e rilascio di carica causati da difetti nei semiconduttori e i fenomeni termici di auto-riscaldamento (self-heating) osservabili durante il funzionamento dei dispositivi stessi e assieme a questi si intendono come fenomeni termici quegli aspetti legati

alla gestione termica del dispositivo assieme alla rete dedicata a queste funzioni. Alla categoria degli effetti di memoria lenti appartengono due tipologie di fenomeni che sono la dispersione elettrica e quella termica, che sono rispettivamente più veloci (μs) e più lenti (ms). Entrambi rappresentano aspetti di grande importanza nei riguardi del funzionamento del dispositivo e perciò, nell'ottica di sviluppare modelli auto-consistenti, bisogna modellizzarli entrambi.

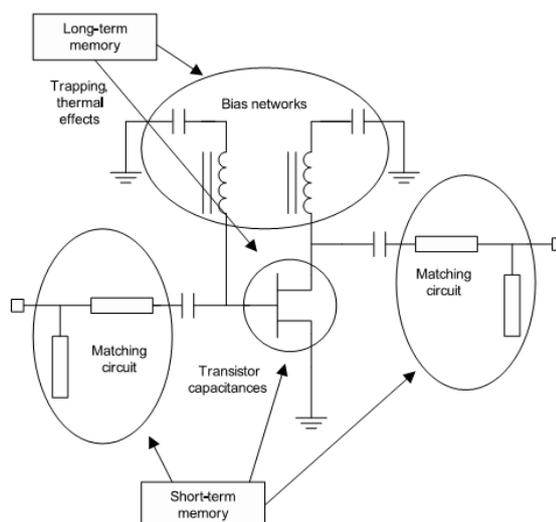


Figura 5-14: Classificazione dei fenomeni di memoria.

I fenomeni lenti sono inerenti la natura dei dispositivi a semiconduttore e in quanto tali è opportuno che siano ben rappresentati in un modello auto-consistente al fine di poter rappresentare in maniera completa le caratteristiche dei dispositivi. Questi contributi al funzionamento dei transistori si manifestano essenzialmente come effetti che retro-azionano il funzionamento del dispositivo e questo quindi impone la loro caratterizzazione e modellizzazione al fine di poter offrire la rappresentazione del comportamento del dispositivo anche tenendo conto della variabile temporale su più ampia scala di quella che solitamente viene considerata nei modelli statici. Ovviamente questo tipo di integrazione comporta ulteriori sforzi dal punto di vista sperimentale poiché, per poterne formulare un modello, sono necessarie caratterizzazioni specifiche e ulteriori sforzi computazionali oltre a quelli inevitabili della modellizzazione.

Le caratteristiche dispersive di origine elettrica sono ascrivibili a difetti nel reticolo del semiconduttore comunemente chiamati trappole. Queste hanno origine in modo spontaneo (imperfezioni del reticolo cristallino o per la presenza di impurità) o desiderato (tramite drogaggi). Tali difetti introducono dei livelli ulteriori tra la banda di valenza e la banda di conduzione, che agiscono come trappole o centri di ricombinazione, limitando la vita media dei portatori, con costanti di tempo paragonabili a quelli generati dagli effetti di surriscaldamento. Dal punto di vista della fisica dei semiconduttori, i livelli introdotti dalle trappole nel band gap possono distinguersi in stati energetici superficiali, ovvero queglii stati con energia di attivazione $E_T \leq K_B T$ (potenziale termico associato alla lacuna o all'elettrone), ed in stati profondi, ovvero caratterizzati da $E_T > K_B T$, dove K_B è la costante di Boltzmann e T la temperatura. Poiché la probabilità che vi sia una transizione dipende in modo esponenziale dal relativo salto di energia, la riduzione del salto energetico richiesto incrementa questa probabilità di transizione in modo notevole. Si hanno in questo modo i processi di

generazioni e ricombinazioni assistiti da trappole. Si possono avere quattro possibilità di transizione distinte rispettivamente in cattura ed emissione di elettroni e di lacune. Il tempo di vita medio dei portatori di carica mobile determina la costante di tempo del fenomeno dispersivo complessivo. La presenza di tale difetti genera quindi una distribuzione quasi statica di cariche; in particolare questo fenomeno si verifica alla superficie del wafer, nello strato buffer sottostante il canale attivo e fra due layer di composizione differente. La densità di questi, può determinare la variazione delle caratteristiche I-V attraverso cariche spaziali e distribuzione del campo elettrico. In particolare, le cariche spaziali distorcono e variano la regione svuotata del canale e quindi la corrente di Drain dei transistori, mentre la distribuzione del campo elettrico generata dalle trappole modifica la velocità dei portatori lungo il canale. Infine l'attivazione o meno di queste trappole, e quindi il numero di portatori in esse intrappolato, è fondamentalmente legato alla polarizzazione in DC applicata sul dispositivo attivo. Infatti l'attivazione delle trappole è legato al campo elettrico presente sul dispositivo attivo. Variando quindi il punto di lavoro quiescente (DC) da una polarizzazione ad un'altra, le trappole attivate variano ed hanno una costante di tempo di attivazione simile e poco minore di quella degli effetti termici. Per questo motivo oggi non è possibile suddividere in modo univoco i problemi associati alle trappole dagli effetti termici.

Questi fenomeni si manifestano sulla variazione delle curve I-V a RF rispetto a quelle DC in termini sia di corrente massima, tensione di breakdown e di ginocchio alterando perciò la stessa trans-conduttanza, e della conduttanza di uscita. In particolare, quello che si osserva è una riduzione della resistenza di uscita, fino a un ordine di grandezza, passando da eccitazione statica DC a eccitazione tempo-variante con frequenza che generalmente corrisponde a qualche Hz fino a decine di MHz a seconda della tecnologia in esame legata al tipo di difetti e perciò all'energia caratteristica di questi [5.20]. In maniera sensibilmente minore si manifesta un simile comportamento della trans-conduttanza che però manifesta riduzioni nel peggiore dei casi fino al 25% [5.21]. Questo aspetto, è chiaramente di fondamentale importanza nella rappresentazione non-lineare di transistori in particolare quando questi sono utilizzati sottoponendoli ad segnali di elevata ampiezza. Infatti, la resistenza/conduttanza di uscita impatta direttamente sulla potenza di uscita dal dispositivo e la corrispondente progettazione delle reti di adattamento verso il carico mentre il guadagno del dispositivo è direttamente dipendente dalla trans-conduttanza.

Data l'importanza di questi fenomeni in applicazioni complesse ad elevate prestazioni, è necessario scegliere una strategia di modellizzazione che contempli la descrizione sia del comportamento DC che quello AC del dispositivo tra le possibili descritte in bibliografia [5.13, 5.22, 5.23, 5.24]. Le alternative sono riassunte nella Figura 5-15 e sinteticamente consistono in: l'aggiunta di un resistore costante dipendente dalla frequenza (mediante l'introduzione di un condensatore) in parallelo al generatore I_{DS} ; l'aggiunta di un resistore dipendente dalla polarizzazione e dipendente dalla frequenza in parallelo al generatore I_{DS} ; l'aggiunta di un generatore di corrente controllato dalle tensioni statiche ma dipendente dalla frequenza mediante il condensatore C_{lf} , connesso in parallelo al generatore I_{DS} oppure con un simile approccio in cui il generatore è controllato da tensioni che contemplino la presenza della dispersione in modo dinamico.

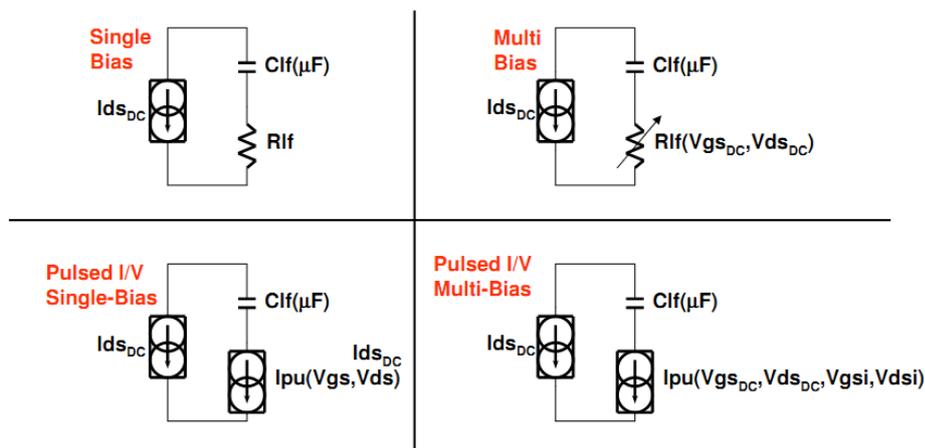


Figura 5-15: Possibili approcci per modellizzare i fenomeni di dispersione nel HFET.

Sulla base di una di queste [5.24] è stato sviluppato il modello non-lineare che, per suo vantaggio rispetto la strategia proposta in [5.13], consente di formulare un modello valido sull'intero piano I-V grazie alla possibilità di sfruttare completamente le informazioni ricavabili da misurazioni I-V impulsive, tecnica di caratterizzazione che verrà descritta nel prossimo paragrafo. Il modello, insistendo sulla caratteristica modulare che si è imposta allo stesso modello, include un ulteriore generatore di corrente non-lineare connesso in serie ad un condensatore e il ramo così costituito si porrà in parallelo al ramo con il generatore I_{DS} precedentemente descritto. Il generatore è controllato da tensioni statiche poiché modellizzato sulla base di misure impulsive. Il modello circuitale risultante è quello riportato di seguito:

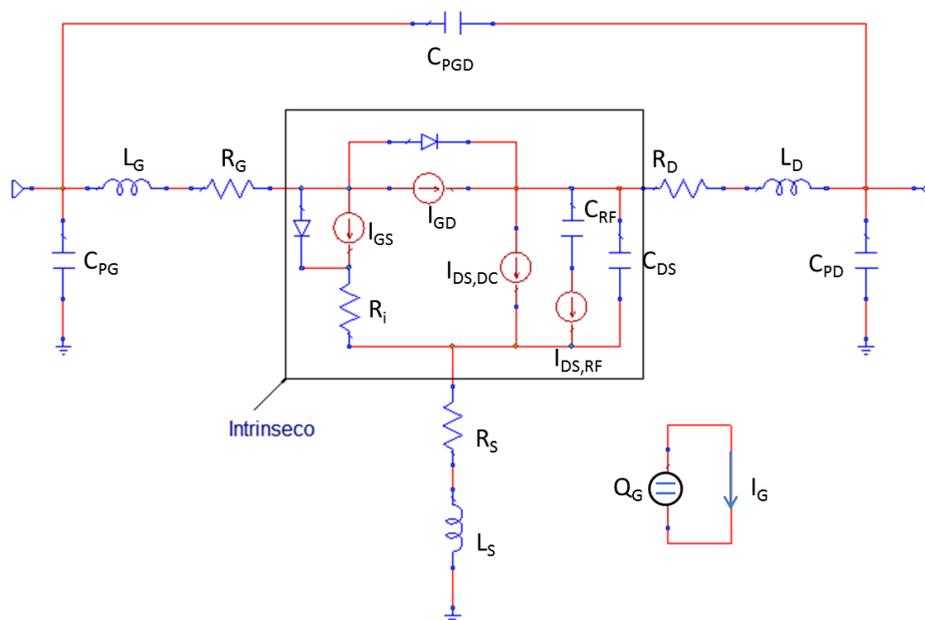


Figura 5-16: Modello non-lineare del HFET inclusivo dei fenomeni di dispersione.

La presenza del condensatore in serie al generatore $I_{DS,RF}$ consente di preservare il comportamento del modello in continua poiché resta attivo il solo generatore I_{DS} , garantendo così la consistenza tra modello DC e AC. A RF, questo partecipa assieme al generatore $I_{DS,RF}$ determinando l'entità della costante di tempo tipica dei fenomeni di dispersione. Si osserva infine che, affinché non sia violata la consistenza del modello tra DC e AC assieme al principio di Kirchhoff, il generatore ausiliario rappresentativo dei fenomeni di dispersione risulterà vincolato a quello DC mediante la seguente relazione:

$$I_{DS,RF} = I_{DS,RF} - I_{DS,DC} \quad 5-36$$

Questo approccio conduce alla formulazione di un modello elettro-termico in cui le dipendenze delle caratteristiche del dispositivo vengono rappresentate in modo completo e coerente da un punto di vista fisico. Si garantisce quindi la completa descrizione delle caratteristiche del dispositivo nelle diverse condizioni operative utilizzando la medesima formulazione analitica delle correnti beneficiando così delle su citate proprietà.

5.5.3 EFFETTI TERMICI

La dipendenza delle proprietà elettriche e di trasporto dei semiconduttori si ripercuote sulle caratteristiche elettriche e prestazionali dei transistori in modo molto importante attraverso la variazione delle principali quantità che interessano il funzionamento del dispositivo e in quanto tali è necessario che il modello non-lineare includa questo fenomeno. In condizioni operative, a causa del fluire della corrente nel dispositivo si osservano incrementi locali e globali della temperatura del dispositivo. La dissipazione di potenza nel dispositivo infatti causa, per effetto Joule, l'incremento della temperatura in luogo della finita entità della conducibilità termica dei materiali impiegato come substrato dei transistori. L'azione contro-reazionante principale del fenomeno dell'auto-riscaldamento (self-heating) si ha nei riguardi della riduzione della mobilità dei portatori di carica mobile determinata anche per l'aumento dei fenomeni di scattering. A questo si aggiunge la riduzione delle E_G dei materiali a causa del quale consegue la riduzione delle densità di carica nel canale come conseguenza delle discontinuità dei profili della banda di valenza e conduzione tra diversi materiali. A questi fenomeni si aggiungono altri di natura più deleteria nei riguardi della integrità del dispositivo. Le rotture dovute a hot-spot ed elettro-migrazione la cui conseguenza principale è la distruzione del dispositivo ne sono un esempio.

Tutto questo determina che il generatore di corrente I_{DS} introdotto nel modello non-lineare e le relative quantità che si ottengono da questo elemento attraverso linearizzazione, risultino fortemente dipendenti dalla temperatura di esercizio, implicando così la necessità di una corretta modellizzazione di questa relazione, in particolare per quei dispositivi per applicazioni di alta potenza e alta frequenza. Lo scenario delle applicazioni in alte frequenze è infatti tale da richiedere sempre maggiori densità di potenza alle moderne tecnologie di dispositivi mettendo in evidenza sempre più questo fenomeno.

Con l'intento di modellizzare questo fenomeno in modo sufficientemente semplice da poter essere implementato in CAD, si introduce il concetto di resistenza termica. La resistenza termica R_{TH} descrive macroscopicamente le caratteristiche termiche del dispositivo mettendo in relazione la temperatura di giunzione del dispositivo con la potenza dissipata nello stesso. Il concetto si basa sulla analogia tra le proprietà elettriche e le proprietà termiche dei materiali, così la temperatura viene associata alla tensione, la potenza alla corrente e la

resistenza termica alla resistenza elettrica e rappresenta l'incapacità di trasferire il calore dal punto in cui questo viene generato (il canale) verso l'esterno del dispositivo. In particolare questa si definisce come:

$$R_{TH} = \frac{\Delta T}{\Delta P} = \frac{T_{CH} - T_A}{\Delta P} \text{ [K/W]} \quad 5-37$$

in cui ΔT rappresenta la variazione di temperatura (media) tra quella del canale del dispositivo (T_j) e quella dell'ambiente (T_A) a cui si riferisce la temperatura del substrato, e ΔP la variazione di potenza dissipata. Questa quantità dipenderà sia dalle proprietà dei materiali (conducibilità termica di ciascun materiale e qualità delle interfacce) di cui si compone il dispositivo e sia dalla sua geometria. In luogo della natura dinamica dei fenomeni termici è conveniente introdurre il concetto di impedenza termica mediante la quale è possibile rappresentare l'aspetto temporale del fenomeno in esame. L'azione esercitata sulle caratteristiche elettriche del dispositivo da parte di questo fenomeno risulterà pertanto rappresentata in modo dinamico favorendo la consistenza del modello. Questa risulta così definita:

$$Z_{TH}(t) = \frac{\Delta T(t)}{\Delta P} = \frac{T_{CH}(t) - T_A}{\Delta P} \text{ [K/W]} \quad 5-38$$

che tradotta in una rappresentazione elettrica equivalente risulta composta dal parallelo della resistenza termica di cui sopra e da un condensatore mediante il quale è possibile rappresentare l'aspetto dinamico di accumulo e rilascio del calore in modo molto efficace. Sulla base del parallelo R_{TH} e C_{TH} si introduce la corrispondente costante di tempo caratteristica del fenomeno come:

$$\tau_{TH} = R_{TH} C_{TH} \quad 5-39$$

Invertendo l'espressione (5-38) è possibile calcolare la temperatura di canale come:

$$T_{CH}(t) = Z_{TH}(t)P_{Diss} + T_A \text{ [K]} \quad 5-40$$

Nell'ipotesi di linearità è immediata la trasformazione dell'impedenza termica dal dominio del tempo a quello della frequenza permettendo così di disporre di un sintetico parametro a cui legare le caratteristiche del modello che, per l'analogia stante tra il dominio elettrico e quello termico, offre una immediata rappresentazione del fenomeno attraverso un circuito equivalente. Infatti, sostituendo alla P_{diss} una corrente I_{TH} equivalente e alla T_{CH} una tensione V_{TH} equivalente, avremo:

$$P_{Diss}(t) = \frac{\Delta T(t)}{Z_{TH}} = \frac{\Delta T(t)}{R_{TH}} + C_{TH} \frac{d}{dt} \Delta T(t) \quad 5-41$$

$$I_{TH}(t) = \frac{\Delta V_{TH}(t)}{Z_{TH}} = \frac{\Delta V_{TH}(t)}{R_{TH}} + C_{TH} \frac{d}{dt} \Delta V_{TH}(t) \quad 5-42$$

La cui rappresentazione mediante circuito equivalente è la seguente:

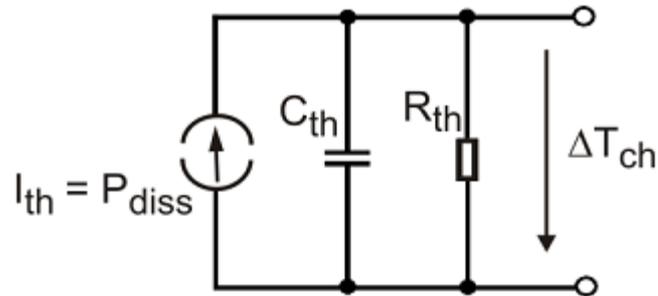


Figura 5-17: Circuito equivalente del comportamento elettro-termico del dispositivo.

In questo modo, conoscendo l'impedenza termica del dispositivo, sarà possibile ricavare la temperatura di canale che sarà successivamente utilizzata per modificare il comportamento del dispositivo mediante le relazioni analitiche che descrivono come il modello non-lineare risente della variazione di temperatura. Gli effetti di tipo termico sono inclusi nel modello non-lineare della corrente I_{DS} (5-9) rendendo i parametri I_{pk} , P_1 , P_2 , P_3 , α_r , α_s , V_{pk0} , V_{pks} e λ linearmente dipendenti dalla temperatura.

$$I_{PK}(T) = I_{PK}(T_0)(1 + T_{C,IPK} \Delta T) \quad 5-43$$

$$P_1(T) = P_1(T_0)(1 + T_{C,P1} \Delta T) \quad 5-44$$

$$P_2(T) = P_2(T_0)(1 + T_{C,P2} \Delta T) \quad 5-45$$

$$P_3(T) = P_3(T_0)(1 + T_{C,P3} \Delta T) \quad 5-46$$

i cui coefficienti di fitting assumono valori minori di 0 in accordo con l'effetto dell'incremento della temperatura sulla mobilità e la densità di carica nel canale.

In accordo con la fenomenologia coinvolta è possibile supporre anche la dipendenza da parte della carica di Gate da questo fenomeno che in prima approssimazione potrebbe essere descritta con una relazione simile a quelle precedenti in cui quello che cambia è il segno del coefficiente. Questa differenza deriva dalla riduzione della mobilità che si osserva con l'aumentare della temperatura per cui $T_{C,CGO} > 0$ (tipicamente $T_{C,CGO} = 0.003$).

$$C_{G0}(T) = C_{G0}(T_0)(1 + T_{C,CGO} \Delta T) \quad 5-47$$

Resta però ancora da definire l'approccio per quantificare sperimentalmente l'impedenza termica che sarà poi sfruttata per estrarre i coefficienti del modello I-V non-lineare. I coefficienti che descrivono la dipendenza dei parametri del modello dalla temperatura si ottengono fittando diverse misurazioni I-V impulsate (effettuate per una condizione di polarizzazione statica a $P_{\text{Diss}} = 0 \text{ W}$) al variare della temperatura a cui viene posto il dispositivo. Per quanto riguarda invece la determinazione della impedenza termica possono essere usate tecniche termografiche [5.25], o misure mediante la tecnica della foto-corrente [5.26] o ancora sfruttando misure dello spettro Raman [5.27] oltre alle appena introdotte misure I-V impulsate.

Il modello proposto, a differenza delle altre possibili soluzioni, risulta un modello auto-consistente con memoria in quanto le caratteristiche RF saranno dipendenti anche dalla temperatura del dispositivo ed, inoltre, essendo dotato del IV terminale, consentirà di tenere conto anche dell'ambiente circostante in cui il dispositivo opera.

5.6 TECNICA DI MISURA DELLE CARATTERISTICHE I-V IMPULSATE

La necessità di formulare modelli non-lineari che consentano la simulazione di circuiti per applicazioni di alta frequenza e alta potenza, impone l'utilizzo di tecniche di caratterizzazione specifiche per individuare e rappresentare accuratamente specifici fenomeni. La tecnica di misura di corrente al variare delle tensioni di controllo quando queste sono impulsate, ha recentemente guadagnato grande consenso per diverse ragioni. Le principali motivazioni da cui deriva l'importanza delle misure impulsate nell'ambito della caratterizzazione per la modellistica, sono la possibilità di indagare separatamente l'influenza dei difetti nel semiconduttore ("iso-trap") e della variazione della temperatura ("iso-thermal") sulle caratteristiche elettriche del dispositivo oltre a poter esplorare le caratteristiche elettriche del dispositivo in condizioni operative di potenze elevate che, in condizioni di funzionamento continuo, non potrebbero essere sostenute dalla tecnologia senza manifestare il danneggiamento del dispositivo. Questo tipo di informazioni sono ricavabili mediante la configurazione della misurazione assieme al controllo della temperatura del dispositivo.

Come detto in precedenza, i transistori così come tutti i dispositivi a semiconduttore, manifestano effetti di memoria derivanti da fenomeni fisici intrinseci e dalla dipendenza delle proprietà elettriche dall'ambiente che fissa le condizioni al contorno entro cui il dispositivo è portato ad operare. A partire dalla conoscenza dei fenomeni coinvolti nelle osservazioni sperimentali, è possibile individuare opportune condizioni che consentono di isolare dei fenomeni rispetto ad altri, evidenziandone gli effetti rispetto a una caratterizzazione DC classica.

Prendendo, ad esempio, la risposta di un transistor ad una sollecitazione a gradino applicata ai terminali di Gate e Drain simultaneamente e monitorando la corrente di Drain, quello che generalmente si osserverà sarà un'evoluzione temporale che rende conto di diversi fenomeni.

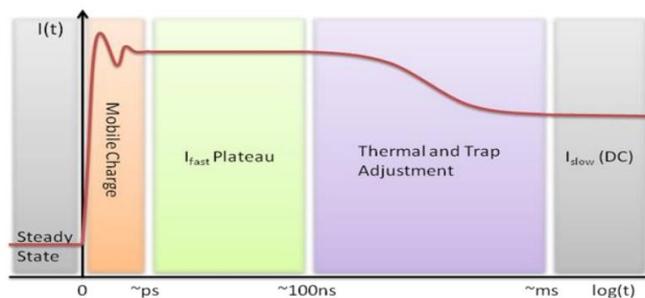


Figure 1. $I(t)$ changing response to a step change in voltage at $t=0$

Figura 5-18: Andamento temporale della corrente di un HFET sollecitato con tensioni con andamento nel tempo a gradino.

In Figura 5-18 è possibile rilevare che la risposta di un FET manifesta un modesto ritardo rappresentativo del tempo richiesto dalle cariche per ridistribuirsi nel dispositivo una volta applicate le tensioni. Successivamente si osserva come la corrente si attesti ad un valore di plateau che successivamente tenderà a evolvere una volta che fenomeni termici e fenomeni legati all'occupazione di stati elettronici di difetto intervengono influenzando apparentemente le proprietà di trasporto dei portatori di carica. Questi fenomeni si svilupperanno fino a quando non sarà raggiunto un nuovo stato nel dispositivo nel quale sia la temperatura sia gli stati elettronici risulteranno all'equilibrio, raggiungendo quella che nella figura è la " I_{slow} ". Data la dipendenza temporale con cui si sviluppano i fenomeni su citati, si evidenzia la natura dispersiva del comportamento del dispositivo.

Dalla fisica dei semiconduttori è possibile trarre lo spunto per identificare la possibilità di sfruttare misure impulsive per evidenziare i fenomeni a cui siamo interessati. Le trappole sono difetti nel semiconduttore caratterizzati da un particolare contributo energetico e la loro occupazione, con conseguente cattura di carica, può avvenire solo se i portatori di carica mobile sono sottoposti ad opportuni campi elettrici. Quindi la quantità di carica accumulata negli stati di difetto può essere controllata modulando i potenziali applicati. In dettaglio la misura impulsata consiste nel controllare i campi applicati in modo statico mentre si esplorano le curve I-V sollecitando il dispositivo con stimoli con forma di impulsi di breve durata, ponendosi nella regione identificata in Figura 5-18 come " I_{fast} ". Allo stesso modo è possibile controllare la condizione termica in cui opera il dispositivo, in quanto la condizione di polarizzazione statica applicata al dispositivo durante la misura impulsata determina la temperatura di canale attraverso la variazione della potenza dissipata su di esso. La "breve" durata dell'impulso permette di eliminare dalla risposta del dispositivo i contributi derivanti da fenomeni dispersivi e termici. Da questo discende l'importanza di questa tecnica di caratterizzazione in ottica di sviluppare modelli poiché il meccanismo è simile a quello che succede quando al dispositivo viene applicato un segnale sinusoidale ad alta frequenza come messo in evidenza in Figura 5-19.

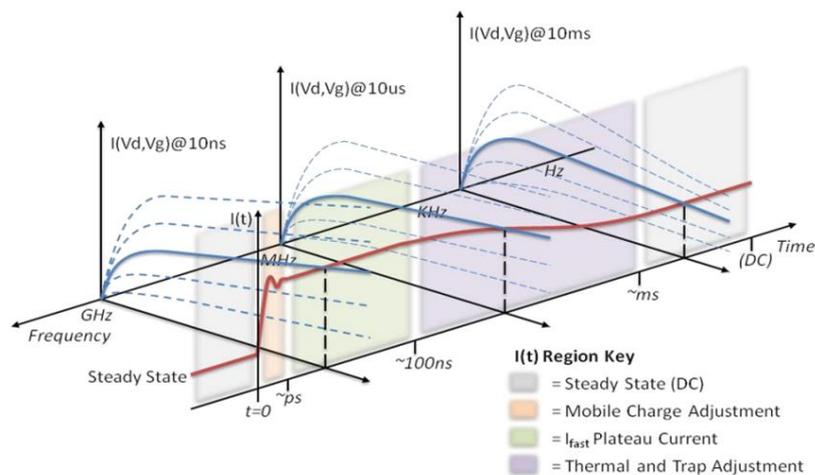
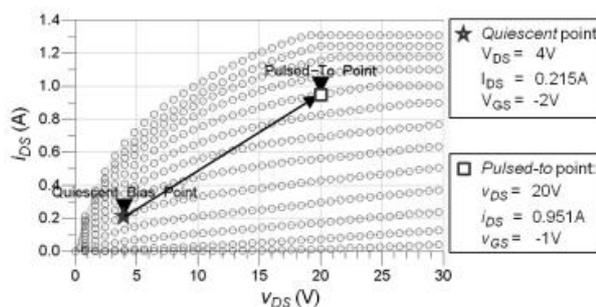


Figure 2. The step response relationship between $I(V)$ and $I(t)$

Figura 5-19: Rappresentazione della caratteristica I-V di un generico HFET al variare del tempo di durata della sollecitazione.

In Figura 5-19 infatti è possibile osservare come cambino le caratteristiche elettriche di un FET al variare della durata dell'eccitazione e questo lascia intuire come a seconda dell'applicazione in cui verrà impiegato il dispositivo bisognerà includere o meno fenomeni che effettivamente intervengono durante il funzionamento del FET.

In termini pratici, la caratterizzazione si effettua secondo la modalità riportata in Figura 5-20 in cui la corrente viene misurata dopo aver applicato le tensioni di controllo al dispositivo, sovrapposte a delle tensioni continue che determinano il punto di lavoro statico.



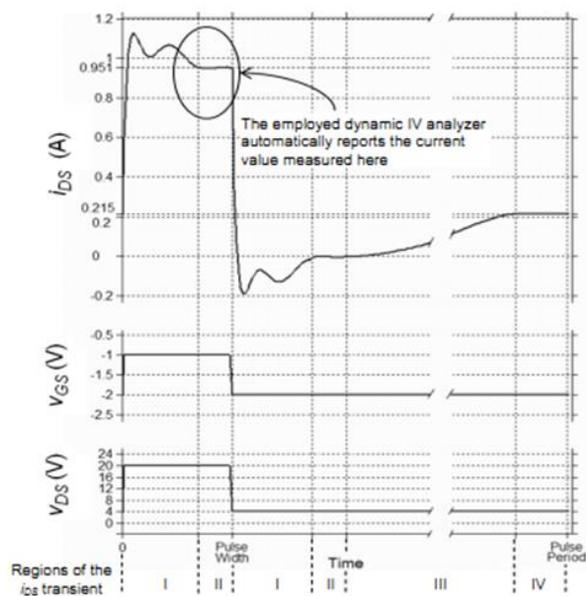


Figura 5-20: Descrizione della misura I-V impulsata.

I parametri da modulare a disposizione della tecnica sono: la durata dell'impulso (τ) il periodo di ripetizione dell'impulso (T), il punto di lavoro quiescente ($Q_0 = (V_{GS0}, V_{DS0})$) e la temperatura del dispositivo (T_A). La durata dell'impulso tipicamente è pari a qualche ms fino a decine di ns e minore è tale quantità e minore saranno i contributi dispersivi che concorreranno alla risposta del dispositivo. Questo parametro inoltre, se fissato nell'ordine dei ns, garantisce la possibilità di esplorare le caratteristiche elettriche del dispositivo al di fuori delle normali condizioni operative. Ad esempio, è possibile indagare l'evoluzione del fenomeno del break-down senza indurre danneggiamenti del dispositivo in quanto la breve durata dei segnali di stimolo non è tale da determinare la persistenza dei fenomeni che causerebbero il fenomeno del break-down, permettendo così di preservare il dispositivo da danneggiamento. La durata del periodo con cui si ripetono gli impulsi si sceglie in modo da consentire al dispositivo stesso di tornare alla condizione iniziale una volta terminato l'impulso di stimolo. Questo parametro incide principalmente sugli aspetti termici e, al fine di condurre misurazioni iso-termiche, è necessario che sia maggiore della costante di tempo caratteristica della dinamica temporale propria del dispositivo. Il parametro che maggiormente conferisce flessibilità e significato alla tecnica è la selezione del punto di lavoro statico. La condizione termica a cui si trova il dispositivo infatti è controllabile sia ponendo il dispositivo ad una temperatura costante e sia imponendo un particolare punto di lavoro statico. Ad esempio, nel caso in cui non scorra corrente quiescente nel dispositivo, si potrà realizzare una condizione di misura iso-termica escludendo così dalla misura i contributi derivanti dal calore. Viceversa, variando il punto di lavoro scegliendo condizioni di diverse P_{diss} è possibile osservare come e quanto incidano i fenomeni termici sulle caratteristiche del dispositivo.

$$P_{Diss} = V_{DS,0} I_{DS,0}(V_{GS,0}, V_{DS,0})$$

5-48

Si riporta il risultato di una misura I-V impulsata effettuata su un dispositivo basato su GaN al variare della potenza dissipata (Figura 5-21).

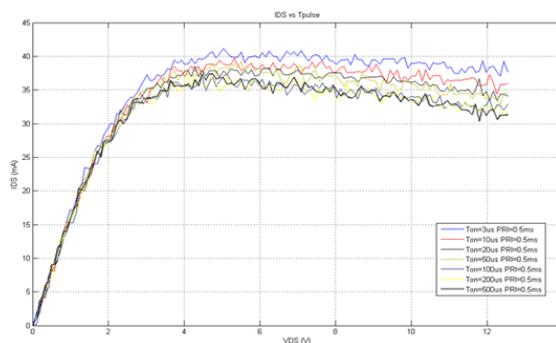


Figura 5-21: Effetto della P_{diss} sulle caratteristiche elettriche del dispositivo. Misure a confronto: tracce in nero misura DC; altre tracce ottenute variando la P_{diss} mediante la variazione della V_{GS0} (QP: $V_{DS}=10$ V).

Le curve riportate in Figura 5-21 consentono di ricavare, mediante fitting, l'entità della R_{TH} a partire dal modello non-lineare costruito a partire dai dati corrispondenti alla condizione $P_{diss}=0$. L'approccio che invece consente di risalire alla C_{TH} consiste nell'effettuare misurazioni a parità di P_{diss} variando la durata dell'impulso e quindi il duty cycle del test una volta nota la R_{TH} in quanto ricavabile sfruttando la (25) dopo aver individuato la durata dell'impulso in corrispondenza del quale non si osserva differenza con la misura DC. Per completezza bisogna comunque osservare che questa metodologia non è l'unica a consentire di ricavare sperimentalmente l'impedenza termica del dispositivo.

Le misure I-V impulsive, sebbene siano concettualmente semplici da effettuare, presentano diverse difficoltà di cui bisogna tenere conto durante le misure. Particolare attenzione in questo tipo di misurazione deve essere riservata alla qualità del set-up e in particolare alle interconnessioni tra dispositivo e set-up. Affinché non si verifichino alterazioni e degradazioni degli impulsi di test, è opportuno disporre di specifici bias tee e cavi a basse perdite. Inoltre bisogna evitare che la condizione di polarizzazione statica ponga il dispositivo in una condizione a rischio di oscillazioni che potrebbero causare il danneggiamento del dispositivo ed è allora necessario variare il punto di lavoro verso condizioni a minore P_{diss} oppure modificare il set-up introducendo resistori in parallelo all'uscita del dispositivo.

Oltre a consentire di indagare le caratteristiche elettriche al variare della P_{diss} , il punto di lavoro quiescente consente di escludere i contributi dovuti alle trappole nel dispositivo. Imponendo un potenziale al Gate tale da non consentire l'occupazione degli stati elettronici di difetto, è possibile osservare la risposta del dispositivo in assenza di difetti superficiali i quali svolgono un'azione simile ma opposta a quella esercitata dal Gate rispetto alla carica nel canale. In modo analogo, applicando un potenziale opportuno all'elettrodo di Drain, è possibile svuotare eventuali difetti presenti all'interfaccia tra il canale e il substrato. Quindi, confrontando le misurazioni effettuate imponendo condizioni "iso-trap" con misurazioni con stati elettronici occupati, sarà possibile rilevarne la presenza e indagarne la dinamica variando la durata degli impulsi.

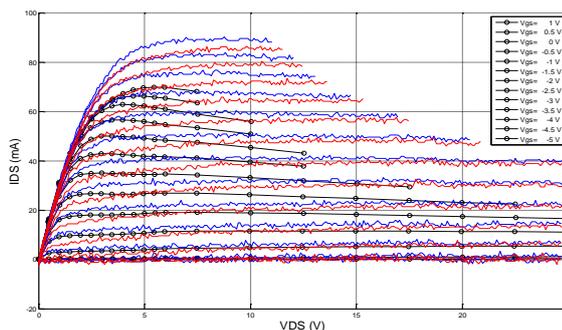


Figura 5-22: Dispersione associata a difetti superficiali. Misure a confronto: tracce in nero misura DC; tracce in blu condizione QP=Hard pinch-off (QP: $V_{DS}=0$ V, $V_{GS}=-10$ V) con stati elettronici non occupati; tracce in rosso condizione con stati elettronici occupati (QP: $V_{DS}=0$ V, $V_{GS}=0$ V).

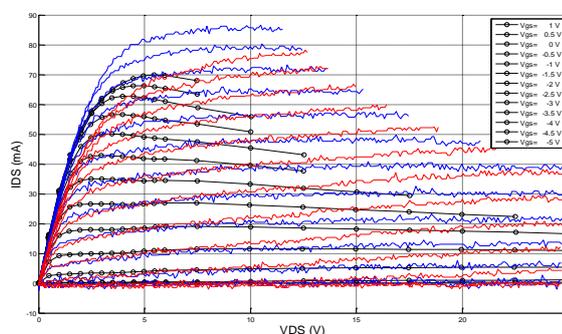


Figura 5-23: Dispersione associata a difetti nel bulk. Misure a confronto: tracce in nero misura DC; tracce in blu condizione QP=Hard pinch-off (QP: $V_{DS}=0$ V, $V_{GS}=-10$ V) con stati elettronici non occupati; tracce in rosso condizione con stati elettronici occupati (QP: $V_{DS}=0$ V, $V_{GS}=-10$ V).

Si osserva come i dati relativi alla Figura 5-23 siano stati ottenuti rispetto ad una condizione in cui anche i fenomeni di dispersione dovuto a difetti superficiali sono stati eliminati per evitare eventuali effetti di schermatura. Ciononostante gli effetti dei due tipi di difetti sulle caratteristiche elettriche del FET sono differenti come è possibile osservare nelle due figure riportate. Si osserva infine come in entrambi i casi siano state scelte condizioni di polarizzazione in cui la P_{diss} è trascurabile.

Ai fini della modellizzazione, questo implica che, una volta identificati i contributi che intervengono al funzionamento del dispositivo, si effettueranno caratterizzazioni nelle condizioni iso-termiche e iso-trappola corrispondenti alle effettive condizioni di lavoro in cui verrà adoperato il dispositivo. In questo modo si terranno in considerazione soltanto i contributi dovuti alla dispersione che effettivamente agiscono nelle condizioni di lavoro di interesse. Questi dati costituiscono il punto di partenza da cui comincia la procedura di fitting con cui si estraggono tutti i coefficienti del modello non-lineare. Il risultato di questa operazione concorrerà secondo il modello proposto in Figura 5-16 a definire il modello non-lineare I-V auto-consistente che risulterà valido sia in DC che in RF grazie alla presenza del C_{RF} introdotto cui si rappresenta la caratteristica temporale del fenomeno dispersivo ricavata sperimentalmente variando la durata degli impulsi al pari di quanto fatto per la C_{TH} .

5.7 CORRENTE DI GIUNZIONE GATE-SOURCE E GATE-DRAIN

Nell'ambito della modellizzazione non-lineare di HFET, il contributo della non-linearità della caratteristica I-V della giunzione Schottky di Gate non è trascurabile. In applicazioni di alta potenza, il segnale di sollecitazione applicato all'elettrodo di controllo può assumere entità tale da indurre la giunzione di Gate ad essere dinamicamente polarizzata in diretta. Questo produce la variazione delle tensioni intrinseche del dispositivo a causa della corrente DC controllata dal valore medio del segnale di stimolo a cui segue la modifica delle caratteristiche del dispositivo modificando anche il coefficiente di riflessione di ingresso del dispositivo. Pertanto questa ultima non-linearità deve necessariamente essere inclusa nel modello.

La natura del contatto di Gate nei transistori ad effetto di campo è quella di una giunzione rettificante di tipo Schottky. La legge che descrive la relazione corrente - tensione è la seguente:

$$I_{Schottky} = I_0 \left(e^{\frac{V_G - V_{th}}{\eta K_B T}} - 1 \right) \quad 5-49$$

in cui V_G è rappresentativa della tensione effettivamente applicata al diodo di Gate dopo aver rimosso il contributo di caduta di potenziale dovuto alla resistenza parassita in serie del diodo.

La misura della corrente di Gate viene effettuata con il metodo Floating-Drain per la corrente nella giunzione Gate-Source e con il metodo Floating-Source per la corrente nel diodo Drain-Gate [5.28]. L'estrazione dei parametri del modello è stata effettuata mediante ottimizzazione i cui valori della condizione iniziale possono essere ricavati analizzando l'andamento della corrente misurata. Dopo aver individuato la tensione di soglia del diodo, si individua su grafico semi-logaritmico il valore della I_0 e del fattore di idealità. Il primo si ottiene elevando il numero di Nepero alla potenza che corrisponde al valore del termine noto con cui si approssima l'andamento della corrente nella regione lineare. Il fattore di idealità si ricava dalla pendenza della caratteristica nella regione lineare della misura.

Infatti risulta che:

$$\ln(I_{Schottky}) = \ln(I_0) + \frac{V_G - V_{th}}{\eta K_B T} \quad 5-50$$

In Figura 5-24 si riporta il risultato dell'estrazione della corrente nella giunzione di Gate-Source di un HFET basato su GaAs.

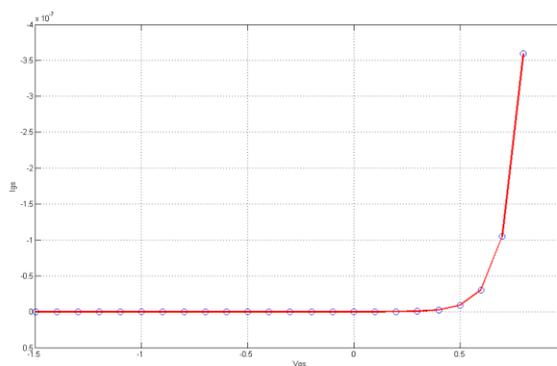


Figura 5-24: Confronto tra dati misurati e modello del diodo.

5.8 RIFERIMENTI BIBLIOGRAFICI

- [5.1] R. Van Tuyl and C. Liechti, "Gallium Arsenide Digital Integrated Circuit", Defense Technical Information Center, 1974
- [5.2] W. R. Curtice IEEE Tran. Trans. Microwave Theory Tech., vol. 28, pp.488 -496 1980
- [5.3] Y. Tajima "GaAs FET Large-Signal Model and its Applications to Circuit Designs", IEEE Trans. Electron Devices, vol. 28, pp.171 -175 1981
- [5.4] T. Taki "Approximation of junction field-effect transistor characteristics by a hyperbolic function", IEEE J. Solid-State Circuits, vol. SC-13, pp.724 -726 1978
- [5.5] T. Kacprzak and A. Materka "Compact dc model of a GaAs FET for large-signal computer simulation", IEEE Journal of Solid-State Circuits, vol. 18, no. 2, pp.211 -213 1983
- [5.6] H. Statz, P Newman, W. Smith, R. Pucel and H. Haus, "GaAs FET device and circuit simulation in SPICE," IEEE Trans. On Electron Devices, Vol. ED-34, No. 2, Feb.1987.
- [5.7] A.J. McCamant, G.D. McCormack, D.H. Smith, "An improved GaAs MESFET model for SPICE," IEEE Trans. Microwave Theory and Techniques, Vol. 38, No. 6, June. 1990, pp.822-824.
- [5.8] W.R. Curtrice and M. Ettemberg, "A Nonlinear GaAs FET Model for Use in the Design of Output Circuits for Power Amplifiers", IEEE Trans. Microwave Theory and Techniques, Vol. MTT 33, 1985, pp.1383-1394.
- [5.9] I. Angelov, L. Bengtsson and M. Garcia, "Extensions of the Chamers non-linear HEMT and MESFET model," IEEE Trans. Microwave Theory and Techniques, Vol. 44, No. 10, Oct. 1996.
- [5.10] H. Rohdin and P. Roblin "A MODFET dc-model with improved pinchoff and saturation characteristics", IEEE Trans. Electron Devices, vol. ED-33, no. 5, pp.664 -672 1986
- [5.11] Yuk K S, Branner G R, McQuate D J. A wideband multi-harmonic empirical large-signal model for high-power GaN HEMTs with self-heating and charge-trapping effects. IEEE Trans Microwave Theory Tech, 2009, 57: 3322

- [5.12] J. W. Bandler , Q. Zhang and S. H. Chen "Efficient Large-Signal FET Parameter Extraction Using harmonics", IEEE MTT-Symp. Digest, pp.577 -580 1989]
- [5.13] Curras-Francos, M.C.; Tasker, P.J.; Fernandez-Barciela, M.; Campos-Roca, Y.; Sanchez, E. "Extraction of Transistor Large Signal Models from Vector Nonlinear Network Analyzers", ARFTG Conference Digest-Spring, 55th, On page(s): 1 - 5 Volume: 37, June 2000
- [5.14] Remley, K.A. "Practical applications of nonlinear measurements", Microwave Measurement Conference, 2009 73rd ARFTG, On page(s): 1 - 15
- [5.15] Werthorf, A.; van Raay, F.; Kompa, G. "Direct nonlinear FET parameter extraction using large-signal waveform measurements", Microwave and Guided Wave Letters, IEEE, On page(s): 130 - 132 Volume: 3, Issue: 5, May 1993
- [5.16] Pattison, L.; Greer, A; Linton, D.; Patterson, A.D.; Leckey, J.G. "Vector Corrected Harmonic Measurement of High Power Transistors", ARFTG Conference Digest-Spring, 51st, On page(s): 26 - 31 Volume: 33, June 1998
- [5.17] M. H. Somerville, J. A. del Alamo and P. Saunier, "Off-state breakdown in power pHEMT's: The impact of the source", IEEE Transaction on Electron Devices, vol 45, no. 9, pp. 1883-1889, September 1998
- [5.18] M. H. Somerville, C. S. Putnam and J. A. del Alamo, "Determining dominant breakdown mechanisms in InP HEMT's", IEEE Electron Device Letters, vol. 22, no. 12, pp. 565-567, December 2001.
- [5.19] J. P. Teyssier , J. P. Viaud and R. Quèrè; "A new nonlinear I(V) model for FET devices including breakdown effects", IEEE Microw. Guided Wave Lett., vol. 4, pp.104 -106 1994
- [5.20] J. A. Reynoso-Hernandez and J. Graffeuil "Output conductance frequency dispersion and low-frequency noise in HEMTs and MESFETs", IEEE Trans. Microw. Theory Tech., vol. 37, no. 9, pp.1478 -1481 1989
- [5.21] P. Ladbroke and S. Blight, "Low-field low-frequency dispersion of transconductance in GaAs MESFET's with implication for other rate-dependent anomalies," IEEE Trans. Electron Devices, vol. 35, no. 3, p. 257, Mar. 1988.
- [5.22] C. Camacho-Penalosa and C. Aitchison, "Modeling frequency dependence of output impedance of a microwave MESFET at low frequencies," Electronic Lett., vol. 21, no. 12, pp. 528-529, June 1985.
- [5.23] G Kompa, "Modeling of dispersive microwave FET devices using a quasistatic approach," Int J Microwave and Millimeter- Wave Computer-Aided Engineering, vol 5, no 3, 173-194, 1995
- [5.24] J.M.Golio. M.G.Miller, G.N.Maracas, D.A.Johnson "Frequency-Dependent Electrical Characteristics of GaAs MESFET's", IEEE Transactions On Electron Devices, Vol.37 No.5, May 1990.
- [5.25] J. D. McDonald and G. C. Albright, "Microthermal imaging in the infrared," Electron. Cooling, Vol. 3, no. 1, pp. 26-29, January 1997.
- [5.26] P. Regoliosi, A. Di Carlo, A. Reale, P. Lugli, M. Peroni, C. Lanzieri, and A. Cetrionio, "Thermal resistance measurement of GaAs MESFETs by means of photocurrent spectrum analysis and comparison with simulations", Semicond. Sci. Technol., vol. 20, pp.135 -139 2005

[5.27] M. Kuball, J. M. Hayes, M. J. Uren, T. Martin, J. C. H. Birbeck, R. S. Balmer, and B. T. Hughes, "Measurement of temperature in active high-power AlGa_N/Ga_N HFETs using Raman spectroscopy", *IEEE Electron Device Lett.*, vol. 23, no. 1, pp.7 -9 2002

[5.28] J. A. del Alamo and W. J. Azzam "A floating-gate transmission-line model technique for measuring source resistance in heterostructure field-effect transistors", *IEEE Trans. Electron Devices*, vol. 36, no. 11, pp.2386 1989

6 IMPLEMENTAZIONE, VERIFICA E VALIDAZIONE DEL MODELLO

6.1 INTRODUZIONE

Questo capitolo è dedicato alla descrizione della tecnica di implementazione del modello non-lineare del dispositivo HFET sviluppato nei precedenti capitoli in ambienti di simulazione circuitale in alta frequenza di tipo commerciale. Saranno trattati i principali aspetti e le problematiche relative all'implementazione del modello nei CAD attraverso le due fasi in cui, tramite l'implementazione si verifica prima e si valida poi il modello formulato. Il modello è stato implementato in due diversi CAD (Agilent ADS e AWR Microwave Office) e seguendo due diversi approcci. La verifica del modello è stata effettuata confrontando i risultati delle simulazioni con i dati sperimentali utilizzati per l'estrazione del modello. La validazione è stata effettuata confrontando i risultati di simulazioni con dati di misure Load-Pull sollecitando il dispositivo in esame con stimoli di ampio segnale inducendo pertanto il dispositivo ad operare in condizione di non-linearità. Il dispositivo utilizzato per svolgere queste attività è un AlGaN-GaN HFET per applicazioni di alta frequenza e alta potenza. L'analisi dei risultati ha mostrato la validità del modello nel suo complesso e conseguentemente del modello non-lineare della carica di Gate.

6.2 IMPLEMENTAZIONE DEL MODELLO NON-LINEARE

Lo scopo finale dell'attività di modellizzazione consiste nella validazione del modello sviluppato appurando se questo è utilizzabile in ambiente CAD e se, producendo nuovi prodotti, questi siano caratterizzati da prestazioni che risultano in linea con i risultati osservati durante le simulazioni. La (sola) soddisfazione che giustifica le attività di caratterizzazione, formulazione topologica e analitica svolte per la costruzione di un modello non-lineare a circuito equivalente su base dell'approccio empirico, risiede infatti nel conferire al modello una tale robustezza e affidabilità da permettere la massima confidenza a coloro i quali lo utilizzeranno durante le attività di progettazione. Come detto in precedenza, la riduzione dei tempi di vita di un progetto sono ridotti soprattutto grazie a modelli accurati. Queste considerazioni risultano efficientemente rappresentate dalla "Legge della simulazione e della modellizzazione" ("Law of simulation and modeling": 'a model is (mostly) useless unless it is embedded in a simulator.') che recita: un modello è (per lo più) inutile finché non è introdotto in un simulatore. Pertanto l'implementazione rappresenta una fase essenziale per lo sviluppo di un modello.

L'implementazione in ambiente CAD di un modello può essere realizzata in diverse forme: come circuito equivalente, sotto forma di codice in linguaggio di programmazione ad alto o basso livello. Questo rappresenta un ulteriore compito del modellizzatore che ne deve curare nei dettagli sia lo sviluppo e sia la relativa diffusione. Questo implica anche la conoscenza dei simulatori e in particolare sui metodi adoperati per la soluzione delle equazioni che descrivono i circuiti e sul come consentire al software di convergere in modo da operare le scelte convenienti a produrre un modello che oltre ad essere accurato sia anche robusto, veloce e facile da utilizzare.

Per ovvie ragioni di "spazio", non si ritiene questa la sede adeguata per trattare argomenti vasti e complessi come gli algoritmi di soluzione di circuiti implementati nei moderni CAD.

Questi, generalmente non sono neppure trattati nei manuali dei software per la simulazione di circuiti (EDA – Electronic Design Automation) che risultano invece più orientati nel guidare l'utente nell'utilizzare lo strumento invece di illustrare e spiegare come opera il software in sé. Ciononostante, sono disponibili interi libri e articoli in riviste tecniche di settore che trattano in modo molto dettagliato questi argomenti di cui, senza togliere meriti ad altri autori, si riporta un utile riferimento [6.1].

6.3 ASPETTI GENERALI DELL'IMPLEMENTAZIONE DI MODELLI NON-LINEARI IN CAD

L'implementazione di un modello in ambiente CAD comincia con la scelta della rappresentazione che si desidera realizzare del modello stesso, la cui struttura consentirà successivamente di tradurre la corrispondente descrizione analitica in una forma gestibile dal simulatore. La rappresentazione può essere realizzata sotto forma di un insieme di relazioni costitutive dei rami del modello meglio nota come "netlist" oppure nella forma di circuito equivalente. Questa scelta dovrà tenere conto del particolare ambiente di lavoro adottato poiché da questo derivano strumenti dedicati per il particolare scopo.

La descrizione sotto forma di circuito equivalente, generalmente usabile in tutti i CAD dedicati alla simulazione RF, necessita di esprimere la dipendenza dalle variabili di controllo degli elementi non-lineari in modo opportuno per il CAD specifico osservando sia le regole proprie del software per la definizione delle variabili e delle equazioni analitiche, sia regole generali relativamente alle espressioni matematiche. Queste ultime devono essere formulate come funzioni continue (e perciò evitando strutture condizionali) e derivabili. La metodologia di soluzione di circuiti elettrici si basa prevalentemente sul metodo iterativo di Newton in cui la variabile libera è discretizzata e le incognite del problema sono calcolate a partire dalla soluzione ottenuta relativamente al valore considerato al passo precedente (sia che si tratti di una delle variabili di stato del circuito sia di quella temporale) che funge da condizione iniziale per la successiva iterazione. Inoltre, non è insolito che l'algoritmo di soluzione richieda la costruzione dello Jacobiano e dell'Hessiano del modello per cui almeno la derivabilità fino al secondo ordine del modello deve essere garantita per poter effettuare simulazioni accurate. Questo impone la necessità di una rappresentazione matematica opportuna. L'utilizzo di funzioni iperboliche garantisce la possibilità di soddisfare questo requisito facilmente in quanto queste sono funzioni continue e infinitamente derivabili. Alternativamente alla rappresentazione analitica si pone la rappresentazione basata su tabelle ("Table Based") in cui l'utilizzo di funzioni interpolanti (ad esempio Spline) garantisce la continuità dei valori nei punti intermedi del modello.

Queste proprietà conferiscono al modello la necessaria robustezza che si traduce in stabilità numerica indispensabile a tutti i simulatori per calcolare senza errori la soluzione del problema. Si ricorda che la precisione dei simulatori è limitata dal numero di bit che sono utilizzati per rappresentare le quantità numeriche a cui si devono limitate accuratissime per definizione. Casi in cui si osservano situazioni di instabilità numerica sono ad esempio quelli in cui il denominatore di funzione possa assumere in particolari casi valore nullo, oppure casi in cui l'argomento di un esponenziale possa tendere a infinito e casi in cui si abbiano radici quadrate di numeri negativi, che pertanto devono essere evitati. Un esempio di questi accorgimenti riguarda la funzione Exp: un metodo comune per limitare problemi con gli esponenziali consiste nell'utilizzo della funzione "softExp" in luogo di Exp in modo da limitare il valore massimo della potenza dell'esponenziale stesso evitando le suddette instabilità:

$$\text{softexp}(x) = \begin{cases} e^x & \text{per } x < \text{MaxExp} \\ (x + 1 - \text{MaxExp})e^{\text{MaxExp}} & \text{per } x \geq \text{MaxExp} \end{cases} \quad 6-1$$

in cui generalmente MaxExp è pari a 100. Un discorso analogo è valido per il comportamento asintotico delle funzioni da implementare. Infatti non è inusuale che i valori assunti dalle variabili durante una simulazione siano al di fuori del dominio rispetto al quale sono state validate causando problemi di convergenza qualora il modello non sia ben formulato. Quindi, i modelli analitici devono essere tali da garantire valori finiti al modello, anche asintoticamente, altrimenti è necessario sfruttare le condizioni che provvedano a limitare questo problema. Questa seconda soluzione però non è esente da possibili problemi derivanti da discontinuità delle derivate nei punti in corrispondenza dei quali si introduce l'approssimazione e quindi è preferibile che siano evitati quando possibile.

Ovviamente bisogna osservare anche alcuni concetti di base della teoria dei circuiti quali ad esempio quello di causalità e di passività, in particolare per gli elementi passivi. La passività è la proprietà legata all'energia. Per circuiti che dissipano si esprime dicendo che l'effetto di una causa di breve durata (limitata nel tempo) tende a scomparire al trascorrere del tempo o si mantiene al più limitato. In altri termini si può esprimere dicendo che l'elemento (o il circuito) non può fornire energia all'esterno più di quanta non ne abbia accumulata:

$$E(t) = \int_{-\infty}^t p(\tau) d\tau \geq 0 \quad \forall t \quad 6-2$$

dove $E(t)$ è l'energia in ingresso al sistema. La causalità invece impone che in qualsiasi istante t_0 , l'effetto dello stimolo dipenda solo dai valori della causa per $t \leq t_0$. Per circuiti lineari un'espressione equivalente è che l'effetto è nullo per $t \leq t_0$ se è nulla la causa per $t \leq t_0$. Per bipoli passivi la causalità discende dalle altre due proprietà [6.2]. Praticamente, queste proprietà possono essere conferite al modello mediante l'introduzione di componenti dissipativi nel caso di componenti passivi, mediante l'utilizzo di funzioni di ritardo per le variabili di controllo e mediante una formulazione che rispetti i principi di conservazione dell'energia e, quindi della carica, nel caso di componenti attivi. Nel caso di transistori, il generatore non-lineare di corrente di Drain prevede infatti la presenza di un ritardo (τ) osservabile anche durante l'analisi di piccolo segnale che garantisce al contempo la causalità del modello in regime tempo-variante senza impattare sulle proprietà numeriche del modello durante analisi DC. Per quanto riguarda le sorgenti di carica invece è richiesto che queste siano modellizzate in modo tale da non violare il principio di conservazione della carica così come è stato trattato ampiamente nei precedenti capitoli.

Infine, anche la definizione dei parametri del modello deve essere effettuata in modo da essere sufficientemente fisica in modo da non determinare nei componenti del modello valori poco realistici durante le simulazioni.

6.4 VERIFICA DEL MODELLO

La verifica del modello consente di appurare la correttezza dell'implementazione in termini matematici e funzionali. In questa fase si effettuano i controlli sulla funzionalità del modello in ambiente CAD rispetto la proposta rappresentazione analitica e differisce dalla validazione

del modello. La prima è un'operazione intesa a qualificare la capacità del particolare modello e del corrispondente insieme di parametri nel riprodurre il comportamento del dispositivo e quindi i dati misurati utilizzati durante l'estrazione del modello stesso. La seconda intende verificare la capacità del modello nel riprodurre misure non utilizzate durante l'estrazione del modello. Il principale scopo della verifica è pertanto quella di individuare (qualora presenti) e correggere errori legati propriamente all'implementazione nel simulatore o carenze del modello.

La prima operazione della verifica consiste nell'assicurarsi del corretto utilizzo dei parametri e delle variabili da parte del simulatore rispetto la formulazione analitica definita. Questa verifica è sufficientemente semplice nel caso di componenti lineari mentre è più delicata nel caso di elementi non-lineari. Nel caso di componenti non-lineari, si traduce nella verifica delle proprietà di consistenza del modello. Inoltre, è praticata confrontando la risposta del modello non-lineare sollecitato con piccolo segnale rispetto alle misure a piccolo segnale in termini di parametri di Scattering. Un altro test per la consistenza del modello, qualora questo includa fenomeni elettro-termici, consiste nel verificare che la dipendenza delle correnti dalla temperatura sia riprodotta correttamente dal modello osservando, attraverso la potenza dissipata dal dispositivo durante la simulazione, anche la temperatura operativa che non deve assumere valori non-fisici. Successivamente bisogna verificare che il modello non-lineare rispetti il principio di conservazione della carica. Questo test può essere basato sulla verifica di assenza di contributi di corrente DC (che aumentano con l'aumentare della frequenza [6.3]) nella risposta del modello sollecitato con ampio segnale oppure mediante simulazioni nel dominio del tempo nelle quali la carica è una variabile di stato del sistema. Infine bisogna verificare la convergenza del modello durante i diversi tipi di simulazione (DC, AC, HB, tempo) sia in condizioni nominali che asintoticamente. Il tutto possibilmente deve essere condotto sulla base di diversi CAD.

In questa prima fase di debug del modello, la piattaforma di lavoro scelta è quella software di simulazione ADS – Advanced Design System - di Agilent in cui è disponibile un particolare componente che prende il nome di SDD – Symbolically-Defined Device – mediante il quale è possibile descrivere in modo agevole componenti non-lineari producendo un modello che è essenzialmente espresso sotto forma di modello a circuito equivalente.

6.4.1 IMPLEMENTAZIONE DEL MODELLO COME CIRCUITO EQUIVALENTE

La rappresentazione nella forma di circuito equivalente nei CAD è utilizzata sia per i componenti passivi sia per quelli attivi. Questa rappresentazione consente di riprodurre nel simulatore la topologia del modello adottata in fase di modellizzazione ed estrazione mediante l'utilizzo di componenti discreti per la costruzione del modello sulla base di uno schematico circuitale. Nel caso dei componenti attivi non-lineari, sono possibili diverse strategie di implementazione per descrivere il comportamento degli elementi del modello in funzione delle tensioni di controllo. La prima consiste nell'utilizzare i dati estratti in condizione di eccitazione a piccolo segnale per associare a ciascun elemento la corrispondente entità in modo statico. Questo approccio implica l'utilizzo di funzioni di interpolazione mediante le quali si sfruttano i dati tabulati precedentemente estratti, indicizzati rispetto le tensioni di controllo. Con questo approccio è possibile rappresentare nel simulatore il comportamento del dispositivo per valori delle variabili di controllo che siano comprese all'interno dell'intervallo di misura mentre risulterebbe rischioso l'uso del modello al di fuori di quello stesso intervallo. Secondo la formulazione del comportamento reattivo della carica di Gate adottata in questo lavoro, questo approccio risulta compatibile

con la rappresentazione che utilizza componenti concentrati in virtù della consistenza del modello ad ampio segnale con quello a piccolo segnale. La topologia del circuito è al seguente:

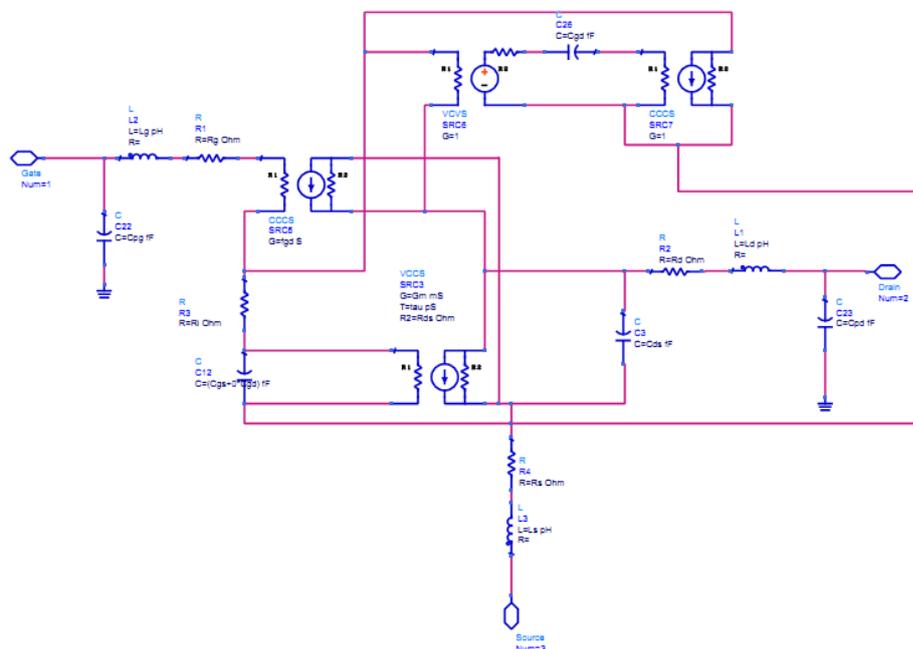


Figura 6-1: Topologia del modello a circuito equivalente basato su tabella.

in cui la rete elettrica responsabile della descrizione della parte estrinseca del modello è ben riconoscibile così come la parte intrinseca in cui si osserva anche la presenza di una particolarità dovuta alla necessità di generare una componente di corrente reattiva che bisogna ricondurre al nodo di Drain senza creare una connessione diretta tra Gate e Drain. Il circuito in questione, che si riporta in Figura 6-2, consente di campionare la corrente reattiva dovuta alla carica di Gate espressa in funzione delle due derivate parziali C_{gs} e C_{gd} mediante un generatore di corrente controllato in corrente il cui guadagno è pari al valore della funzione di divisione di corrente f_{gd} . La connessione definita consente infine di ricondurre quella porzione di corrente nel nodo di Drain in modo equivalente a un generatore di corrente reattiva connesso in parallelo al generatore di corrente di Drain. Il ramo Gate-Drain risulta effettivamente aperto in virtù dell'impedenza infinita del generatore di tensione controllato in tensione connesso a C_{gd} , mentre questo contributo capacitivo risulta connesso in parallelo a C_{gs} così da determinare la corretta rappresentazione del modello in modo che nel ramo Gate-Source passi la corrente reattiva di Gate totale. L'equivalenza tra il comportamento di un condensatore con la rete proposta è osservabile analizzando gli andamenti al variare della frequenza dei parametri S e dell'ammettenza del circuito semplificato che sono rappresentati di seguito:

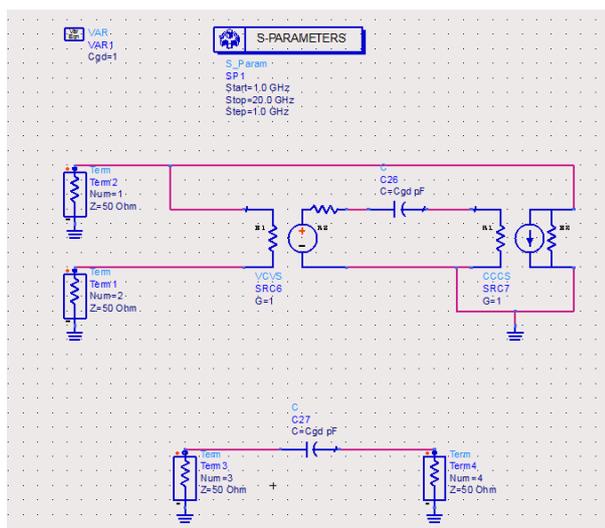


Figura 6-2: Circuito per la simulazione del ramo Gate-Drain del modello a piccolo segnale.

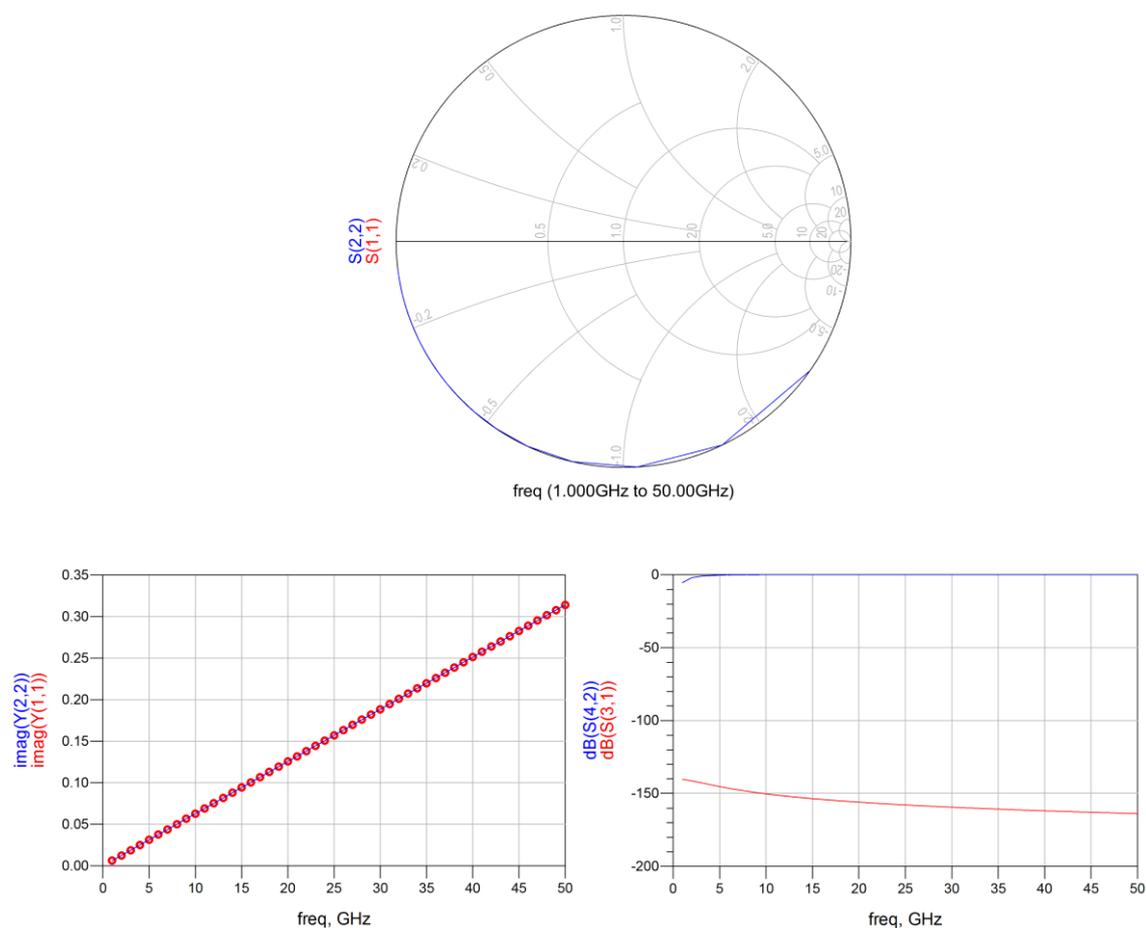


Figura 6-3: Confronto tra coefficiente di riflessione e ammettenza dei due circuiti. In basso a destra si mostra la peculiarità del circuito per l'iniezione di corrente nel terminale di Drain.

In Figura 6-3 è possibile osservare come il ramo Gate-Drain del modello completo sia effettivamente aperto osservando il parametro S_{21} mentre, dal confronto tra le ammettenze

dei due circuiti simulati, risulta che l'entità del contributo C_{gd} sia correttamente implementato.

Nelle figure che seguono sono confrontati i parametri S risultanti delle simulazioni con le misure del modello implementato per tutte le polarizzazioni considerate (Figura 6-4), per condizioni in cui la tensione V_{GS} è fissata a particolari valori di interesse (Figura 6-5 e Figura 6-6) e infine nella condizione in cui la tensione V_{DS} è fissa mentre varia la V_{GS} (Figura 6-7).

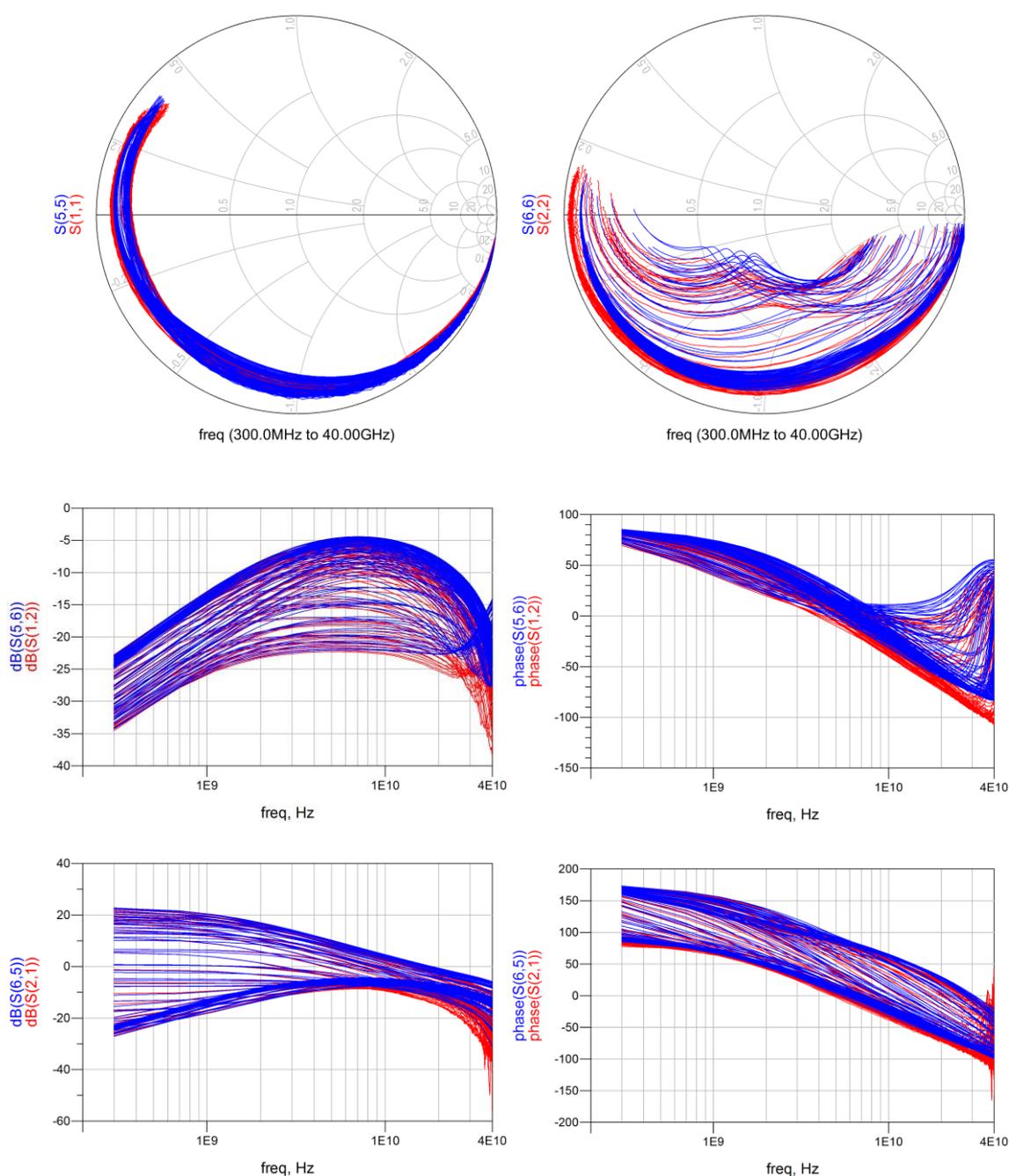


Figura 6-4: Confronto tra parametri S misurati (rosso) e simulati (blu) al variare della polarizzazione.

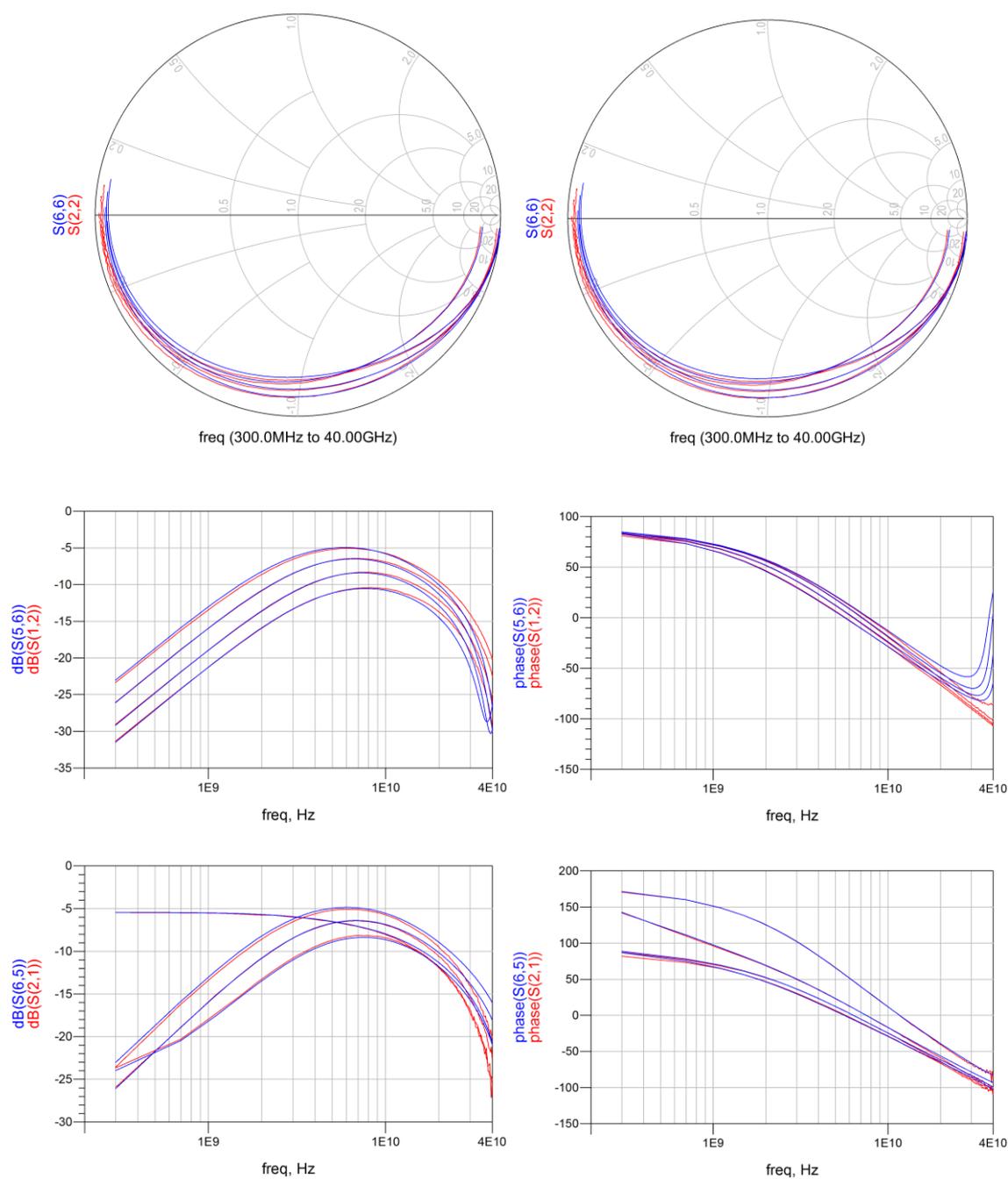


Figura 6-5: Confronto tra parametri S misurati (rosso) e simulati (blu) al variare della polarizzazione. Le condizioni di polarizzazione rappresentate sono $V_{GS} = -3$ V, $V_{DS} = [0, 10, 20, 30]$ V.

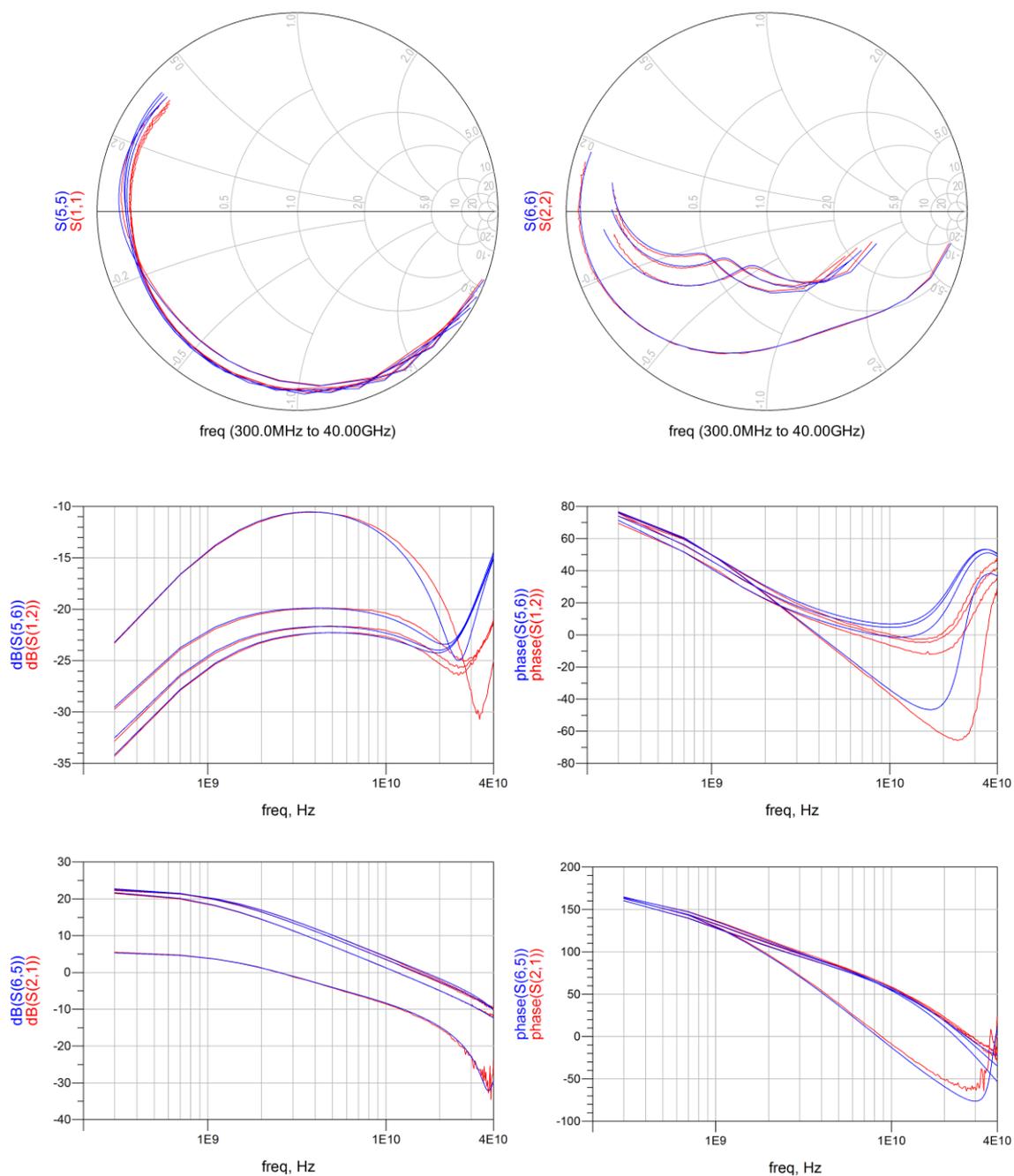


Figura 6-6: Confronto tra parametri S misurati (rosso) e simulati (blu) al variare della polarizzazione. Le condizioni di polarizzazione rappresentate sono $V_{GS} = -1.4$ V, $V_{DS} = [0,10,20,30]$ V.

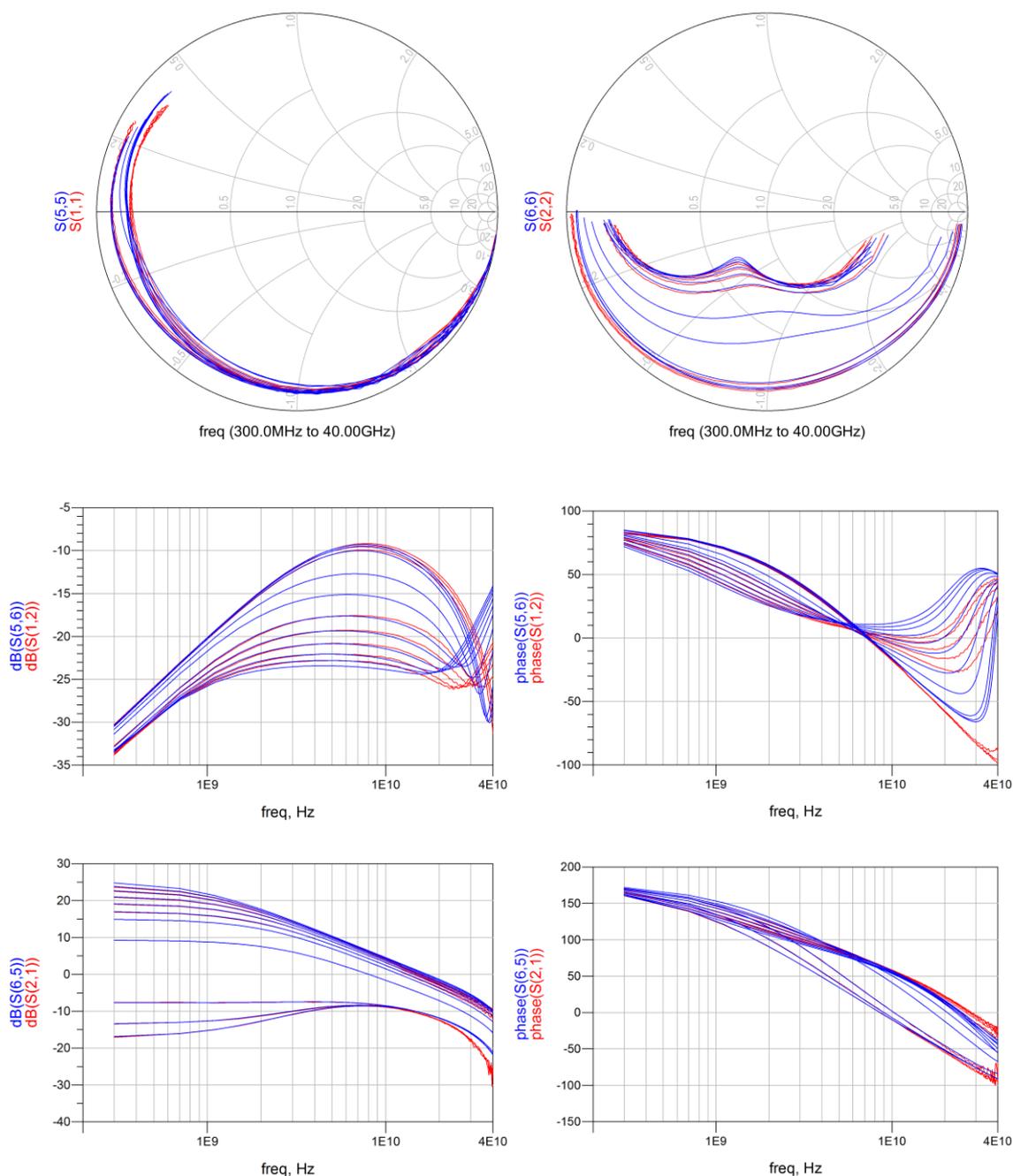


Figura 6-7: Confronto tra parametri S misurati (rosso) e simulati (blu) al variare della polarizzazione. Le condizioni di polarizzazione rappresentate sono $V_{GS} = [-3:0.2:-1]$ V, $V_{DS} = 25$ V.

Dal confronto risulta verificato il modello che consente di rappresentare accuratamente la variazione dei parametri S rispetto alla variazione delle tensioni applicate. Questa soluzione però non consente di beneficiare al meglio della potenzialità della nuova formulazione a causa dell'assenza della sorgente di carica a cui sono riconducibili i contributi capacitivi associati al terminale di Gate del modello. Volendo rappresentare analiticamente la dipendenza dei contributi delle due derivate parziali si riscontrerebbe il problema di correnti DC attraverso i due contributi in quanto questi risultano dipendenti da due quantità, come precedentemente detto nel capitolo dedicato alla modellizzazione della carica di Gate. Inoltre, poiché nei CAD non sono definite sorgenti di carica come componenti circuitali elementari non risultava facilmente avviabile la necessità di derivare le due componenti di correnti

capacitive a partire da elementi concentrati. Pertanto questa rappresentazione risulta utile solo per l'implementazione di un modello a piccolo segnale variabile con le tensioni.

Per questi motivi, l'implementazione è stata modificata introducendo uno specifico elemento circuitale tipico del software Agilent ADS noto con il nome di SDD. Il SDD è un componente il cui comportamento è definito sulla base di equazioni simboliche con cui è possibile descrivere la legge costitutiva della particolare porta del componente. Essendo componenti dotati fino ad un massimo di 14 porte, consente di avere a disposizione del modellizzatore uno strumento molto flessibile e veloce per l'implementazione del modello. Di seguito si riporta il simbolo circuitale di questo componente nel caso di 2 porte.

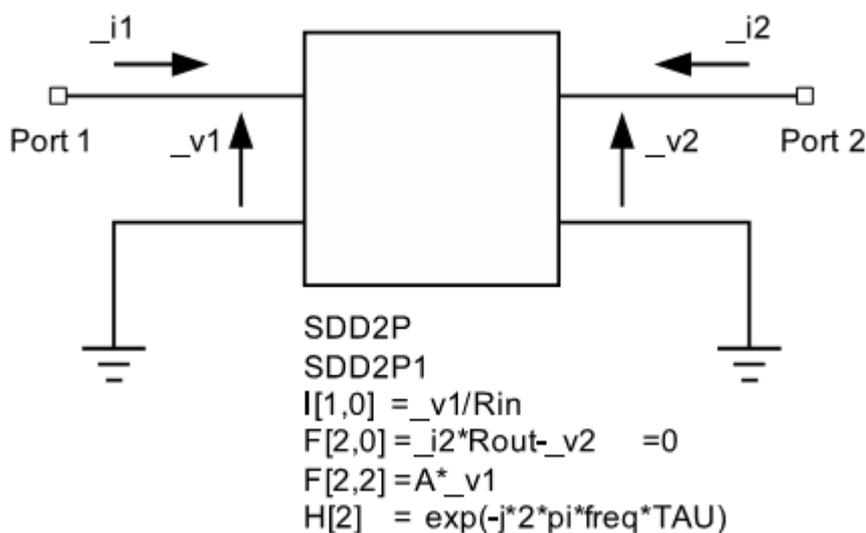


Figura 6-8: Simbolo circuitale di un SDD a 2 porte.

Il fondamento di questo componente risiede nella possibilità di esprimere la corrente nel dominio del tempo ad una specifica porta come funzione della tensione alla specifica porta e come funzione delle tensioni e correnti alle altre porte del componente, come funzione delle derivate rispetto il tempo delle medesime quantità e come funzione delle medesime quantità alle quali sia applicato un ritardo. Queste relazioni costitutive possono essere espresse come funzioni esplicite:

$$i_k = f(v_1, v_2, \dots, v_k, \dot{v}_1, \dot{v}_2, \dots, \dot{v}_k) \quad 6-3$$

Oppure in forma implicita

$$f_k(v_1, v_2, \dots, v_k, \dot{v}_1, \dot{v}_2, \dots, \dot{v}_k) = 0 \quad 6-4$$

Nel caso esplicito è possibile rappresentare quantità come dipendenti da tensioni e sono immediatamente utilizzate nell'analisi nodale del circuito in modo molto efficiente da un punto di vista computazionale poiché le espressioni sono risolte direttamente senza l'introduzione di variabili aggiuntive. La rappresentazione implicita invece richiede la creazione di una variabile aggiuntiva i_k per poter risolvere l'equazione costitutiva della particolare porta ma, a differenza del caso esplicito, la legge costitutiva può essere anche formulata come dipendente dalla corrente ad una porta diversa da quella in esame. Dal momento che l'ordine di esecuzione è ordinato secondo il numero delle porte del SDD, l'esecuzione della simulazione segue un percorso logico sequenziale consentendo di poter risolvere con il desiderato ordine le equazioni analitiche del modello. Questo componente inoltre consente di sfruttare delle particolare funzioni peso $H[m]$ (Weighting functions) per definire le derivate temporali e i ritardi temporali definendo queste come funzioni nel dominio della frequenza. Quando l'argomento della funzione H è posto pari a 1, si ottiene come risultato la derivata temporale della relazione costitutiva alla porta che equivale, nel dominio della frequenza, a moltiplicare la funzione per $j\omega$.

$$H[1] = j\omega \quad 6-5$$

Questa risulta utile per l'implementazione del nuovo modello della corrente di Gate definita come la derivata rispetto al tempo della carica di Gate stessa, il cui uso verrà mostrato di seguito. Per quanto riguarda invece i ritardi, si utilizza la funzione H imponendo l'argomento di questa pari a 2. Questa particolarità è ad esempio utilizzata per implementare l'effetto di ritardo associato al generatore di corrente di Drain:

$$H[2] = e^{-j\omega\tau} \quad 6-6$$

Con questa breve descrizione, il componente SDD consente di illustrare sinteticamente tutti gli strumenti necessari all'implementazione del modello non-lineare in ADS e si rimanda al manuale utente del software per ulteriori dettagli [6.4].

Il modello non-lineare completo per la verifica del modello stesso è pertanto stato implementato in ADS utilizzando il SDD. Con questa implementazione del modello sono possibili simulazioni DC, simulazioni a piccolo segnale e a largo segnale. Le simulazioni DC e a piccolo segnale saranno utilizzate per verificare la correttezza dell'implementazione confrontato i risultati con i dati di misura utilizzati per l'estrazione dei parametri del modello. Con le stesse simulazioni, sarà verificata la consistenza del modello e il rispetto del principio di conservazione della carica del modello non-lineare della carica di Gate. Lo schema circuitale risultante è il seguente

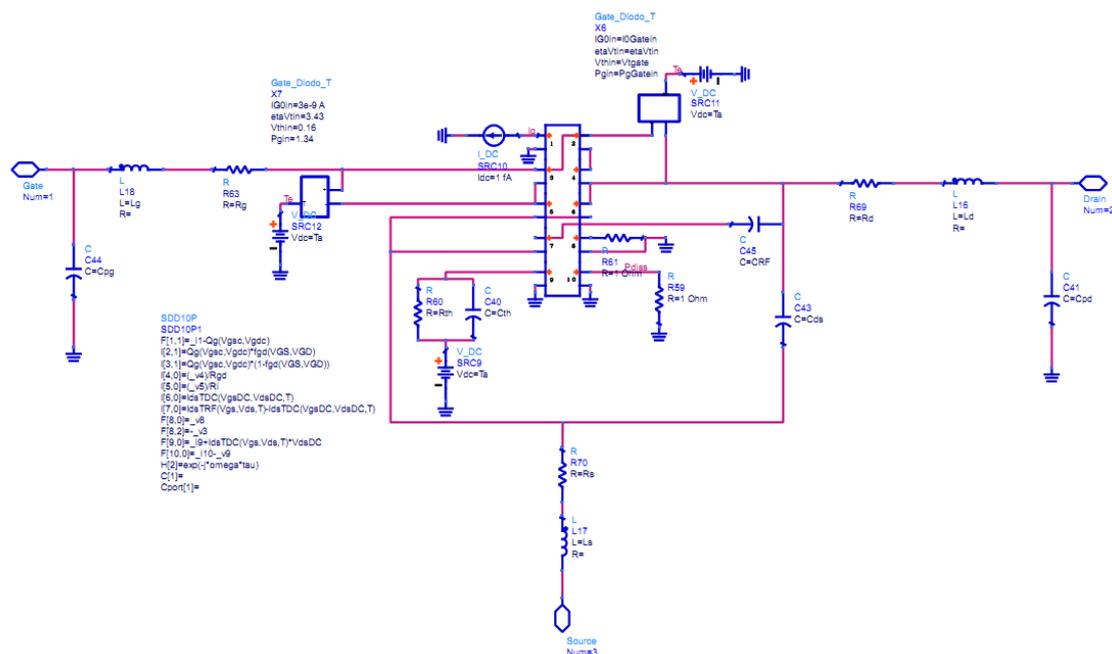


Figura 6-9: Circuito del modello non-lineare basato su SDD 10 porte.

La porta 1 del SDD rappresenta la sorgente di carica di Gate Q_g e la funzione peso utilizzata per calcolare la derivata temporale di questa quantità è selezionata mediante il valore 1 inserito come secondo parametro tra le parentesi quadre $F[1,1]$ nella relazione costitutiva relativa a questa porta. La corrispondente corrente reattiva di Gate, dovendo essere utilizzata come quantità di controllo della corrente nei rami Gate-Source e Gate-Drain, ha richiesto di formulare l'espressione della porta 1 in forma implicita. La componente reattiva di corrente di Gate che fluisce nel ramo Gate-Source (porta 3) è ottenuta moltiplicando la corrente della porta 1 per la corrispondente funzione di divisione e una simile operazione è stata praticata per la componente relativa al ramo Gate-Drain (porta 2) e le corrispondenti tensioni di controllo per la carica di Gate sono la tensione alla porta 3 (V_{GS}) e alla porta 4 (V_{GD}). La porta 4 e la 5 sono state utilizzate per descrivere i contributi resistivi relativi R_i e R_{gd} . Il generatore di corrente DC di Drain è stato definito come la corrente equivalente alla corrente della porta 6 mentre la corrente relativa la porta 7 equivale al generatore di Drain R_F connesso al nodo d Drain del circuito attraverso il condensatore C_{RF} . La porta 8 è stata utilizzata per introdurre il ritardo sulla tensione di controllo V_{GS} per il generatore di corrente di Drain sfruttando la funzione peso identificata con il parametro nella parentesi quadra pari a 2 $F[8,2]$. Completa il modello il circuito termico equivalente connesso alla porta 9 che, connessa alla cella RC rappresentativa dell'impedenza termica del dispositivo, consente di ottenere la variazione di temperatura rispetto alla temperatura di riposo che verrà utilizzata per calcolare la temperatura dinamica dovuta al self-heating che consentirà di controllare le entità dei componenti dipendenti dalla temperatura (generatore di corrente, carica, corrente della giunzione Schottky).

I parametri e le espressioni analitiche del modello sono gestiti mediante espressioni analitiche e di seguito si riportano le varie istanze e equazioni con cui si inizializzano le variabili e si definiscono i modelli dei generatori di corrente e della carica di Gate:

```

VAR
Parasitic_parameters2
Rg=RGIN Ohm
Rs=RSin Ohm
Rd=RDin Ohm
Lg=LGIN pH
Ls=LSin pH
Ld=LDin pH
Cpg=CPGIN fF
Cpd=CPDin fF
Cpgd=CPGDin fF
CSS=CSSin fF

VAR
Intr_biasindep2
Ri=RIin Ohm
Rgd=RGDin Ohm
CDLT=CDLTin F
CST=CSTin F
RDLT=RDLTin
RDLTmin=RDLTminin
RDLT_es=(RDLTmin+ RDLT/(1+tanh(Psi(Vgs)))) Ohm
RST=RSTin Ohm
Cds=CDSin fF
tau=TAUin ps
    
```

Figura 6-10: Inizializzazione dei parametri degli elementi del modello.

```

VAR
VoltageDefinition1
Vdg=-(_v5+_v3-_v6)
Vgd=_v3+_v5-_v6
Vgs=_v8
Vgdc=_v2
Vds=_v6
Vdsc=_v6
Vgsc=_v3
Ig=_v1
VGS=VGSin
VDS=VDSin
VGD=VGSin-VDSin
    
```

Figura 6-11: Definizione delle tensioni di controllo degli elementi non-lineari.

```

VAR
DCmodelparam
ipk0=PKin A
lammod=AMBDain
P1=SP1in
P1=SP1in
P2=SP2in
P3=SP3in
Vpk0=VPK0in
Vpk=VPKin
alpha=ALPHAin
alpha=ALPHAin
Vse=VTrin
Lsd=LSBin
KB=KBin
Vsb2=VSB2in
KBgs=KBGATsin

VAR
ThermalParameter1
TCP0=TCP0in
TCP1=TCP1in
TCP2=TCP2in
TCP3=TCP3in
TCLs0=TCLs0in
TCalphas=TALPHASin
TCCgs0=TCCGS0in
TCCDLs=TCCDLTin
TCCDLs=TCCDLTin
Cse=CTHin
Ts=TCLs0in
T=290

VAR
ThermalEquations4
ipk0=ipk0*(1+0*(TCP0*(abs(_v14)+Ts)))
P1=SP1*(1+0*(TCP1*(abs(_v14)+Ts)))
P1=SP1
P2=SP2*(1+0*(TCP2*(abs(_v14)+Ts)))
P3=SP3*(1+0*(TCP3*(abs(_v14)+Ts)))
Lsd0=Lsd0*(1+0*(TCLs0*(abs(_v14)+Ts)))
alpha=alpha*(1+0*(TCCDLs*(abs(_v14)+Ts)))
alpha=alpha
RDLT_es=(RDLTmin+RDLT*(1+0*(TORDLT*(abs(_v14)+Ts)))
CDLT_es=(CDLTmin+CDLT*(1+0*(TORDLT*(abs(_v14)+Ts)))

VAR
RFmodel_param
pk0C=0.103626 (-)
P1dC=0.803948 (-)
P2dC=0.47688 (-)
P3dC=0.169924 (-)
B1dC=0.236863 (-)
B2dC=0.887005 (-)
Vpk0DC=1.0975 (-)
Vpk0C=0.2974281 (-)
alphaDC=2.75416 (-)
alphaDC=0.320125 (-)
alphaDC=0.30719488 (-)
P1LDC=0.00103258 (-)
Rm=32.3434 (-)
TCPK=0.0055884 (-)
TCP1=0.00255807 (-)
    
```

Figura 6-12: Modello analitico I-V DC e I-V RF con relative equazioni del modello elettro-termico.

totale di 1 mm di periferia di Drain e dalla presenza di Field-Plate. Il layout del dispositivo in esame è riportato in Figura 6-16.

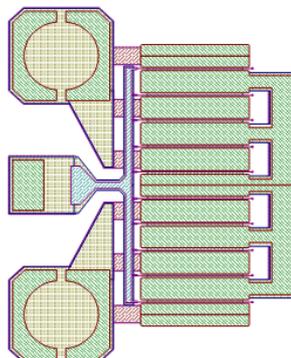


Figura 6-16: Layout del dispositivo caratterizzato e modellizzato.

La caratterizzazione ha previsto misure I-V e misure di parametri S in condizioni impulsive a temperatura ambiente. La corrente della giunzione Schottky è stata misurata in continua con il metodo Floating-Drain. Le condizioni di misura per le caratterizzazioni I-V impulsive sono $\tau_{\text{pulse}} = 0.5 \mu\text{s}$ con periodo $T = 0.5 \text{ ms}$ (DC=0,1%) e la condizione di polarizzazione quiescente è pari a $V_{\text{DS}} = 25 \text{ V}$ $V_{\text{GS}} = -4 \text{ V}$. La condizione di misura per i parametri di Scattering impulsati sono $\tau_{\text{pulse}} = 20 \mu\text{s}$ con periodo $T = 2 \text{ ms}$ (DC=1%) e la condizione di polarizzazione quiescente è pari a $V_{\text{DS}} = 25 \text{ V}$ $V_{\text{GS}} = -1.4 \text{ V}$ mentre la polarizzazione dinamica è stata fatta variare in modo da ottenere sia dati relativi alla condizione COLD-FET sia a quella HOT-FET. Sulla base di questi dati è stato estratto il modello mentre sulla base di misure a largo segnale a 1 tono (potenza di ingresso variabile con carico fisso e potenza di ingresso fissa e carico variabile) sarà svolta la validazione del modello e quindi del metodo.

Il modello formulato non contempla fenomeni termici a causa della mancanza di alcuni dati sperimentali necessari per quegli scopi ed è pertanto inclusivo di un solo generatore di corrente di Drain rappresentativo della corrente RF. Nel modello è stato introdotto un contributo capacitivo dovuto alla presenza del Field-Plate modellizzato con il condensatore C_{SS} la cui collocazione nel modello è osservabile in Figura 6-17. Per i restanti elementi del circuito equivalente intrinseco, si sfrutta l'assunzione che questi abbiano un comportamento lineare indipendente dalle tensioni di controllo sia per quanto riguarda la resistenza di canale R_i , che per il parametro del ritardo τ e anche per la capacità C_{DS} . I valori nominali per questi elementi sono stati individuati mediandone i valori estratti al variare della polarizzazione nell'intorno del punto di lavoro ($V_{\text{GS}} = -1.4 \text{ V}$ e $V_{\text{DS}} = 25 \text{ V}$).

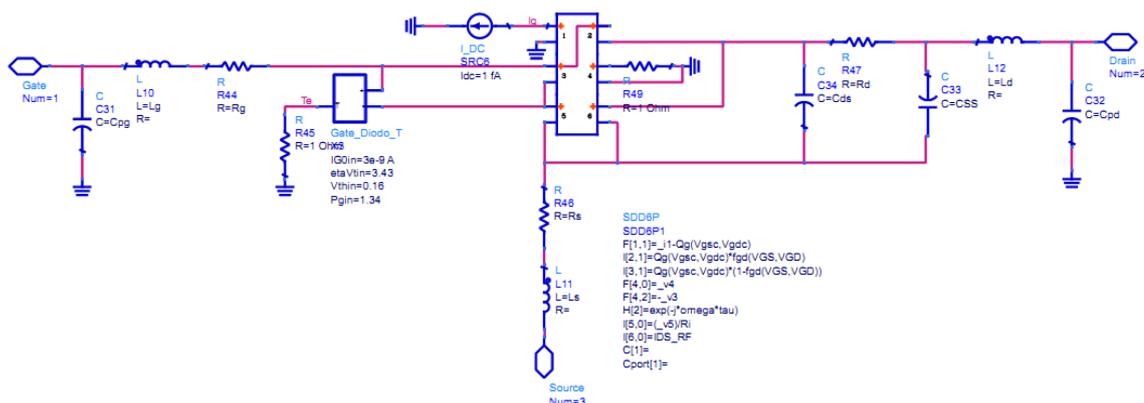


Figura 6-17: Modello non-lineare basato su SDD a 6 porte definito per il dispositivo in esame.

I parametri degli elementi del modello sono elencati nella Tabella 6-1.

Cpg	Cpd	Css	Lg	Ld	Ls	Rg	Rd	Rs	Ri	Cds	τ
56 fF	35 fF	100 fF	57 pH	45 pH	14.5 pH	1.2 Ω	1 Ω	0.6 Ω	0.89 Ω	145 fF	2.4 ps

Tabella 6-1: Parametri lineari e parassiti del modello.

La prima non-linearità sottoposta a verifica è il generatore di corrente di Drain. Sulla base di quanto esposto nel capitolo V, i parametri del modello sono stato ottenuti partendo dalle caratteristiche I-V impulsive mediante estrazione e successiva ottimizzazione. Il confronto tra le misure e la simulazione è riportata di seguito assieme ai parametri ottimizzati.

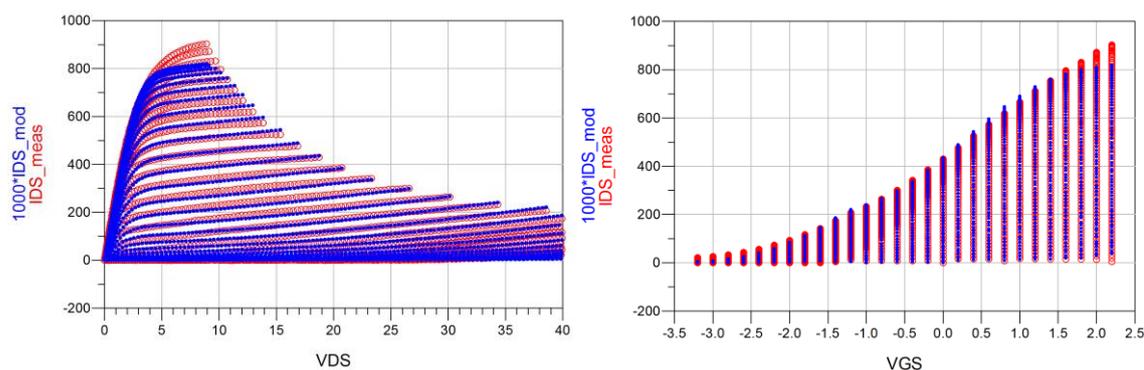


Figura 6-18: Fit misure I-V impulsive.

I_{pk}	P_1	P_2	P_3	$-V_{pk}$	$-\gamma$	α_r	α_s	B_1	B_2	λ	λ_{sb}	V_{tr}
397.5	0.1724	0.002	0.0421	0.075	0.0094	0.64	0.0113	4.64	0.0195	0.0036	0.0063	23

Tabella 6-2: Parametri del modello I-V.

La limitazione osservata in Figura 6-18 nel valore massimo raggiunto dalla corrente di Drain è tipico del modello della corrente utilizzato nel caso di dispositivi basati su GaN. La condizione in corrispondenza della quale il modello perde di validità corrisponde a $V_{GS} > 1.6$ V. Questo problema potrebbe essere superato introducendo ulteriori modifiche al modello con il conseguente incremento del numero di parametri [6.5], ma in questo caso, dal momento in cui non rappresenta una condizione operativa di interesse, non è stato corretto. Per quanto riguarda invece la trans-caratteristica e la caratteristica di uscita per $V_{GS} < 1.6$ V, non si riscontrano significative differenze tra le misure e le simulazioni. Questo verifica la correttezza dell'implementazione del modello I-V e conferma la bontà dei parametri del modello estratto.

Avendo a disposizione un insieme di dati di misura ottenuti tenendo conto della limitazione SOA (Safe Operating Area) dovuta alla massima potenza dissipabile sul dispositivo, risulta opportuno verificare che il comportamento del modello sia ragionevole anche relativamente ai punti di misura mancanti sulla regione del piano I-V. Nella Figura 6-19 e Figura 6-20 sono rappresentati gli andamenti della corrente, della trans-conduttanza (g_m) e della conduttanza di uscita (g_{ds}) rispetto ad una griglia uniforme di valori di V_{DS} e V_{GS} .

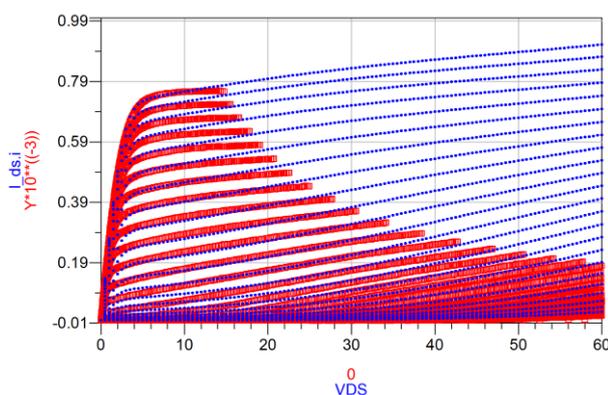


Figura 6-19: Verifica del modello IV per $V_{DSmax}=40$ V.

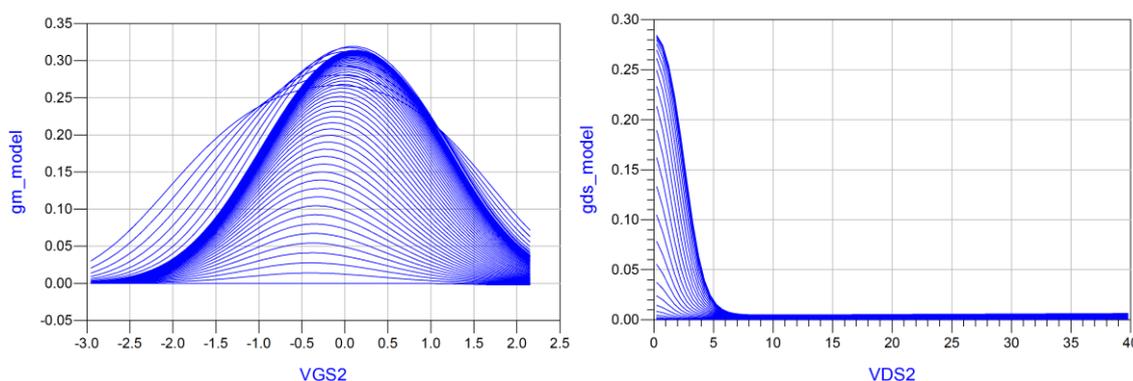


Figura 6-20: Verifica del g_m e della g_{ds} del modello per $V_{DSmax} = 40$ V.

Con lo scopo di verificare la robustezza del modello relativamente condizioni di polarizzazione al di fuori dell'intervallo di misura, sono state osservate le caratteristiche simulate per queste condizioni. I risultati riportati di seguito dimostrano come il modello non

presenta anomalie e neppure andamenti che potrebbero causare problemi di convergenza quali ad esempio incrementi delle caratteristiche I-V e delle rispettive derivate parziali anche al di fuori dell'intervallo di misura.

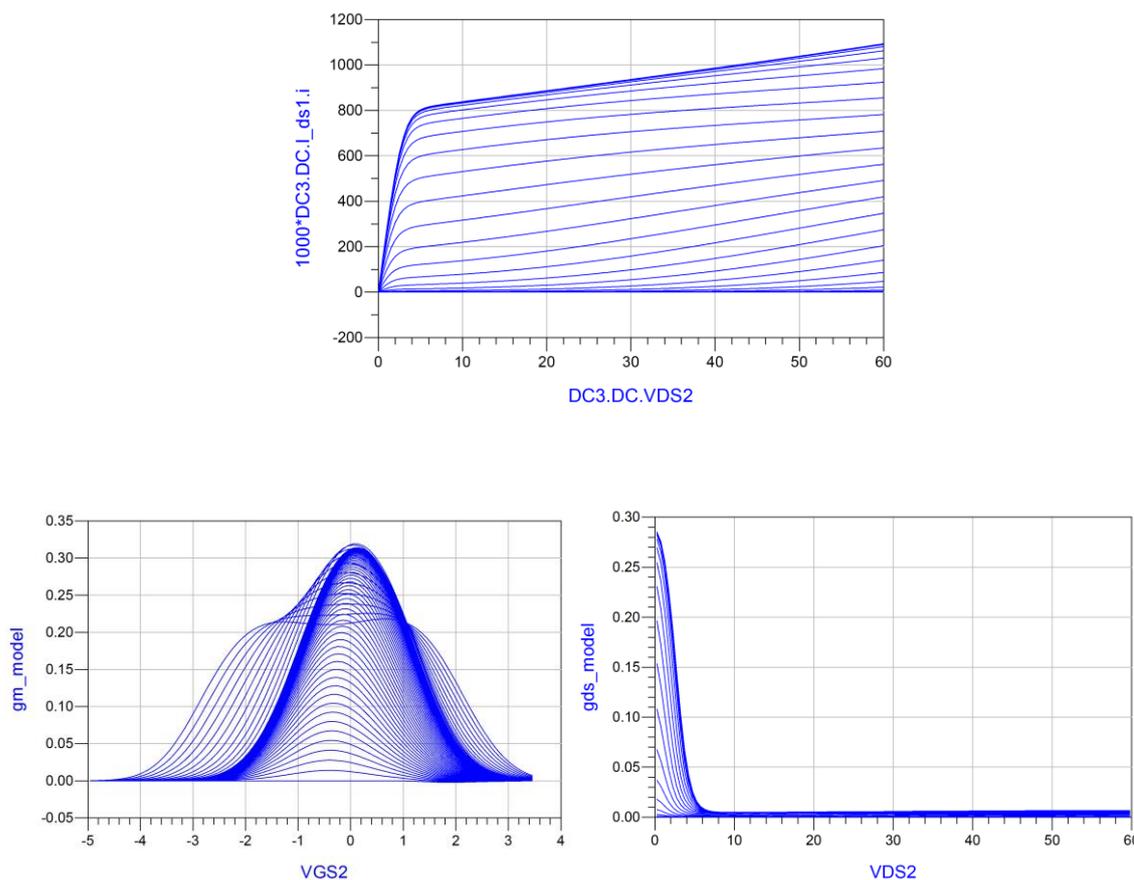


Figura 6-21: Simulazione della corrente di Drain e relativa trans-conduttanza e conduttanza di uscita per $V_{DS,max}=60$ V e $V_{GS}=[-5,3.5]$ V.

La seconda non-linearità modellizzata è la corrente nella giunzione Schottky Gate-Source. La caratterizzazione di questo contributo è stata effettuata mediante misura DC nella modalità con il terminale di Floating-Drain. Sulla base della trattazione analitica esposta nel capitolo IV, è stato effettuato il fitting dei parametri del modello della corrente della giunzione Schottky. In Figura 6-22 si riporta il confronto tra la misura e la simulazione del modello del solo diodo di Gate.

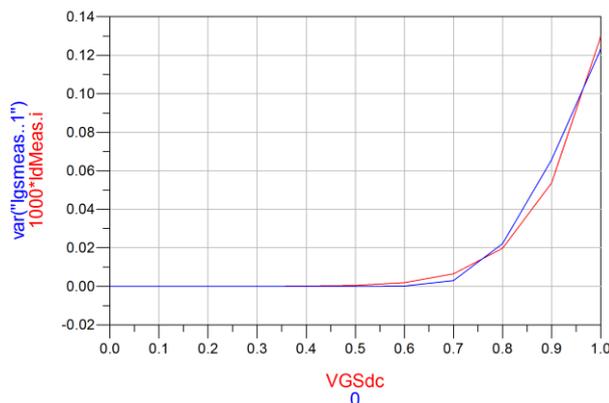


Figura 6-22: Confronto tra misure e modello della corrente attraverso la giunzione Schottky Gate-Source.

I_0	η	V_t	P_g
2e-9	3.47	0.16	1.34

Tabella 6-3: Parametri del modello della corrente nella giunzione Schottky di Gate-Source.

Seguendo la medesima metodologia di verifica sfruttata per il generatore di corrente di Drain, il modello della corrente nella giunzione Schottky è stato verificato simulando l'andamento della corrente per valori di tensione al di fuori dell'intervallo di misura con lo scopo di rilevare, qualora presenti, andamenti anomali e per verificare che la corrente non tenda a crescere infinitamente. Di seguito si riportano i risultati di due simulazioni fatte facendo variare la V_{GS} in un caso fino a 1.6 V e, da quanto è emerso (Figura 6-23), il modello risulta ben formulato.

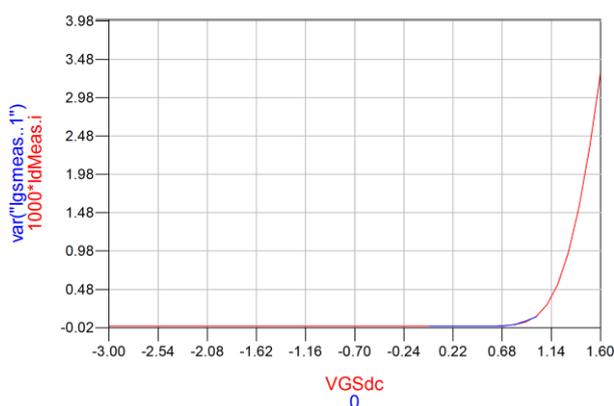


Figura 6-23: Simulazione della corrente del diodo Schottky Gate-Source al di fuori dell'intervallo di misura.

La terza ed ultima verifica ha riguardato il modello non-lineare della carica di Gate. Questa operazione essenzialmente ha lo scopo di osservare che il modello sia ben formulato in termini formali da un punto di vista matematico nel software e contestualmente verificare

che il modello in se garantisca la proprietà di consistenza al modello. Dal momento che questa implementazione richiede l'utilizzo di una sola sorgente di carica e non è stato mai implementato in precedenza in questo modo, questa verifica è stata fatta con particolare attenzione nei riguardi dell'implementazione prima e sul comportamento poi.

I parametri del modello della carica di Gate sono:

C_{GSP}	C_{GDP}	C_{G0}	C_{CH}	P_{11}	P_{20}	P_{21}	P_{30}	P_{31}	P_{41}	V_{t1}	V_{t2}	V_{t3}	λ_{GS}	λ_{GD}
360	155	675	4	1.95	-0.083	-0.004	0.6	1.28	1.38	1.28	1.04	-0.78	-0.0126	-0.015

Tabella 6-4: Parametri del modello della Carica di Gate.

Nelle figure che seguono sono confrontati i parametri S risultanti delle simulazioni con le misure del modello implementato per tutte le polarizzazioni considerate (Figura 6-24). Analizzando gli andamenti delle simulazioni, curve in blu nei grafici, è possibile affermare che non si osservano andamenti fuori famiglia evidenti. Ma questa prima e sommaria osservazione è stata utile solo ad individuare anomalie macroscopiche. Nel seguito si riportano i risultati relativi a particolari condizioni di polarizzazione di interesse.

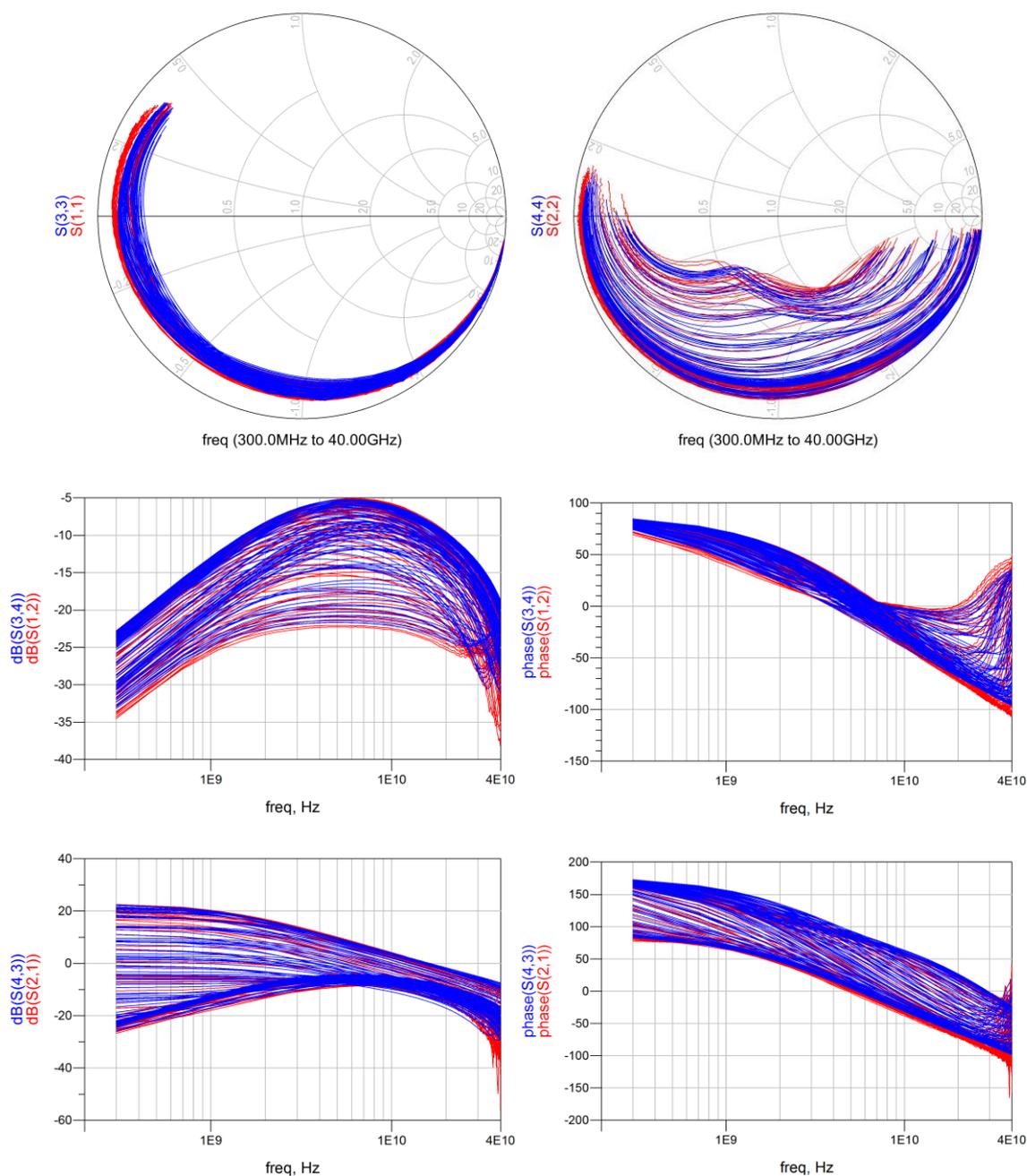


Figura 6-24: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} e V_{DS} variabile.

Cominciando con il caso in cui il dispositivo opera in regione lineare della caratteristica I-V, imponendo la tensione $V_{DS} = 1\text{ V}$, $V_{DS} = 3\text{ V}$ e $V_{DS} = 4\text{ V}$, si verificherà se il modello sia accurato in questa condizione operativa rispetto la quale i modelli tradizionali generalmente falliscono nel rappresentare il comportamento capacitivo del dispositivo. I risultati delle simulazioni sono riportati in Figura 6-25, Figura 6-26 e Figura 6-27 rispettivamente. Sebbene siano visibili alcune differenze tra gli andamenti delle misure rispetto le simulazioni, in tale condizione operativa, si evidenziano alcuni dei limiti del modello in bassa frequenza derivante probabilmente da una imperfetta rappresentazione della parte reale dell'impedenza di uscita del dispositivo. Ciononostante analizzando i grafici su carta di Smith e l'andamento del modulo e fase del S12 e la fase del S21 non si riscontrano differenze

significative tra gli andamenti. Questo verifica la correttezza del modello e mostra che il modello non-lineare è consistente con il comportamento misurato a piccolo segnale.

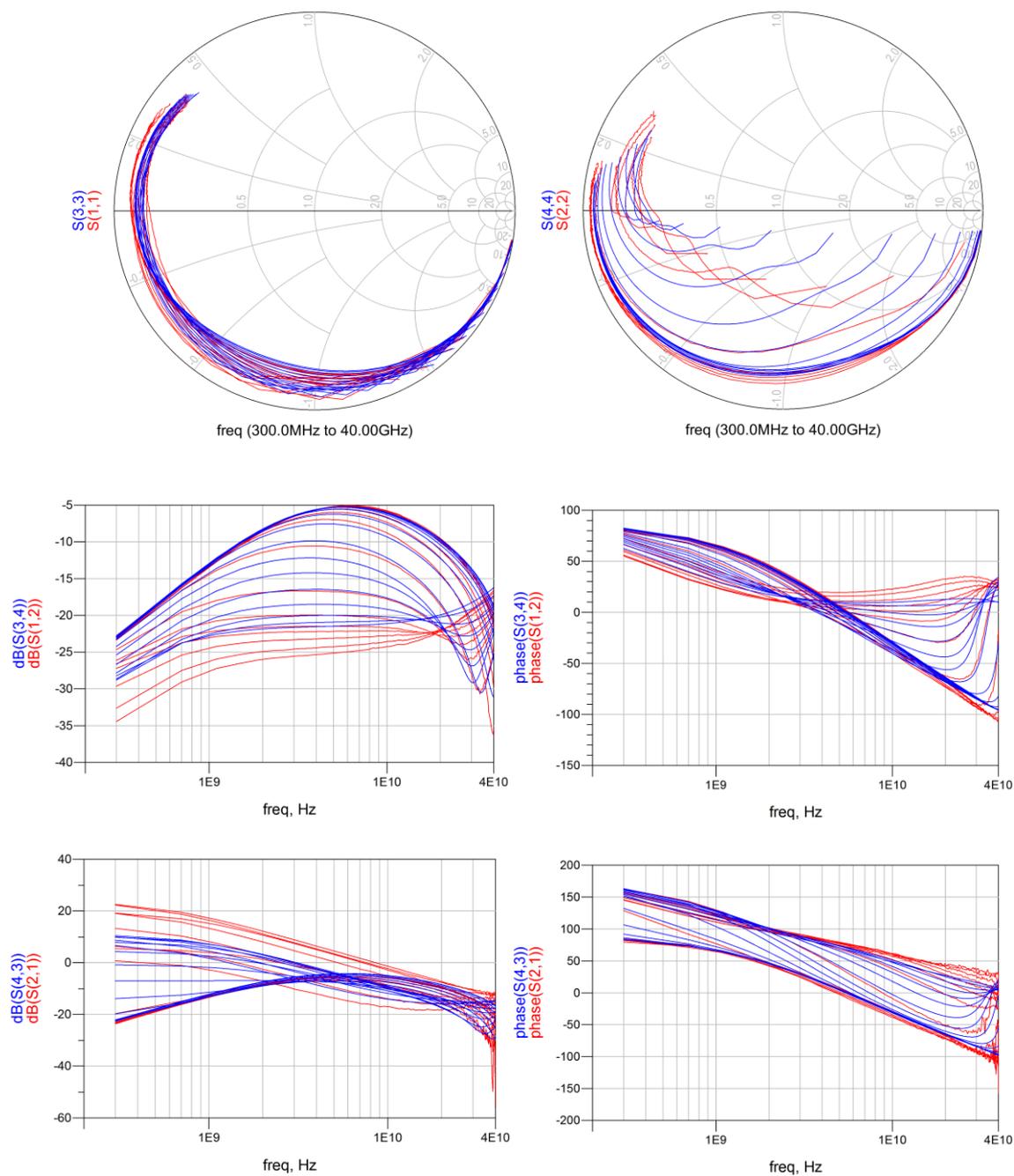


Figura 6-25: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} variabile e $V_{DS} = 1$ V.

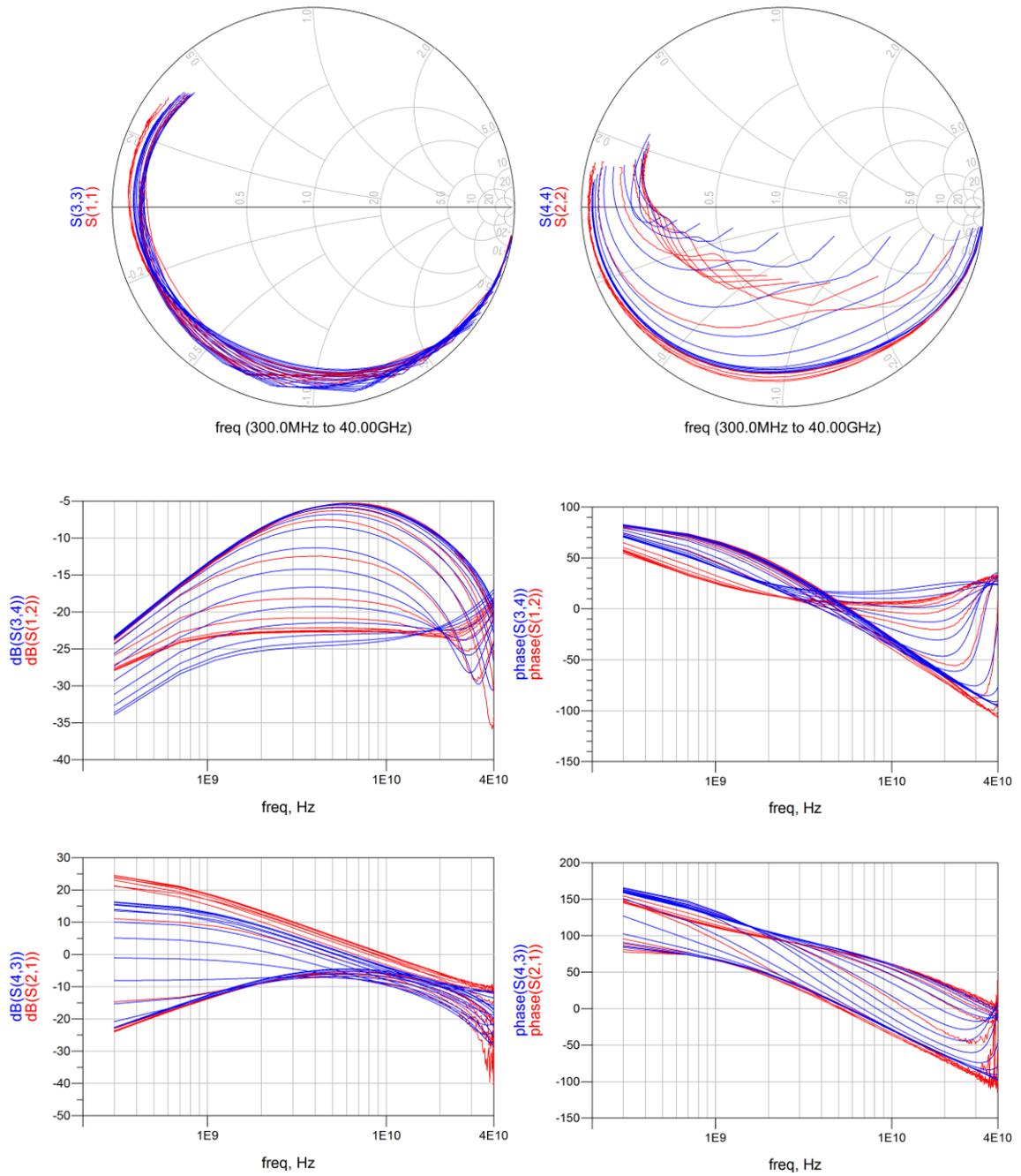


Figura 6-26: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} variabile e $V_{DS} = 3$ V.

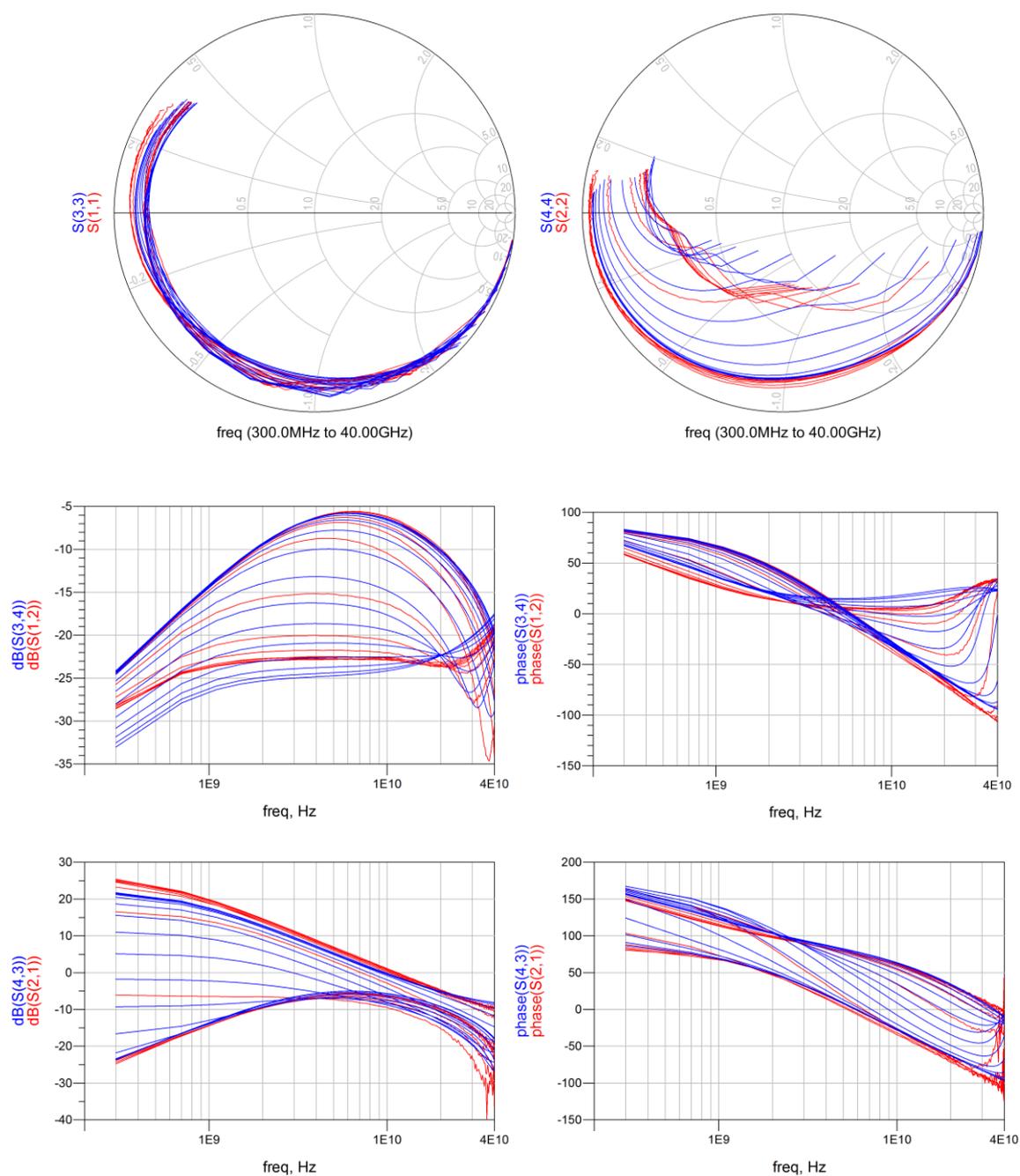


Figura 6-27: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} variabile e $V_{DS} = 4 \text{ V} = V_{knee}$.

Successivamente è stata verificata la consistenza del modello relativamente al caso in cui il dispositivo opera in saturazione variando la tensione V_{GS} e imponendo la tensione $V_{DS} = 10 \text{ V}$, $V_{DS} = 20 \text{ V}$ e $V_{DS} = 30 \text{ V}$, i cui risultati sono riportati in Figura 6-28, Figura 6-29 e Figura 6-30 rispettivamente. Come è possibile osservare nelle successive figure, non si rilevano apprezzabili differenze tra gli andamenti delle misure rispetto le simulazioni. In particolare, analizzando i grafici su carta di Smith e l'andamento del modulo e fase del S12 e la fase del S21 è possibile riscontrare una buona accuratezza del modello nel rappresentare gli sfasamenti tra ingresso e uscita a conferma della bontà dell'implementazione del modello della parte reattiva associata alla carica di Gate e del modello stesso.

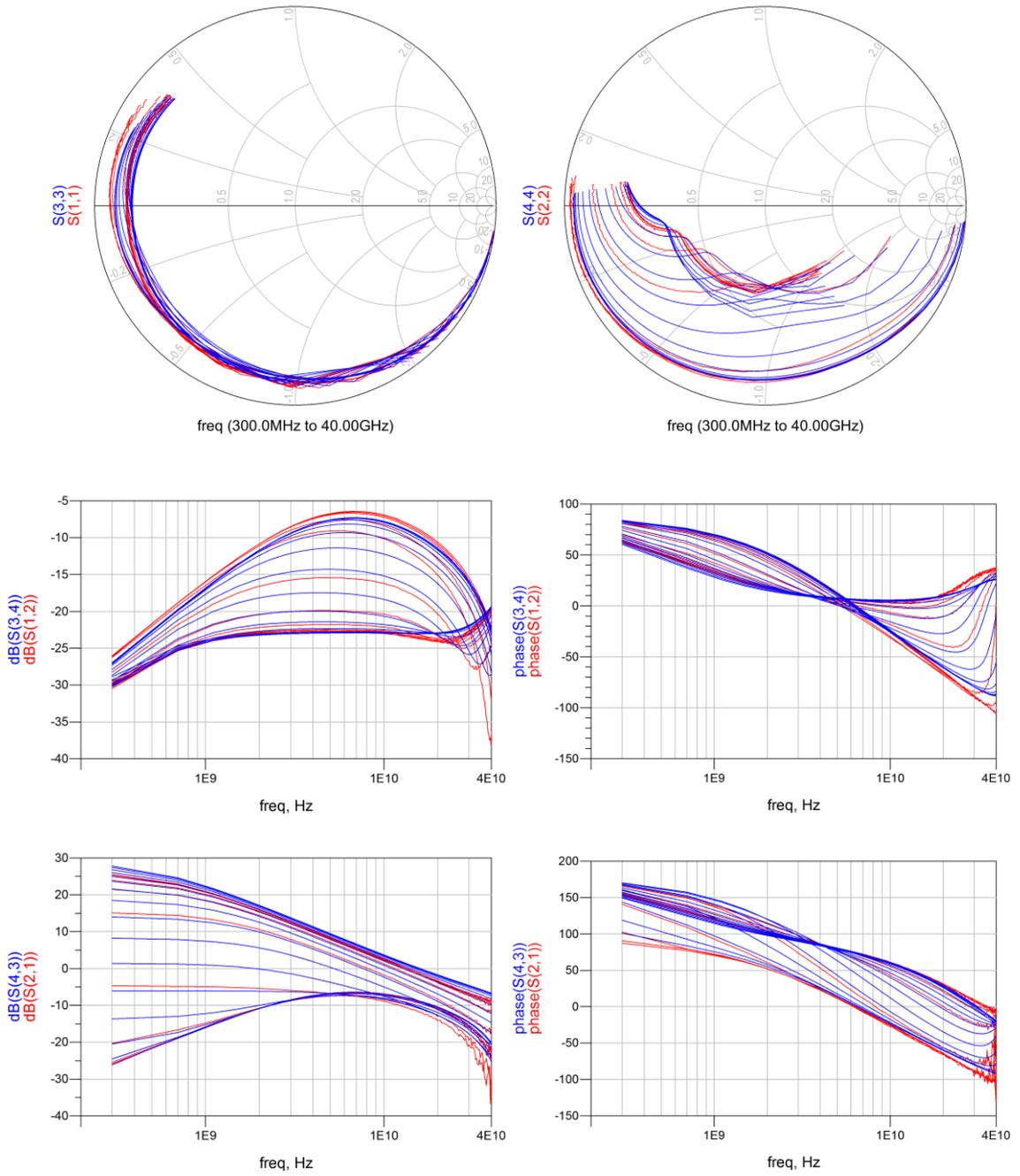


Figura 6-28: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} variabile e $V_{DS} = 10$ V.

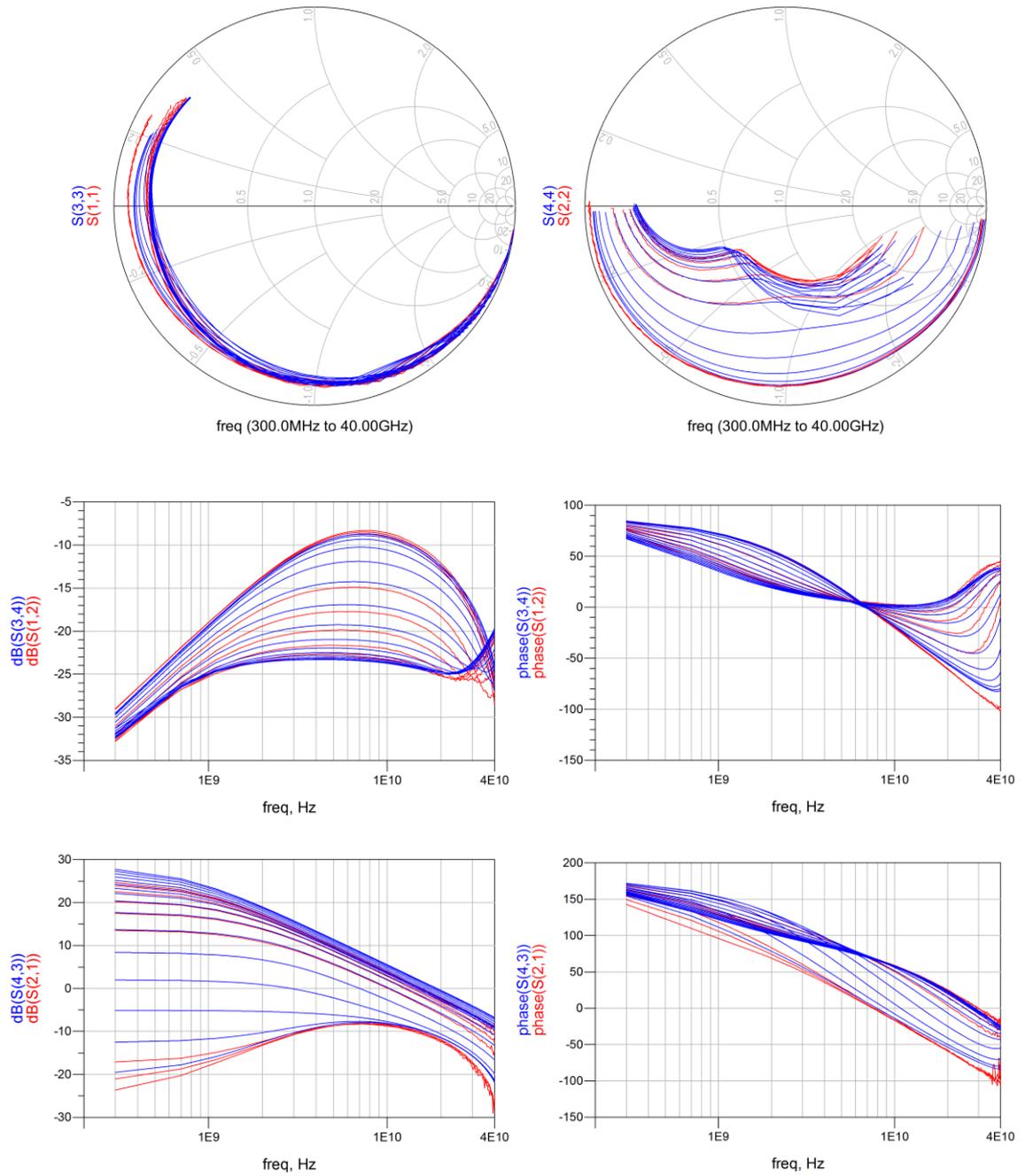


Figura 6-29: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} variabile e $V_{DS} = 20$ V.

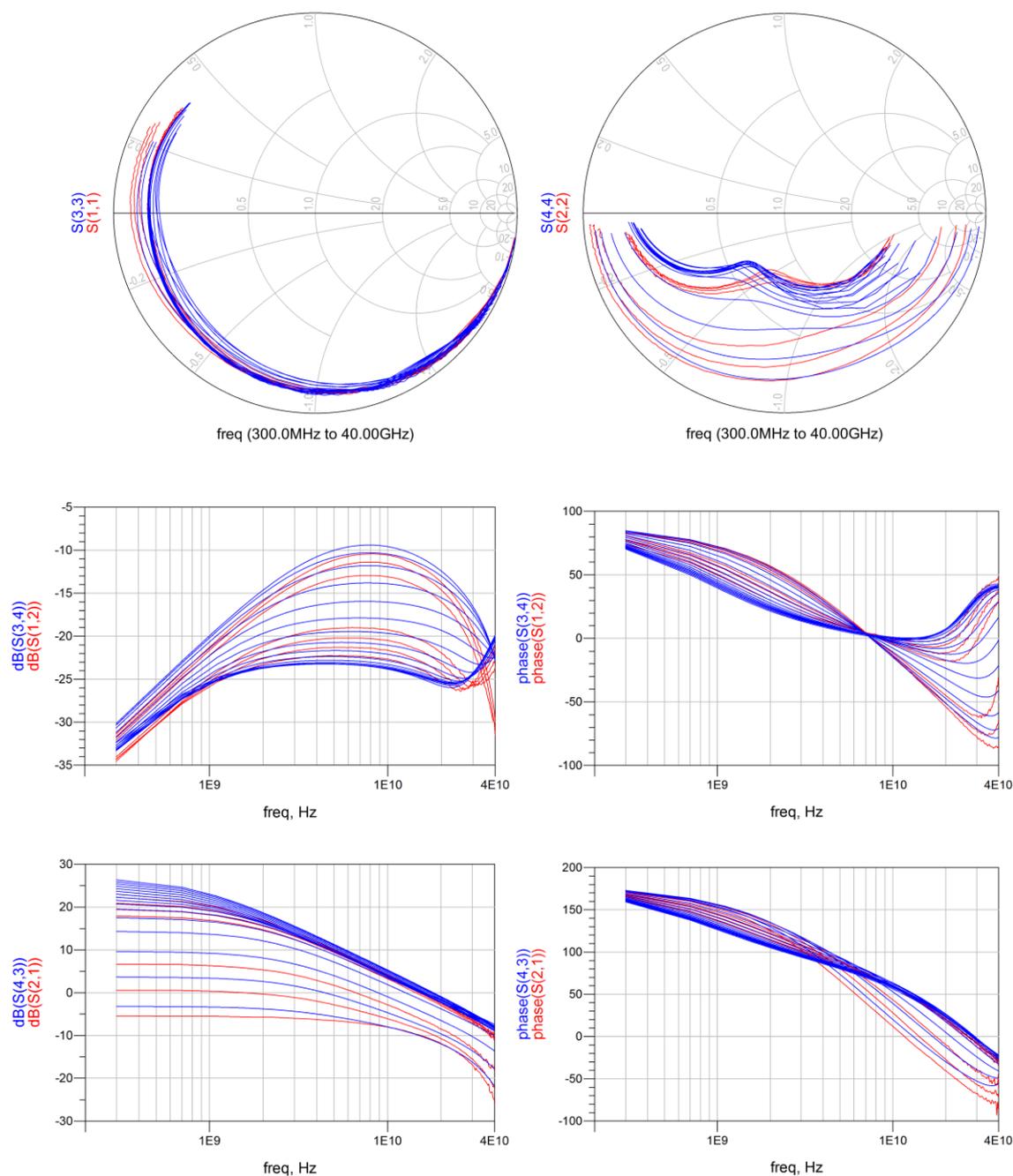


Figura 6-30: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} variabile e $V_{DS} = 30$ V.

Dalle precedenti figure si osserva che fino alle alte frequenze il modello è rappresentativo delle misure confermando così anche la topologia del circuito adottata.

Con l'intento di verificare ulteriormente la correttezza dell'implementazione del modello della carica di Gate, sono stati valutati gli andamenti della parte immaginaria delle ammettenze rispetto alle variazioni delle tensioni di controllo confrontando queste quantità con le corrispondenti quantità ottenute durante l'estrazione del modello a piccolo segnale.

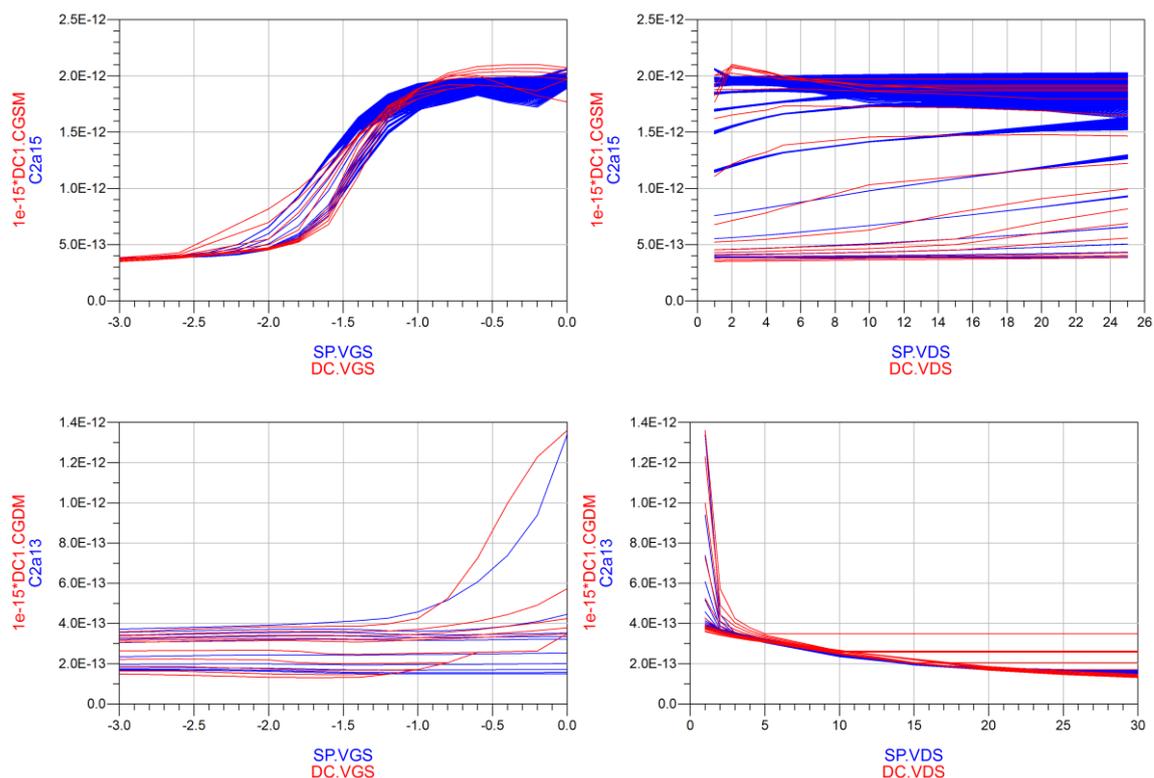


Figura 6-31: Confronto tra gli andamenti delle derivate parziali del modello della carica di Gate misurate (rosso) e simulate (blu).

Dal confronto risultano minime differenze ascrivibili ad errori numerici occorsi in parte durante l'estrazione e in parte durante la simulazione sebbene nel complesso il modello rappresenti correttamente il comportamento del dispositivo rispetto la variazione delle quantità di controllo.

Con lo stesso procedimento è stata verificata l'implementazione della funzione per la divisione della corrente reattiva il cui confronto con i dati estratti è riportato in Figura 6-32.

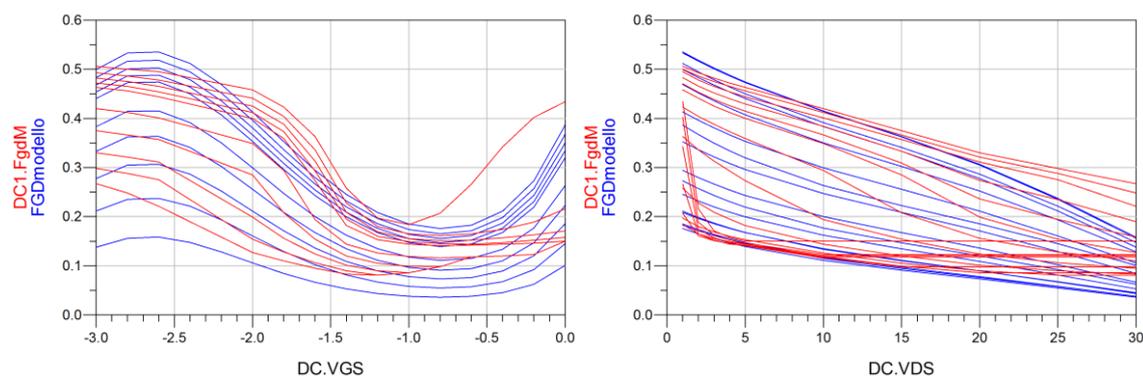


Figura 6-32: Confronto tra gli andamenti della funzione di divisione della corrente reattiva di Gate misurata (rosso) e simulata (blu).

Analizzando i precedenti grafici, il modello non-lineare della carica di Gate risulta verificato nel funzionamento a piccolo segnale. Un altro aspetto che è necessario verificare nel modello è la correttezza del modello della carica di Gate nella forma di una sola funzione analitica nel funzionamento a largo segnale. Avendo formulato il modello come una sola sorgente di carica, durante le simulazioni non-lineari non dovrebbero risultare contributi di corrente continua attraverso i rami Gate-Source e Gate-Drain e non dovrebbero neppure risultare andamenti dipendenti dalla frequenza di questi contributi. Per fare questa verifica è stato disattivato il diodo relativo alla giunzione Schottky Gate-Source nel modello sono state fatte due simulazioni a frequenza diversa (5.5 GHz e 10 GHz) variando la potenza di ingresso al modello. Nel caso in esame non sono risultate correnti DC indesiderate come è possibile osservare in Figura 6-33. Questa verifica garantisce una buona robustezza del modello durante simulazioni non-lineari evitando i tipici problemi di convergenza osservabili nei casi in cui il modello delle non-linearità reattive sono basate sul metodo della divisione di capacità.

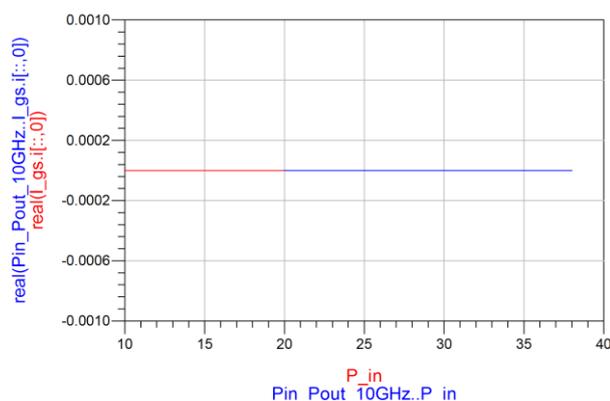


Figura 6-33: Corrente DC attraverso le non-linearità reattive al variare della frequenza (rosso = 5.5 GHz e blu = 10 GHz) e al variare della potenza.

L'ultima verifica della implementazione che è stata operata riguarda ancora il modello della carica di Gate in particolare. L'intento di quest'ultimo test è quello di verificare che il modello rispetti il principio della conservazione della carica. Per svolgere questo test è stato utilizzato un particolare circuito che prende il nome di pompa di carica (Charge pumping circuit). La pompa di carica è un circuito elettronico che usa dei condensatori per immagazzinare energia in maniera da ottenere delle sorgenti con tensioni più elevate o più basse di quelle disponibili dall'alimentazione. Le pompe di carica si basano sull'uso di dispositivi che commutano le connessioni ai morsetti di un condensatore. Dal momento in cui il modello svolge la funzione di interruttore nel circuito in esame, se ne può derivare che la capacità del modello di rispettare il principio della conservazione della carica. Infatti, durante la simulazione, le tensioni ai terminali del dispositivo sono fatte commutare in diversi istanti di tempo e in questo modo il dispositivo subisce delle sollecitazioni per cui il punto di polarizzazione istantaneo del dispositivo evolve nel piano I-V secondo diversi percorsi. Inoltre data la presenza del condensatore di carico rispetto cui è valutata la tensione di uscita qualora intervenissero errori nella definizione del modello o nella relativa implementazione, sarebbero osservabili andamenti non fisici o irregolari dell'uscita del circuito in quanto nella simulazione nel dominio del tempo la carica risulta essere una variabile di stato del circuito. Un ulteriore aspetto che consente di valutare la robustezza del modello rispetto la conservazione della carica, consiste nel valutare l'uscita del circuito pompa di carica modificando l'impostazione del simulatore relativa alla tolleranza nel calcolo della carica. Di

seguito si riportano i risultati di due diverse simulazioni fatte con tolleranza della carica pari a $1e-11$ e $1e-15$ e, da quanto emerge analizzando visivamente i risultati, negli andamenti e nei valori non si riscontrano differenze tra le due simulazioni. La sola differenza riscontrata è nella durata della simulazione come è giusto attendersi. Nel caso di tolleranza minore, la durata della simulazione risulta maggiore. Questo risultato mette in evidenza due aspetti: il primo è che il modello rispetta il principio della conservazione della carica poiché l'andamento della tensione di uscita mostra un andamento regolare senza particolari stranezze. Il secondo riguarda l'efficienza numerica e la robustezza del modello formulato ottenute introducendo una sola sorgente di carica per rappresentare le non-linearità reattive di Gate. In questo modo è stato dimostrato che la soluzione corretta è facilmente ottenuta dal simulatore con un minore numero di iterazioni e in modo intrinsecamente accurato.

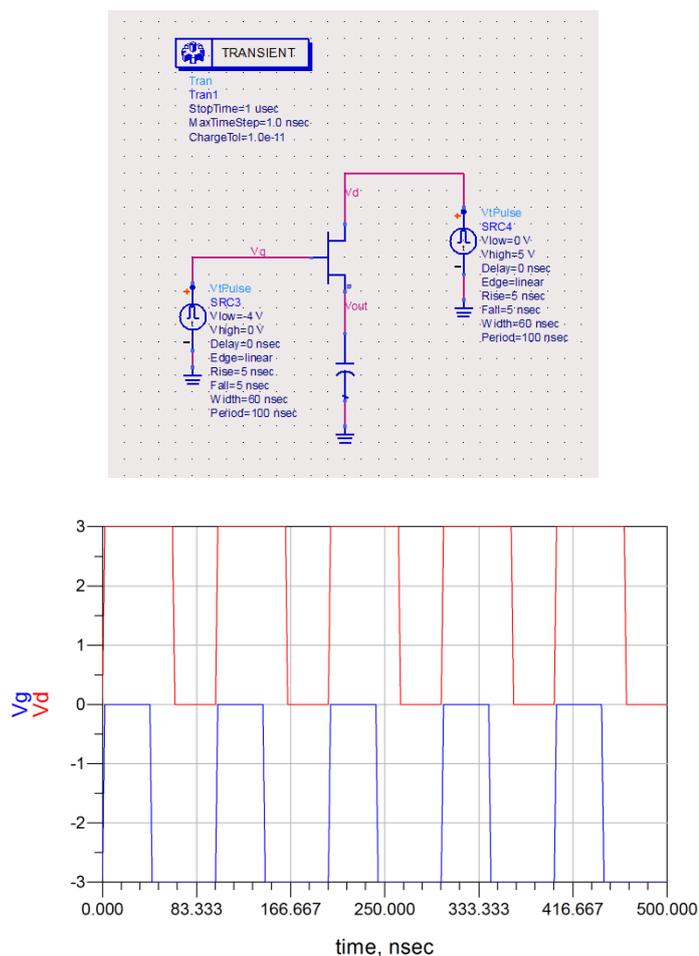


Figura 6-34: Circuito pompa di carica simulato (in alto) e andamento dei segnali di stimolo utilizzati nella simulazione (in basso).

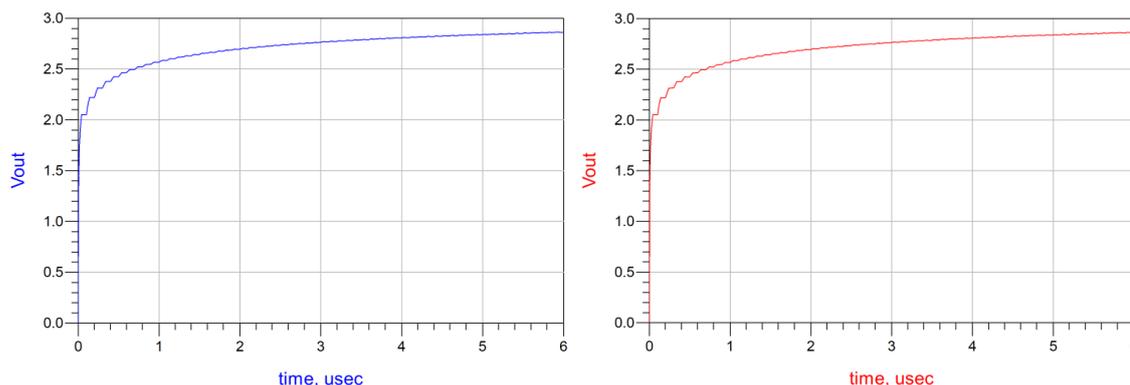


Figura 6-35: Tensione di uscita simulata per due diverse impostazioni del simulatore del circuito pompa di carica sulla base del modello non-lineare basato sulla divisione di corrente: a sinistra si riporta l'andamento della tensione di uscita ottenuta scegliendo la "charge tolerance" pari a $1e-11$ (durata della simulazione pari a 7.8 secondi) mentre a destra è stata selezionata una "charge tolerance" pari a $1e-15$ (durata della simulazione pari a 17.6 secondi).

6.5 VALIDAZIONE DEL MODELLO

Una volta effettuata la verifica durante la quale è stata appurata la correttezza dell'implementazione del modello nel CAD, la correttezza delle equazioni, la topologia ed il corretto funzionamento del modello rispetto la riproduzione dei dati a partire dai quali il modello è stato estratto, si procede con la validazione del modello. Con questa operazione si intende determinare il grado di accuratezza del modello rispetto alla capacità di rappresentare e predire le caratteristiche del dispositivo in condizioni operative reali e di pratico interesse in ottica applicativa confrontando i risultati delle simulazioni con dati sperimentali non utilizzati durante l'estrazione. Contestualmente è necessario effettuare tali valutazioni variando le condizioni di test ad esempio per diverse condizioni di polarizzazione, con diversi livelli di potenza di ingresso e in diverse condizioni di carico sottoponendo il modello del dispositivo a condizioni di lavoro in cui le non-linearità siano messe in risalto.

Questo passaggio consente da un lato di osservare eventuali discrepanze tra i risultati della simulazione rispetto ai dati di misura non sfruttati in fase di modellizzazione e, allo stesso tempo, permette di identificare eventuali limitazioni e condizioni di inapplicabilità del modello. Si ricorda che, per quanto accurato sia un modello, questo risulta essere sempre una rappresentazione semplificata di dispositivi reali e quindi valido in determinati intervalli e condizioni. Grazie all'esplorazione delle caratteristiche del modello al di fuori dei range di misura e in condizioni operative reali sono implicitamente validate le assunzioni fatte durante la fase di modellizzazione e allo stesso tempo si qualificano le qualità predittive del modello rispetto sollecitazioni differenti da quelle sfruttate in fase di caratterizzazione per la modellizzazione.

L'esempio principale della validazione di un modello di un HFET per applicazioni in alte frequenze consiste nel confronto tra misure e simulazioni Load-Pull in quanto questa tecnica di caratterizzazione è specifica nell'ambito del funzionamento non-lineare del dispositivo. Ovviamente la validazione dovrebbe includere numerosi test durante i quali condizioni di misura (frequenza, polarizzazione, potenza del segnale di ingresso) sono fatte variare ma in termini pratici questo potrebbe risultare sconsigliato. Bisogna pertanto individuare condizioni operative di particolare interesse applicativo per il modello assieme a test che consentano di evidenziare carenze di natura teorica del modello stesso. Quindi bisogna apprezzare in modo critico la fase di validazione considerando che attualmente non esiste un

criterio oggettivo che permetta di quantificare in termini assoluti il grado di accuratezza di un modello non-lineare di un dispositivo. Non bisogna trascurare nemmeno la inevitabile problematica della perdita di accuratezza intrinseca alle misurazioni, dovuta alle elaborazioni dei dati sperimentali e alle semplificazioni operate durante la fase di estrazione. Non meno importanti sono anche le intrinseche limitazioni derivanti dai metodi numerici con cui i circuiti sono risolti nel simulatore assieme alle impostazioni con cui si configurano le simulazioni a largo segnale che in genere possono impattare sull'esito della simulazione in termini di stabilità e convergenza. Allo stesso modo, risultano importanti le condizioni rispetto cui si ottengono i risultati, poiché bisogna rappresentare nel modo più vicino possibile le condizioni di misura, ad esempio non trascurando le terminazioni armoniche durante misure e simulazioni Load-Pull assieme alle influenze delle impedenze a basse frequenze dovute ai bias-tee ad esempio [6.6]. Attualmente, tecniche di misura nel dominio del tempo rappresentano l'alternativa alle tradizionali misure scalari, quale è la misura Load-Pull standard; tuttavia durante questo lavoro di tesi non si disponeva della strumentazione necessaria per effettuare tali caratterizzazioni che in ogni caso, grazie alla maggior quantità di informazioni consentono una più approfondita validazione del modello.

L'abilità di un modello nel predire le prestazioni del dispositivo che rappresenta in particolari condizioni di terminazione su particolari impedenze di ingresso e di uscita, è di fondamentale importanza nel caso di dispositivi per applicazioni di alta frequenza e alta potenza. Sulla base di queste caratteristiche si svolge la progettazione di amplificatori cercando il miglior compromesso tra le diverse prestazioni (guadagno, potenza di uscita, distorsioni, efficienza) nello spazio delle impedenze variando al contempo parametri di progetto (punto di lavoro, potenza di ingresso, frequenza). Un modello accurato e valido rappresenta un valore aggiunto rispetto le sole misure consentendo di studiare e visualizzare il comportamento del dispositivo in diversi piani di riferimento rispetto le misure permettendo così di indagare e risolvere problemi in modo radicale. Ad esempio, un modello consente di osservare l'andamento nel tempo di corrente e tensione non misurabili direttamente neppure con i più moderni NVNA (Non-linear Vector Network Analyser).

Infine, la validazione del modello deve poter contemplare anche valutazioni sulla velocità di simulazione del modello in quanto questa caratteristica impatterà direttamente sull'usabilità del modello stesso e quindi non è trascurabile neppure questo aspetto. Non è inusuale ad esempio svolgere simulazioni in cui si valuta l'effetto di una variazione di un parametro sulle prestazioni di un circuito oppure sottoporre un circuito a processi di ottimizzazione, che spesso si rivelano molto onerosi da un punto di vista del tempo richiesto. Questo ultimo aspetto consente di introdurre l'ultima parte di questo capitolo in cui si introduce e descrive lo strumento adottato per effettuare l'implementazione del modello nel CAD con approccio professionale.

6.5.1 USO DELLE MISURAZIONI LOAD-PULL PER LA VALIDAZIONE DEL MODELLO

Una valida tecnica di caratterizzazione delle caratteristiche di un HFET per applicazioni di alta frequenza che si presta molto bene anche come base di validazione di un modello non-lineare è la tecnica del Load-Pull. Analizzando le caratteristiche elettriche del modello variando le impedenze su cui sono terminate le porte di ingresso e uscita del dispositivo, esso costituisce un fondamentale test della accuratezza del modello, specialmente se effettuato variando la frequenza e la polarizzazione del dispositivo.

Diversamente dalle misure I-V e di parametri S impulsive, che sono intrinsecamente tecniche di misura lineari, con le misure Load-Pull è possibile osservare il funzionamento del dispositivo in condizioni di lavoro in cui il dispositivo stesso è portato in regime di funzionamento non-lineare. Sollecitando il dispositivo con segnali rappresentativi di una condizione operativa reale (variando ad esempio la potenza di ingresso), è possibile valutare parametri come il guadagno di potenza e il contributo spettrale del segnale di uscita che sono quantità non utilizzate per l'estrazione del modello e che sono rappresentative dell'incidenza delle non-linearità presenti nel dispositivo. Per questi motivi, le misurazioni Load-Pull consentono effettivamente di validare la bontà del modello nell'ottica di utilizzare tale entità nella progettazione di circuiti nel CAD. Inoltre, a differenza dei parametri S ottenuti chiudendo le porte del dispositivo misurato su un carico puramente reale e pari a 50Ω , nei circuiti il dispositivo è inglobato in reti elettriche che non mostrano tali chiusure alle porte. Da un punto di vista progettuale di apparati elettronici moderni, è necessario l'uso di "carte di progetto" relative al dispositivo utilizzato alle varie condizioni di funzionamento. Dati utili sul carico ottimo per la massimizzazione della potenza di uscita, dell'efficienza e del guadagno sono ottenibili attraverso procedure sperimentali per caratterizzare il comportamento a grande segnale dei transistori. La tecnica oggi più diffusa, è ancora il Load-Pull. Tipicamente le grandezze misurate sono guadagno in potenza, efficienza, prodotti di intermodulazione. Le curve di livello di queste grandezze, riportate sul piano complesso dei coefficienti di riflessione visti all'uscita del dispositivo, forniscono una descrizione abbastanza esplicativa del comportamento del transistor e consentono di sintetizzare reti di adattamento di ingresso e di uscita, che realizzino specifici requisiti del circuito.

6.5.2 SISTEMA DI MISURA LOAD-PULL

Il sistema con cui si misurano le caratteristiche elettriche in alta frequenza al variare dell'impedenza di carico di un dispositivo prende il nome di Load-Pull mentre un simile sistema che consente di variare l'impedenza di carico della porta di ingresso prende il nome di Source-Pull. I sistemi Load-Pull si classificano principalmente in due categorie: quelli attivi e quelli passivi. Il sistema Load-Pull commercialmente più diffuso è quello che sintetizza carichi passivi sintetizzati tramite tuner elettro-meccanici.

La tipica struttura di un tuner si basa su uno (o due) slug che può essere mosso longitudinalmente e verticalmente con posizionatori micrometrici o motori di precisione all'interno di una linea di trasmissione scanalata, detta slab-line. Tali slug generano un effetto capacitivo al centro della guida. Più tale slug penetra e più il coefficiente di riflessione aumenta. Nella posizione di inializzazione, quando lo slug non è penetrato nella linea si ha il minimo fra i coefficienti di riflessione che si possono sintetizzare ed esso è pari alla riflessione residua della sola slab-line (con un return loss in genere di 30 dB). Nella massima posizione di penetrazione si possono invece raggiungere anche moduli di 0.9 con un return loss di 1 dB e quindi un range dinamico di tuning pari a circa 31 dB. Se la frequenza di risonanza dello slug è lontana dalla frequenza di utilizzo, il cambio della posizione dello slug verticale varia il modulo del coefficiente di riflessione sintetizzato mentre la posizione longitudinale ne varia la fase. I principali vantaggi dei tuner passivi sono l'alta ripetibilità delle posizioni e l'alta tolleranza alla potenza (power handling). Tuttavia la risoluzione e l'accuratezza dei tuner sono fortemente dipendenti dalla risoluzione del posizionamento (passi verticali dettati dai motori di circa $(1.5-0.75 \mu\text{m})$) all'interno della slab-line dello slug, soprattutto per alti coefficienti di riflessione. Inoltre, poiché tali tuner sono passivi, non si possono sintetizzare carichi prossimi alla circonferenza unitaria della carta di Smith. Per di

più concorrono, oltre alla natura intrinseca del tuner passivo, le perdite del set-up del banco di misura (probe, cavi, accoppiatori) a limitare ancora di più la magnitudine del coefficiente di riflessione sintetizzabile. Questi svantaggi sono tanto più rilevanti quanto più si aumenta la frequenza di misura.

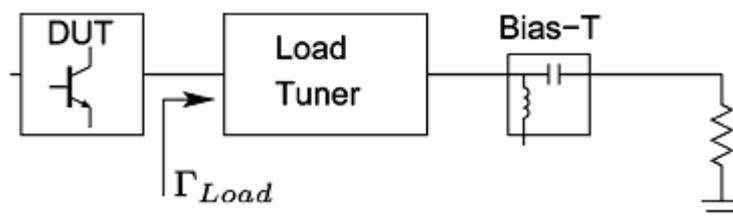


Figura 6-36: Schema a blocchi della sezione di uscita di un sistema Load-Pull passivo.

Per superare queste limitazioni dei sistemi Load-Pull passivi, esistono i sistemi attivi a loop chiuso [6.7] e aperto [6.8].

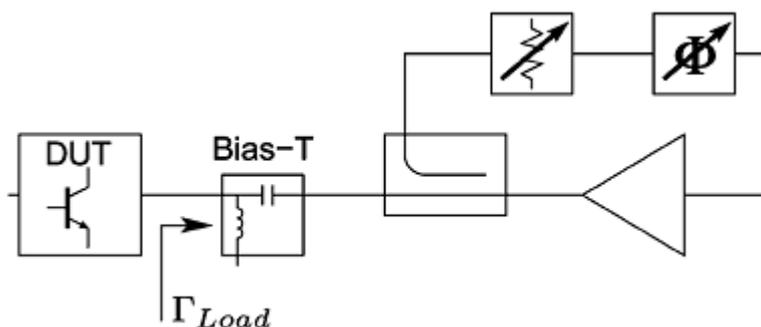


Figura 6-37: Schema a blocchi della sezione di uscita di un sistema Load-Pull attivo a loop chiuso.

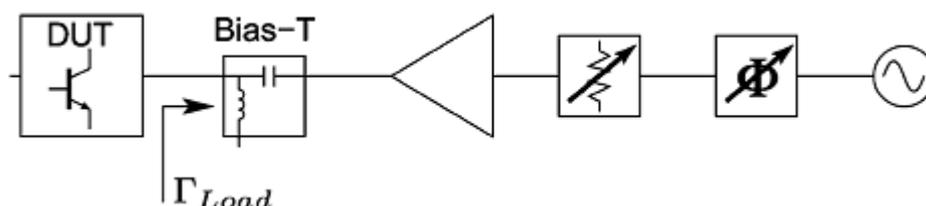


Figura 6-38: Schema a blocchi della sezione di uscita di un sistema Load-Pull attivo a loop aperto.

In questi set-up si introducono uno o più amplificatori con cui si elaborano i segnali di test inviati sul dispositivo. Con gli amplificatori le perdite possono essere compensate ed inoltre è possibile generare anche coefficienti di riflessione con magnitudine maggiore di 1. L'introduzione degli amplificatori però determinano altri tipi di limitazioni nel banco di misura derivanti dalle massime potenze gestibili dal set-up e dalle massime frequenze di misura. Attualmente esistono diverse soluzioni commerciali di Load-Pull attivi che

consentono di effettuare misurazioni a singolo tono monitorando le armoniche generate [6.9] e anche sistemi che consentono test con segnali complessi [6.10].

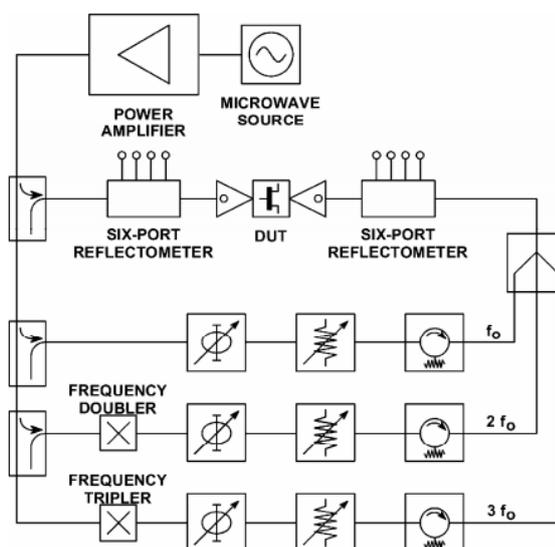


Figura 6-39: Schema a blocchi della sezione di uscita di un sistema Load-Pull attivo a loop aperto armonico.

Inoltre, recentemente sono stati introdotti apparati che consentono di effettuare misurazioni vettoriali grazie all'introduzione di un analizzatore di reti vettoriale e i necessari switch mediante i quali è anche possibile effettuare la misura dei coefficienti di riflessione effettivamente mostrati al dispositivo. Questo sistema, che prende il nome di Real-Time Load-Pull consente di rilassare le specifiche della ripetibilità dei tuner poiché consente la misura del coefficiente di riflessione di questi e contestualmente permette di operare de-embedding dei contributi del set-up in modo più accurato consentendo inoltre di conoscere accuratamente il livello di potenza in ingresso al dispositivo grazie alla conoscenza dei diversi coefficienti di riflessione alla sezione di ingresso nelle diverse condizioni di terminazione del dispositivo. Mediante questi sistemi sono possibili misurazioni di guadagno ed efficienza molto accurate grazie alla conoscenza delle quantità riferite direttamente ai piani di riferimento del dispositivo.

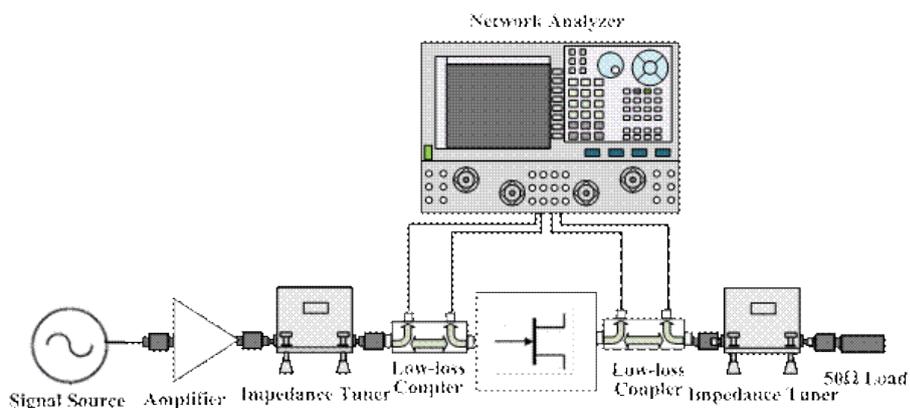


Figura 6-40: Schema a blocchi della sezione di uscita di un sistema Real-Time Load-Pull.

Ovviamente all'aumento delle capacità del set-up corrisponde l'aumento del costo del sistema di misura e questo giustifica la limitata diffusione di questi apparati.

Per il presente studio la preferenza ricade sul Load Pull passivo, [6.11], in quanto l'obiettivo è validare le emergenti tecnologie per frequenze inferiori ai 10 GHz. Il banco di misura utilizzato è implementato in Selex ES e permette misure di Load/Source Pull da 2 a 18 GHz. Esso è costituito da due tuner elettromeccanici prodotti da Maury, due accoppiatori direzionali che permettono la misura della potenza di uscita e della potenza riflessa rispettivamente alla sezione di uscita e di ingresso del HFET, un alimentatore duale per fornire le alimentazioni quiescenti di Drain e di Gate, un generatore di segnale e un TWT per iniettare il segnale a RF alla sezione di ingresso del dispositivo, come rappresentato nello schema in Figura 6-41.

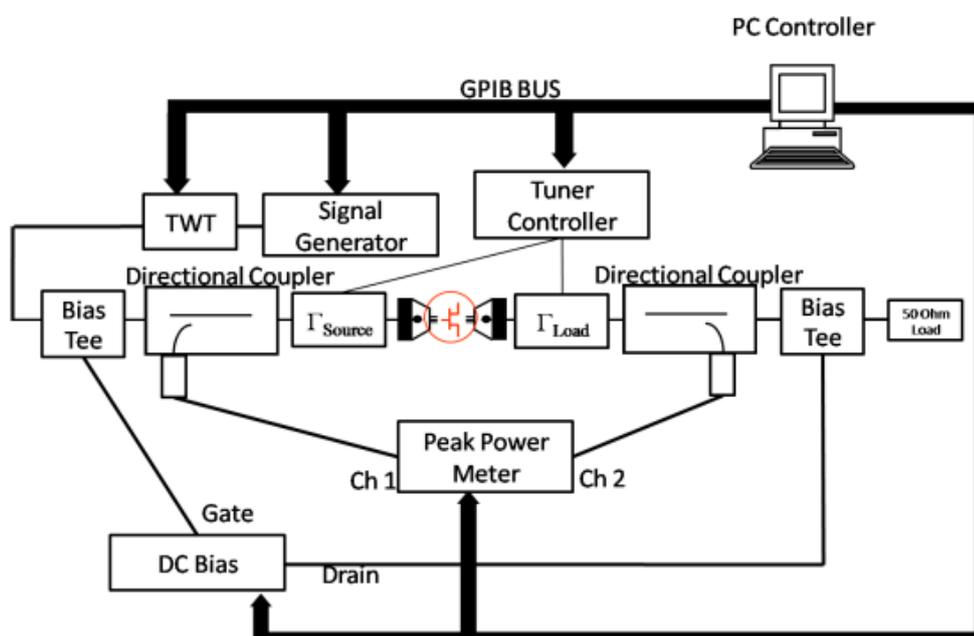


Figura 6-41: Schema a blocchi del sistema Load-Pull utilizzato.

6.5.3 VALIDAZIONE DEL MODELLO IMPLEMENTATO SULLA BASE DI SDD

La validazione del modello implementato è stata effettuata utilizzando due diversi set di dati sperimentali. Uno di questi è il test a 1 tono e rappresenta il risultato di caratterizzazioni della potenza di uscita (P_{out}) della efficienza (PAE) e della corrente di Drain (I_D) a frequenza fissa variando l'entità del segnale di test terminando il dispositivo su un'impedenza rappresentativa del carico ottimo che massimizza la potenza di uscita. Questo test è stato effettuato successivamente a una diversa frequenza. L'altro consiste di misure Load-Pull a potenza di ingresso fissa corrispondente al livello che determina la compressione del guadagno lineare di 3 dB.

Nel caso in cui la frequenza del segnale di test è pari a 5.5 GHz, dal confronto tra le misure e la simulazione in cui è stata fatta variare la potenza dei segnali in ingresso, risulta che sia la

potenza di uscita (e quindi il guadagno) e sia la corrente di Drain sono ben riprodotte dal modello così come la PAE. Contestualmente è stata verificata anche la capacità del modello di predire le prestazioni al di fuori dell'intervallo di misura osservando come il modello non presenti andamenti delle quantità simulate non fisici e riesca in effetti a simulare sia la saturazione del guadagno e sia la riduzione della PAE.

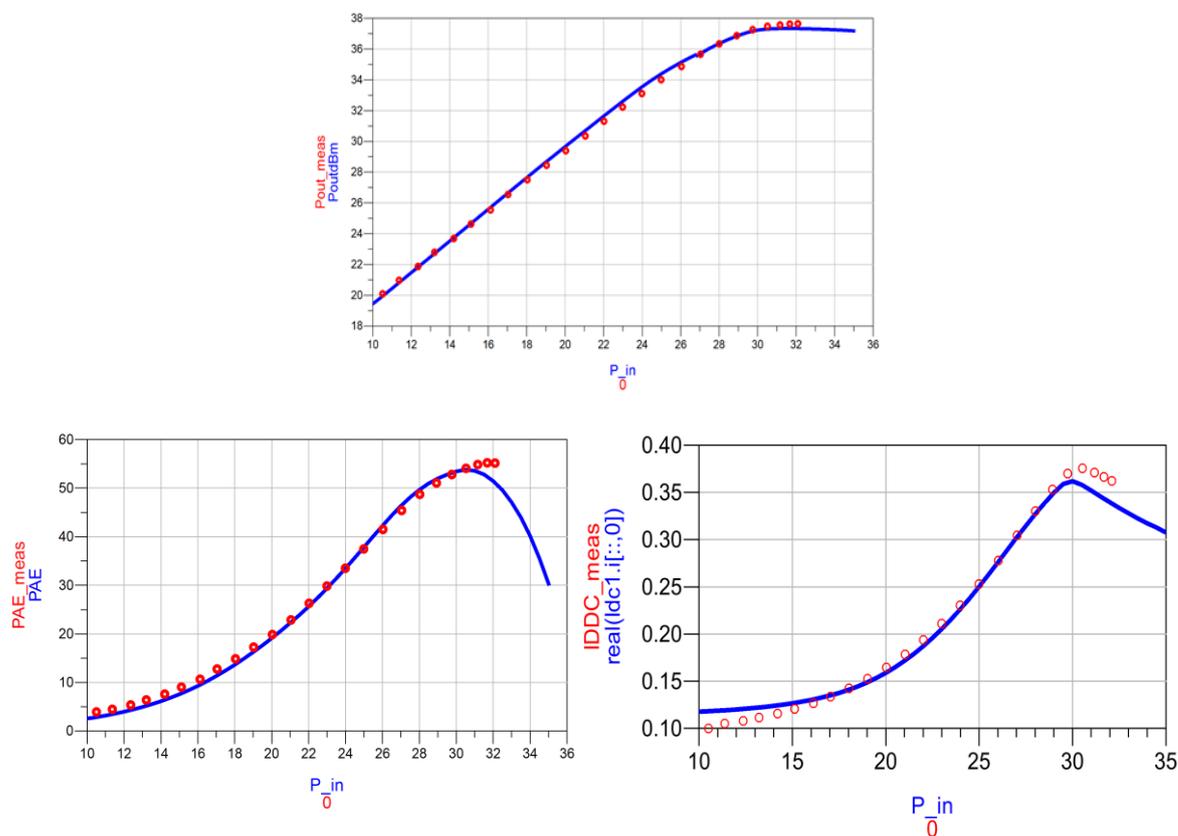


Figura 6-42: Test a 1 tono a 5.5 GHz: in rosso sono riportati i dati di misura e in blu i risultati della simulazione. In alto è rappresentato il confronto della P_{out} , in basso a sinistra la PAE mentre a destra la I_D .

Sebbene non siano state effettuate caratterizzazioni a 1 tono variando anche la polarizzazione del dispositivo, sono state effettuate delle simulazioni volte a verificare il modello in condizioni di funzionamento non-lineare al variare della tensione V_{GS} . Imponendo al segnale di test una potenza fissa e corrispondente alla condizione in cui il guadagno a 5.5 GHz è compreso di 3 dB rispetto al guadagno lineare, variando la tensione V_{GS} sono state osservate le variazioni sulle generazioni di armoniche, la variazione di PAE e della corrente di Drain.

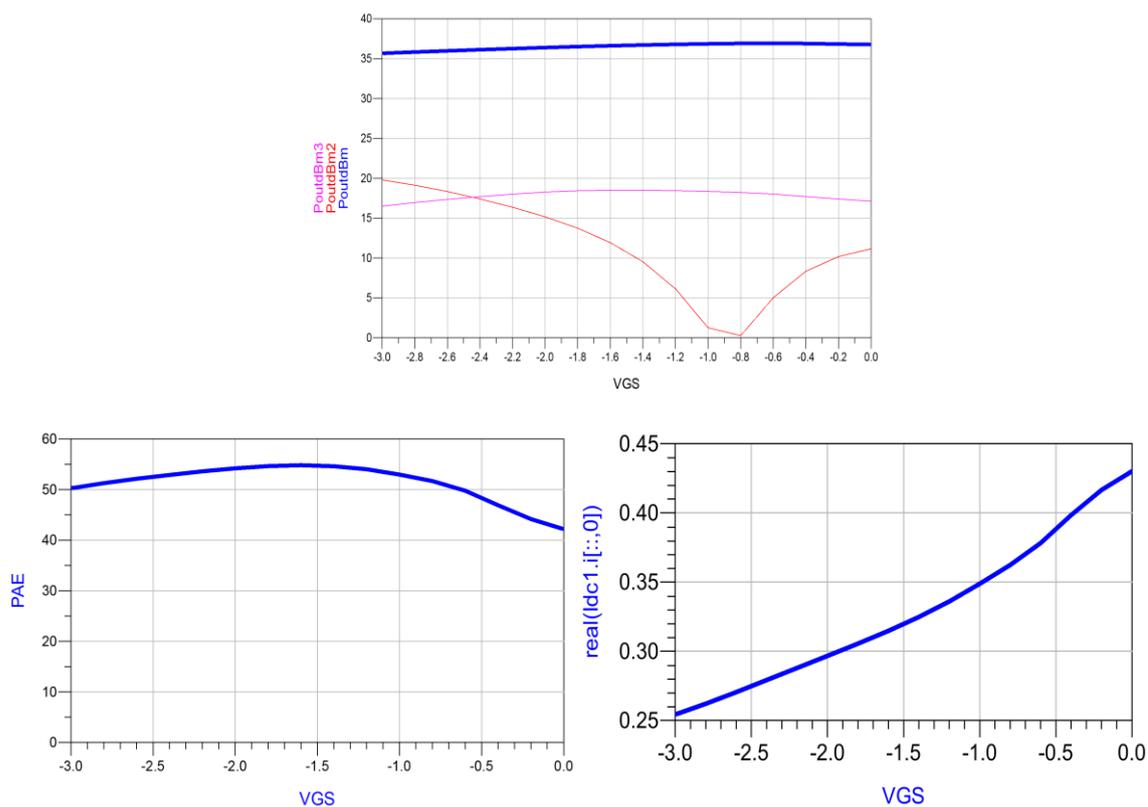


Figura 6-43: Test a 1 tono a potenza fissa corrispondente alla compressione di 3 dB del guadagno a 5.5 GHz. In alto sono riportate le variazioni delle ampiezze della fondamentale e della II e III armonica variando la tensione V_{GS} . In basso a sinistra la variazione della PAE mentre a destra la I_D rispetto V_{GS} .

La precedente analisi consente di osservare che anche variando la polarizzazione il modello non manifesta problemi di convergenza e nel riprodurre gli andamenti (che ovviamente andrebbero confrontati con dati sperimentali per la necessaria validazione) non si rilevano andamenti anomali sulle quantità osservate.

Anche nel caso in cui la frequenza del segnale di test è pari a 10 GHz, i cui risultati sono riportati di seguito, dal confronto tra le misure e la simulazione risulta che sia la potenza di uscita e quindi il guadagno e sia la corrente di Drain sono ben riprodotte dal modello così come la PAE. Contestualmente è stata verificata anche la capacità del modello di predire le prestazioni al di fuori dell'intervallo di misura osservando come il modello non presenti andamenti delle quantità simulate non fisici e riesca in effetti a simulare sia la saturazione del guadagno e sia la riduzione della PAE.

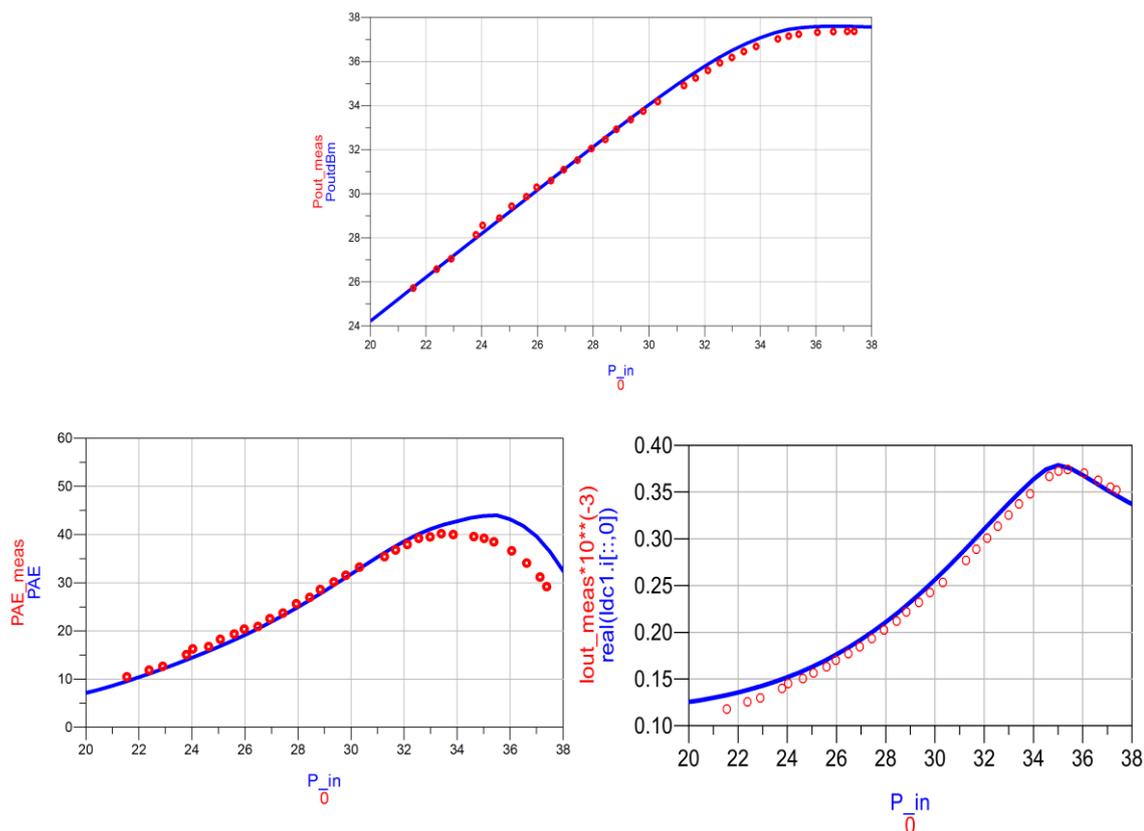
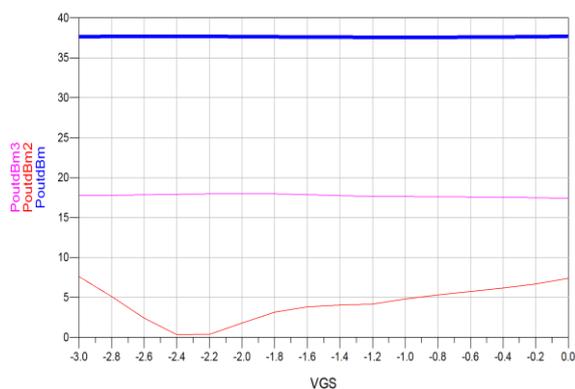


Figura 6-44: Test a 1 tono a 10 GHz: in rosso sono riportati i dati di misura e in blu i risultati della simulazione. In alto è rappresentato il confronto della P_{out} , in basso a sinistra la PAE mentre a destra la I_D .

Anche per questo secondo caso, non sono state effettuate caratterizzazioni a 1 tono variando anche la polarizzazione del dispositivo. Sono comunque state effettuate delle simulazioni volte a verificare il modello in condizioni di funzionamento non-lineare al variare della tensione V_{GS} . Imponendo al segnale di test una potenza fissa e corrispondente alla condizione in cui il guadagno a 10 GHz è compresso di 3 dB rispetto al guadagno lineare, variando la tensione V_{GS} sono state osservate le variazioni sulle generazioni di armoniche, la variazione di PAE e della corrente di Drain.



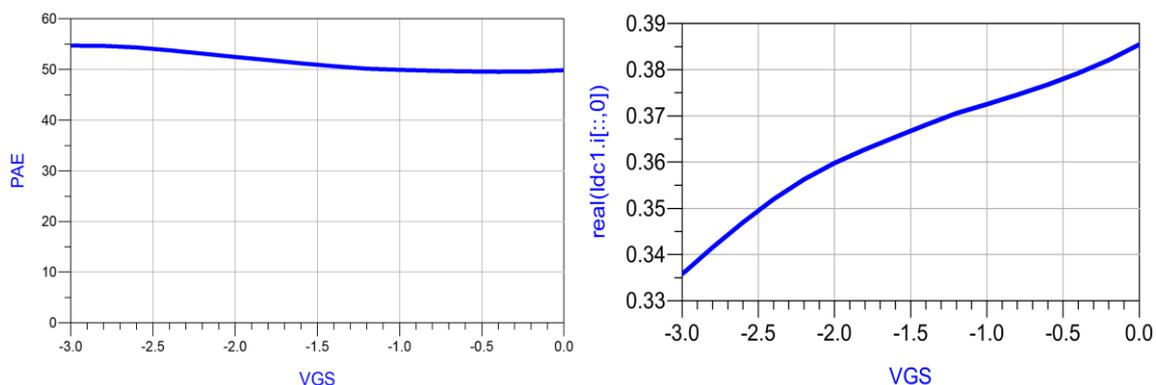


Figura 6-45: Test a 1 tono a potenza fissa corrispondente alla compressione di 3 dB del guadagno a 10 GHz. In alto sono riportate le variazioni delle ampiezze della fondamentale e della II e III armonica variando la tensione V_{GS} . In basso a sinistra la variazione della PAE mentre a destra la I_D rispetto V_{GS} .

Il secondo set di misure consiste nella misura di potenza di uscita ed efficienza variando l'impedenza di carico con cui si termina la porta di uscita del dispositivo a potenza di ingresso costante. Anche in questo caso il test è stato effettuato con una potenza di ingresso tale da determinare la compressione del guadagno di 3 dB per due frequenze diverse: 5.5 GHz e 10 GHz. Nel caso relativo alla frequenza 5.5 GHz i contorni della potenza di uscita così come la locazione del coefficiente di riflessione carico in corrispondenza del quale si osserva il massimo della potenza di uscita coincidono. La medesima cosa si osserva analizzando i contorni relativi la misura della PAE che si riportano di seguito.

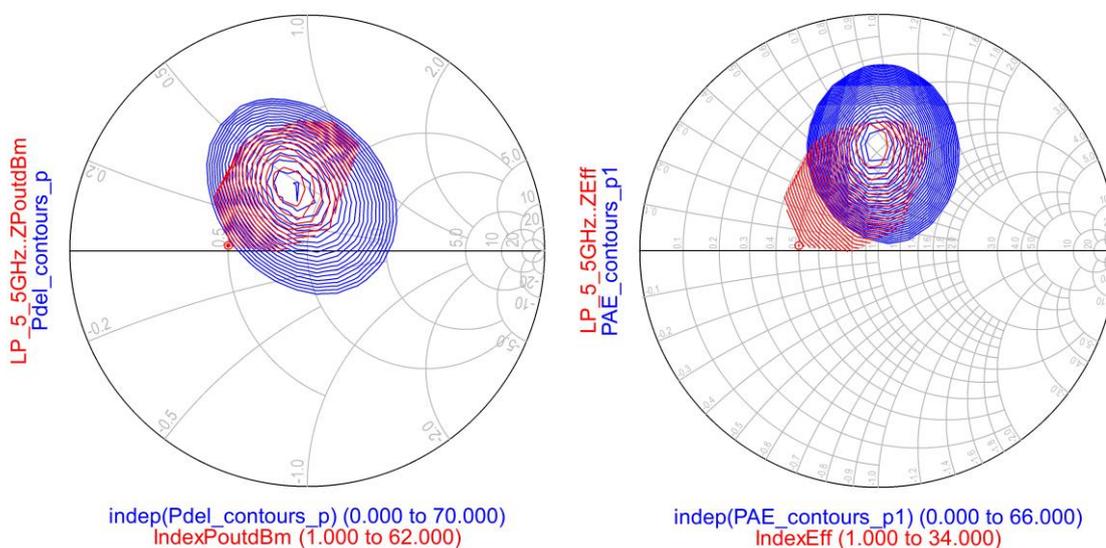


Figura 6-46: Confronto tra i contorni Load-Pull misurati (rosso) e simulati (blu) della potenza di uscita (a sinistra) e della PAE (a destra) a 5.5 GHz con $P_{in}=30.2$ dBm con $V_{GS}=-1.4$ V e $V_{DS}=25$ V.

In seguito, il modello è stato validato confrontando i contorni Load-Pull relativamente alle misure di potenza di uscita ed efficienza nel caso di segnale di test a 10 GHz di potenza in ingresso corrispondente alla saturazione del guadagno del dispositivo di 3 dB.

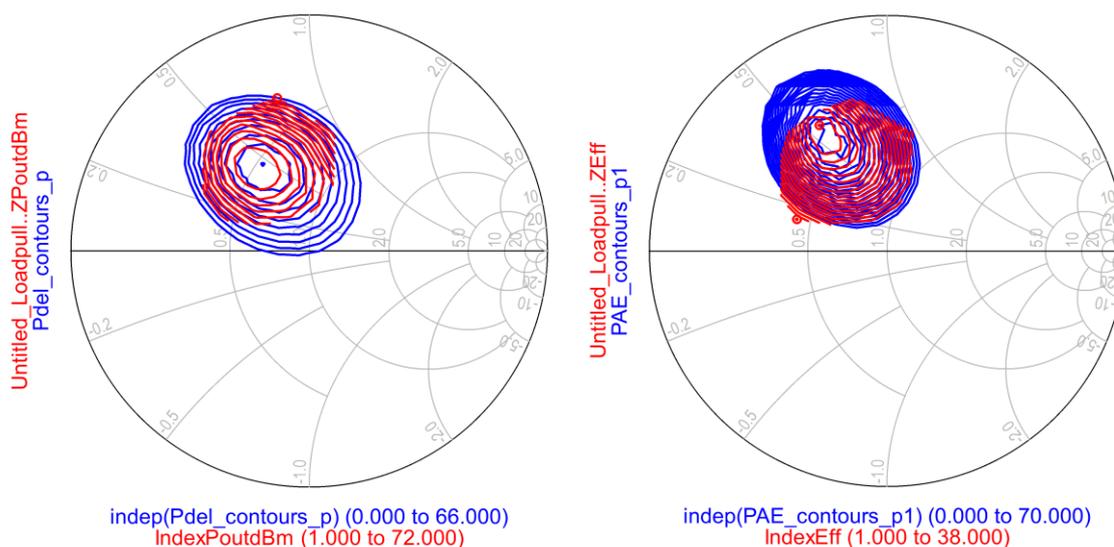


Figura 6-47: Confronto tra i contorni Load-Pull misurati (rosso) e simulati (blu) della potenza di uscita (a sinistra) e della PAE (a destra) a 10 GHz con $P_{in}=36$ dBm con $V_{GS}=-1.4$ V e $V_{DS}=25$ V.

Anche in questo caso il modello manifesta una buona fedeltà nella descrizione del comportamento del dispositivo in condizioni di esercizio non-lineari e in alta frequenza. È utile osservare che al variare della frequenza l'accuratezza del modello non sembra essere alterata mostrando quindi una solida validità della rappresentazione delle non-linearità reattive introdotte nel modello sotto forma del modello analitico della carica di Gate.

Con queste ultime valutazioni si è validata sia l'implementazione sia il modello del dispositivo in quanto è sufficientemente evidente la capacità del modello stesso nel far prevedere le caratteristiche del dispositivo quando questo operi in condizioni fortemente non-lineari.

6.6 IMPLEMENTAZIONE DEL MODELLO BASATA SUL VERILOG-A

Una soluzione alternativa e più generale all'implementazione basata sul circuito equivalente è quella che utilizza un linguaggio di programmazione standard o specifico per la definizione di modelli elettrici. Nei CAD è possibile implementare modelli usando un linguaggio di programmazione ad alto livello conosciuto come ANSI-C, o più comunemente C. Questo tipo di linguaggio consente di implementare modelli in modo più flessibile rispetto all'implementazione basata su circuito equivalente sebbene introduca delle maggiori complicazioni derivanti dal formalismo e dall'utilizzo di specifici strumenti necessari alla compilazione del modello stesso. La potenza di questa forma di implementazione deriva principalmente dalla possibilità di definire la risposta del modello in funzione dei segnali di stimolo a cui è sottoposto il modello controllando ad esempio il calcolo funzionale e quindi le relative derivate delle funzioni non-lineari introdotte nel modello con minore approssimazione a vantaggio della robustezza del modello in termini di convergenza e efficienza. Inoltre, grazie ad una più trasparente definizione e accessibilità delle variabili di stato del modello rispetto agli altri metodi di implementazione, è possibile gestire con maggiore confidenza il modello della carica ai terminali del dispositivo di quanto non sia possibile con il SDD.

I dettagli della definizione e della compilazione del codice C differiscono tra i diversi CAD e nel rispettivo manuale di ciascuno di essi è possibile trovare la descrizione della procedura e del formalismo con cui svolgere la definizione delle variabili, delle interfacce e in genere tutto quello che occorre alla scrittura di un modello includendo le operazioni matematiche complesse come sono ad esempio la derivazione e l'integrazione. In alternativa, per implementare un modello in una forma indipendente dal particolare CAD di interesse è possibile sfruttare un altro tipo di linguaggio di programmazione chiamato Verilog-A. Questo linguaggio si pone ad un più alto livello di astrazione del linguaggio C ed appartiene alla famiglia dei linguaggi di descrizione hardware analogico (analogue hardware description language - AHDL). Originariamente, il Verilog-A fu sviluppato per l'implementazione di modelli comportamentali di sistemi complessi analogici e digitali che non garantivano la necessaria flessibilità ed efficienza per la descrizione di modelli compatti di transistori. Solo successivamente sono state introdotte le attuali modifiche che hanno consentito l'affermazione di questo linguaggio come standard per la definizione di modelli nei CAD [6.12]. Sfruttando questo linguaggio è possibile sviluppare modelli portabili in diversi simulatori conservando le qualità dei modelli sviluppati in linguaggio C. Inoltre, nel Verilog-A sono definite delle primitive che permettono di semplificare la scrittura del codice conservando la medesima efficienza e accuratezza [6.13-6.18]. Tra queste figura l'operazione matematica di derivazione di funzioni analitiche che, come detto in precedenza è utilizzata nel calcolo della corrente reattiva di Gate a partire dal modello analitico della carica di Gate. Questo in sintesi permette di focalizzare lo sforzo nelle attività di formulazione ed estrazione del modello piuttosto che nella scrittura di codice specifico per il particolare CAD. Grazie a queste peculiarità, il Verilog-A sta diventando lo standard per l'implementazione di modelli compatti e il suo sviluppo è costantemente seguito da un gruppo di ricercatori internazionali che prende il nome di Verilog-AMS Working Group a cui si devono costanti aggiornamenti e migliorie [6.19].

L'utilizzo nei CAD di modelli implementati sulla base del linguaggio Verilog-A può essere gestito in due diverse modalità. Una di queste è simile a quello dei modelli definiti sulla base del linguaggio C in quanto sono disponibili degli strumenti specifici per la lettura di modelli Verilog-A consentendo di utilizzare direttamente il file di testo del modello. Un esempio di questo strumento è disponibile anche nel CAD di simulazione Agilent ADS. Questo approccio introduce necessariamente delle penalità in termini di tempo di esecuzione che comunque sono al più paragonabili a quelli di un modello equivalente implementato usando SDD. L'altra prevede la compilazione del modello Verilog-A che conduce alla equivalente rappresentazione in C mediante strumenti che ne automatizzano la procedura di cui un esempio è rappresentato dal Model Wizard presente in AWR Microwave Office (MWO) [6.20, 6.21].

Con il duplice scopo di implementare il modello sfruttando Verilog-A e contestualmente verificare e validare il modello stesso in un diverso ambiente di simulazione, è stato sfruttato il Model Wizard di AWR MWO. Grazie al Model Wizard è possibile tradurre il modello nella forma di modello equivalente implementato sulla base del linguaggio C ottenendo in ultima istanza una libreria dinamica compilata ad opera di un generico ambiente di sviluppo (Microsoft Visual Studio). L'implementazione del modello è stata effettuata separando i contributi non-lineari nel modello definendo 3 distinte entità con cui la carica di Gate, il generatore di corrente di Drain e le correnti nella giunzione Schottky sono implementati in modo separato in un modo abbastanza simile a quanto fatto nel caso di implementazione basata su SDD. Questa scelta è giustificata dalla possibilità di avere a disposizione al termine dell'implementazione un modello che rende disponibile punti di accesso relativi la parte intrinseca del circuito equivalente che nel caso di un modello unico non sarebbero altrimenti possibili. Il modello risultante si presenta come si seguito in cui sono facilmente distinguibili la parte di modello estrinseco dagli elementi intrinseci non-lineari e lineari.

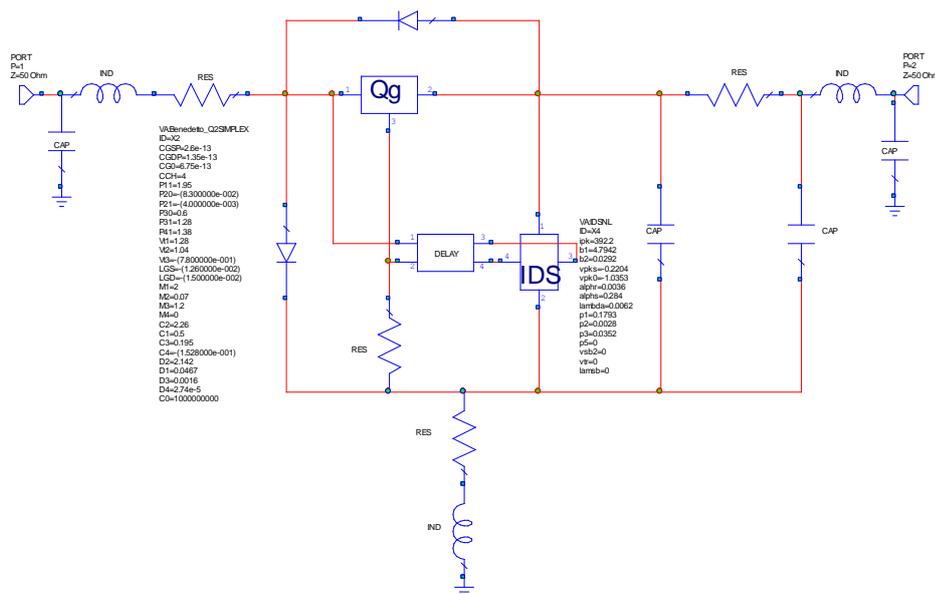


Figura 6-48: Modello non-lineare implementato sulla base del Verilog-A in AWR MWO.

6.6.1 VERIFICA DEL MODELLO IMPLEMENTATO SULLA BASE DEL VERILOG-A

La verifica del modello è stata condotta con le medesime modalità con cui è stata fatta quella del modello implementato con SDD. La verifica dell'implementazione riguarderà come prima, le tre non-linearità principali modellizzate. Nel caso della prima non-linearità, il generatore di corrente di Drain, come è possibile osservare in Figura 6-49 ripropone la medesima situazione incontrata nel precedente caso ribadendo la correttezza del modelli I-V formulato e implementato.

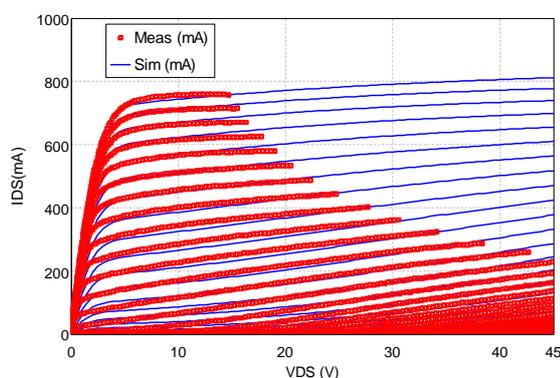


Figura 6-49: Confronto tra le curve I-V impulsive (QP: $V_{GS}=-1.4$ V, $V_{DS}=25$ V), misurate (rosso) e simulate.

Successivamente, il diodo Schottky del ramo Gate-Source è stato verificato osservando la correttezza della relativa implementazione.

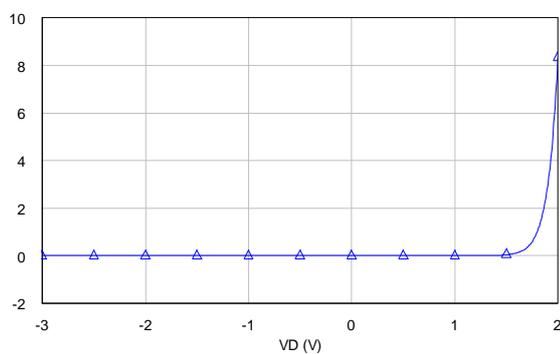
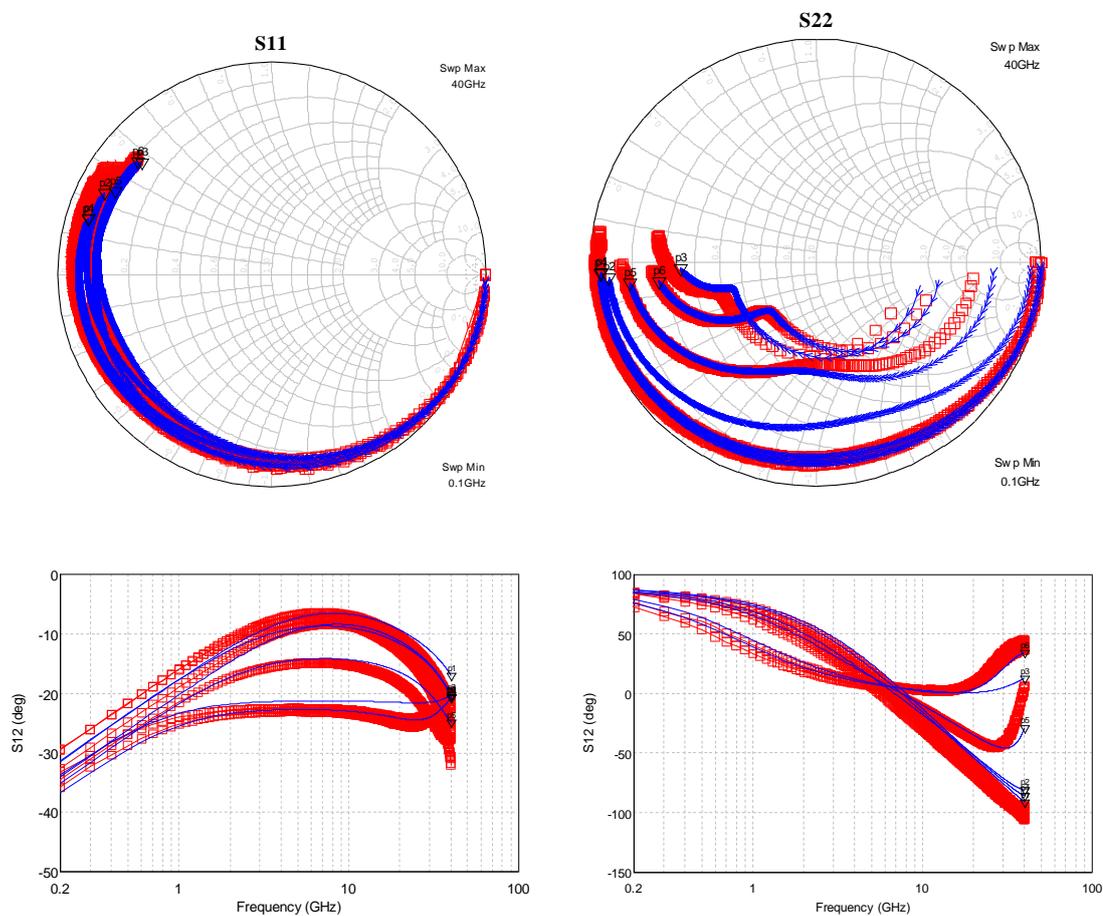


Figura 6-50: Simulazione della corrente del diodo Schottky Gate-Source al di fuori dell'intervallo di misura.

La consistenza del modello e quindi la verifica dell'implementazione del modello della carica di Gate è stata effettuata confrontando i parametri S misurati e simulati variando la tensione di polarizzazione ($V_{DS}=[0, 10, 20]$ V, $V_{GS} = [-3,-2,-1]$ V).



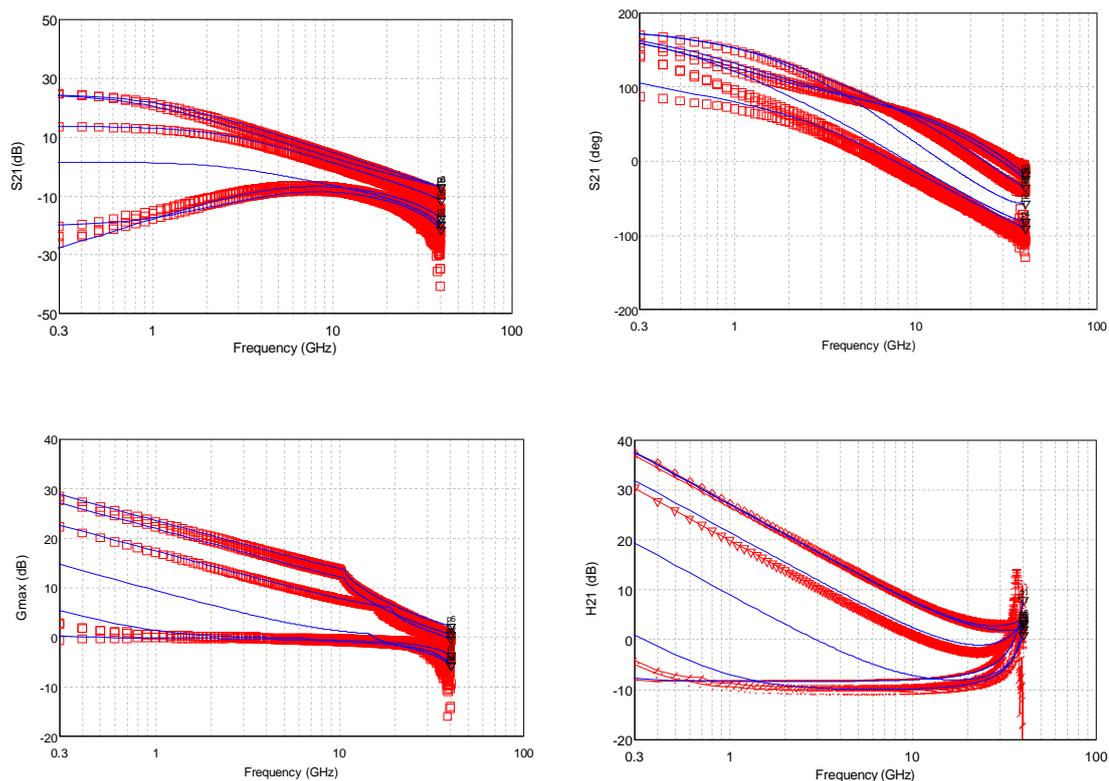
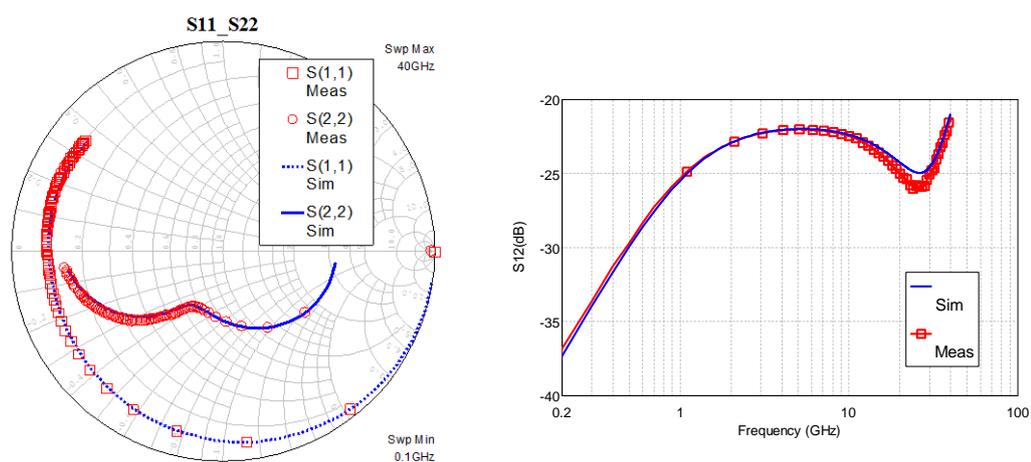


Figura 6-51: Confronto tra i parametri S misurati (rosso) e simulati (blu) con V_{GS} e V_{DS} variabili.

Nel dettaglio la consistenza del modello è stata analizzata anche rispetto la tensione nominale di funzionamento. Anche il confronto riportato in Figura 6-52 verifica la correttezza del modello e la relativa consistenza dello stesso.



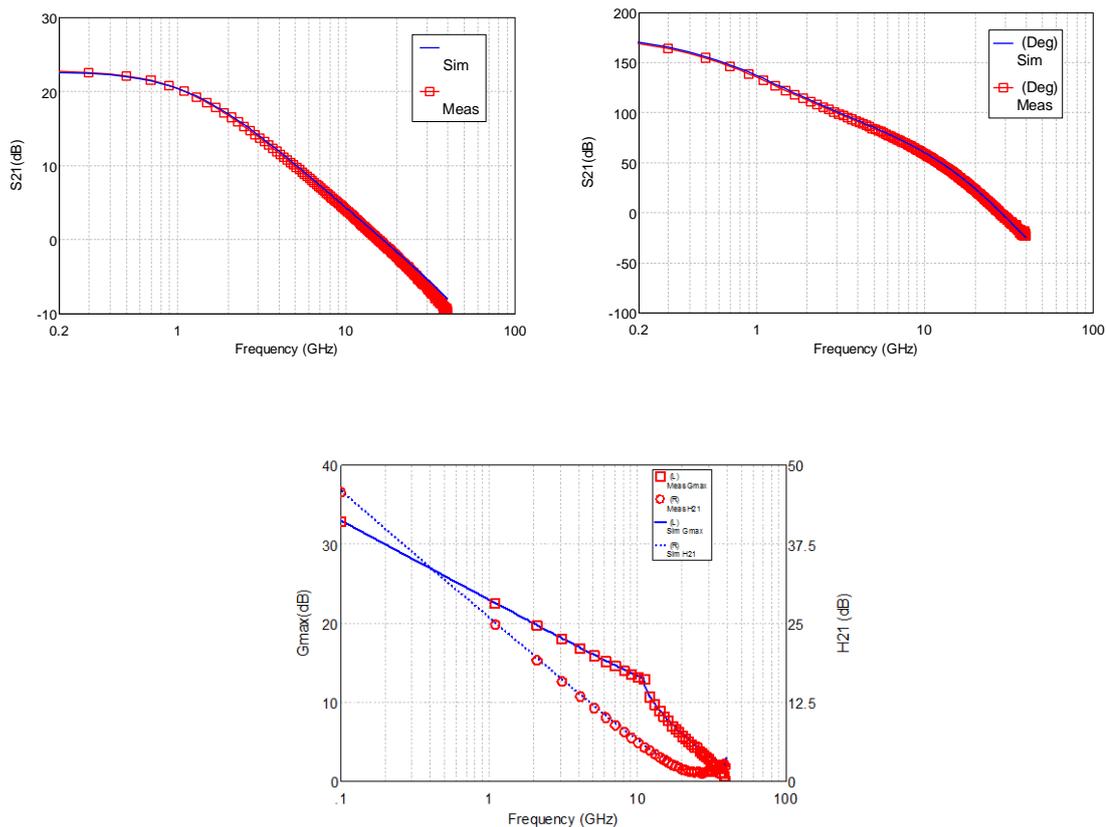
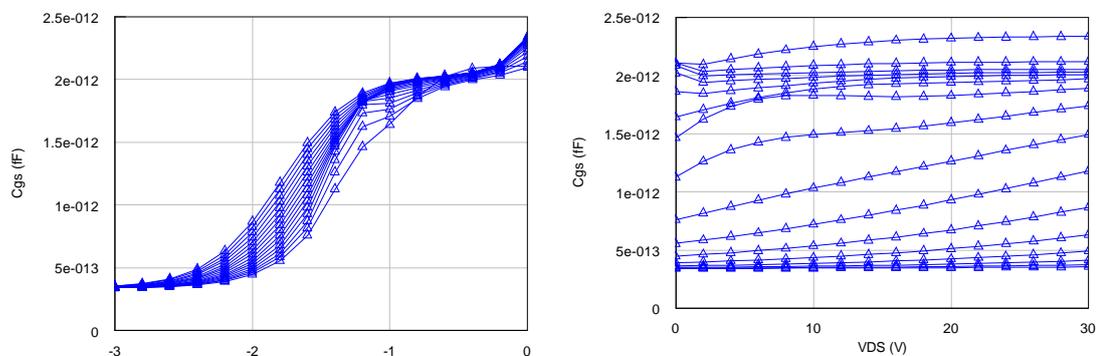


Figura 6-52: Confronto tra i parametri S_{11} e S_{22} misurati (rosso) e simulati (blu), confronto tra modulo del parametro S_{12} , confronto tra modulo e fase del parametro S_{21} e confronto tra massimo guadagno disponibile e guadagno di corrente relativo alla polarizzazione $V_{GS}=-1.4$ V e $V_{DS}=25$ V.

Anche in questo caso è opportuno verificare la correttezza dell'implementazione del modello della carica di Gate e per fare questo è possibile analizzare gli andamenti delle derivate parziali della carica di Gate rispetto le variazioni delle tensioni di controllo. Si riportano di seguito i risultati della simulazione.



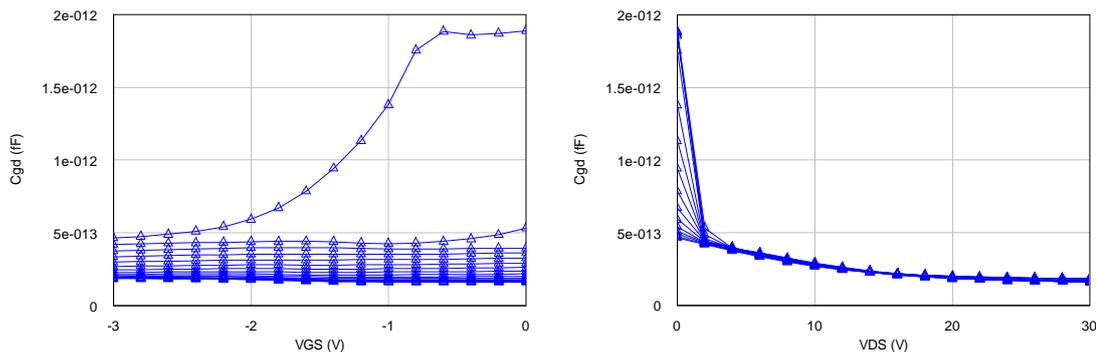


Figura 6-53: Andamento simulato delle derivate parziali del modello della carica di Gate rispetto la variazione delle tensioni di controllo.

In seguito è stata effettuata la verifica dell'assenza di contributi di corrente DC attraverso i rami Gate-Source e Gate-Drain rimuovendo il diodo di Gate al variare della frequenza durante simulazioni non-lineari. I risultati riportati in Figura 6-54 mostrano l'assenza di tali correnti.

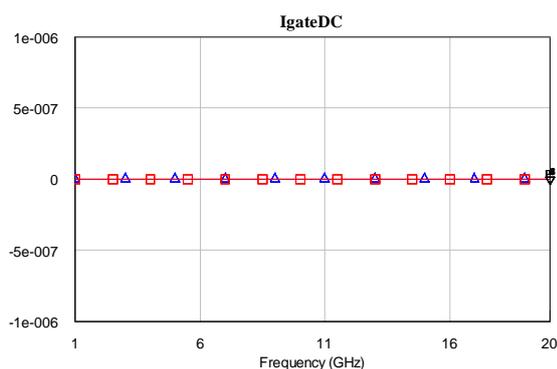


Figura 6-54: Corrente DC attraverso le non-linearità reattive al variare della frequenza e al variare della potenza.

La verifica dell'assenza di contributi in DC di corrente attraverso le componenti reattive del modello conferma la correttezza dell'implementazione assieme alla validità del modello basata sull'utilizzo di una sola sorgente di carica.

6.6.2 VALIDAZIONE DEL MODELLO IMPLEMENTATO SULLA BASE DEL VERILOG-A

La validazione del modello implementato è stata effettuata utilizzando due diversi set di dati sperimentali. Uno di questi è il test a 1 tono e rappresenta il risultato di caratterizzazioni della potenza di uscita (P_{out}) della efficienza (PAE) e della corrente di Drain (I_D) a frequenza fissa variando l'entità del segnale di test terminando il dispositivo su un'impedenza rappresentativa del carico ottimo per massimizzare la potenza di uscita. Questo test è stato

effettuato successivamente a una diversa frequenza. Nel caso in cui la frequenza del segnale di test è pari a 5.5 GHz, dal confronto tra le misure e la simulazione risulta che sia la potenza di uscita e quindi il guadagno e sia la corrente di Drain sono ben riprodotte dal modello coi come la PAE. Contestualmente è stata verificata anche la capacità del modello di predire le prestazioni al di fuori dell'intervallo di misura osservando come il modello non presenti andamenti delle quantità simulate non fisici e riesca in effetti a simulare sia la saturazione del guadagno e sia la riduzione della PAE.

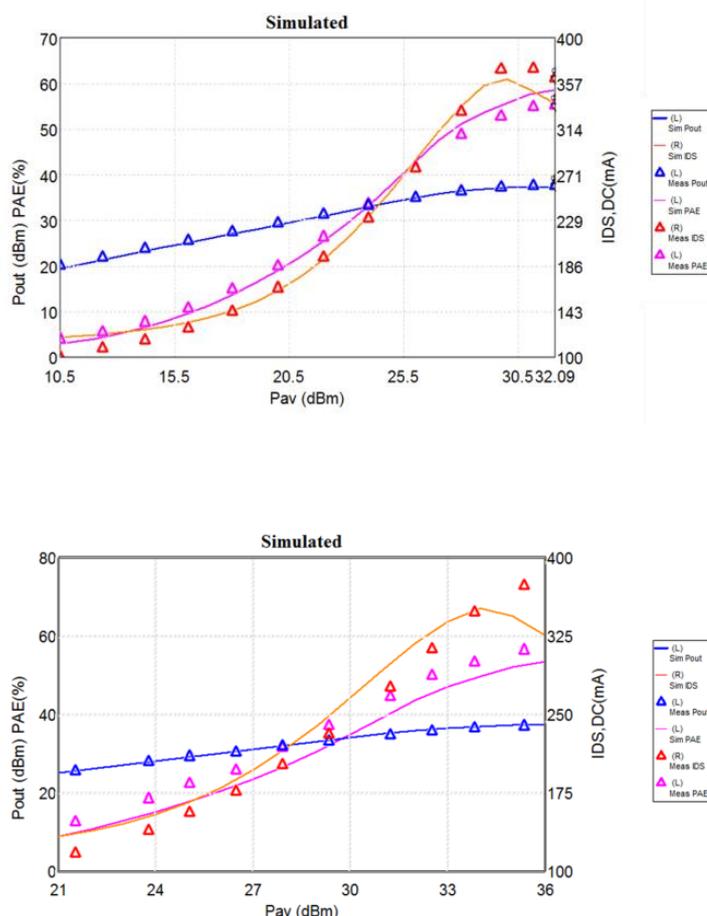


Figura 6-55: Confronto tra potenza di uscita, PAE e corrente di Drain al variare della potenza incidente alla frequenza di 5.5 GHz (in alto) e a 10 GHz (in basso)

Il secondo set di misure consiste nella misura di potenza di uscita ed efficienza variando l'impedenza di carico con cui si termina la porta di uscita del dispositivo a potenza di ingresso costante. Anche in questo caso il test è stato effettuato con una potenza di ingresso tale da determinare la compressione del guadagno di 3 dB per due frequenze diverse: 5.5 GHz e 10 GHz.

Nel caso relativo a 5.5 GHz i contorni della potenza di uscita così come la locazione del coefficiente di riflessione carico in corrispondenza del quale si osserva il massimo della potenza di uscita coincidono. La medesima cosa si osserva analizzando i contorni relativi la misura della PAE che si riportano di seguito.

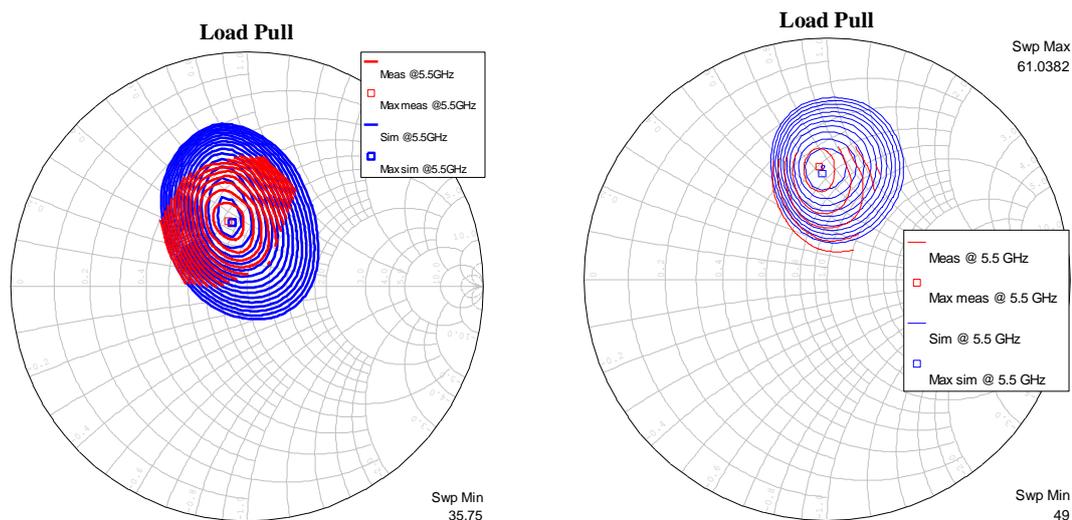


Figura 6-56: Confronto tra i contorni Load-Pull misurati (rosso) e simulati (blu) della potenza di uscita (a sinistra) e della PAE (a destra) a 5.5 GHz con $P_{in}=30.2$ dBm con $V_{GS}=-1.4$ V e $V_{DS}=25$ V.

In seguito, il modello è stato validato confrontando i contorni Load-Pull relativamente alle misure di potenza di uscita ed efficienza nel caso di segnale di test a 10 GHz di potenza in ingresso corrispondente alla saturazione del guadagno del dispositivo di 3 dB.

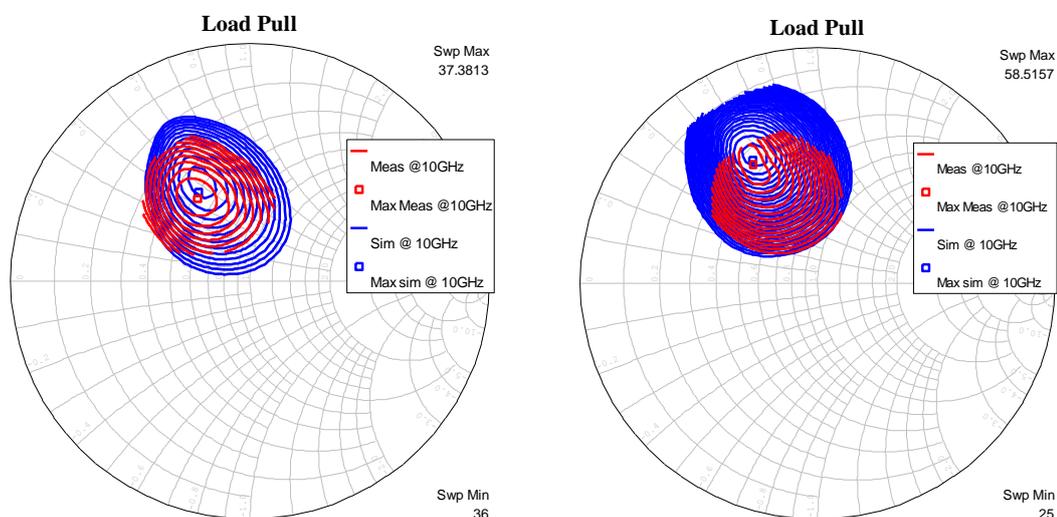


Figura 6-57: Confronto tra i contorni Load-Pull misurati (rosso) e simulati (blu) della potenza di uscita (a sinistra) e della PAE (a destra) a 10 GHz con $P_{in}=36$ dBm con $V_{GS}=-1.4$ V e $V_{DS}=25$ V.

Anche in questo caso il modello manifesta una buona fedeltà nella descrizione del comportamento del dispositivo in condizioni di esercizio non-lineari e in alta frequenza. È utile osservare che al variare della frequenza l'accuratezza del modello non sembra essere alterata mostrando quindi una solida validità della rappresentazione delle non-linearità reattive introdotte nel modello sotto forma del modello analitico della carica di Gate.

Con queste ultime valutazioni si è validata sia l'implementazione sia il modello del dispositivo in quanto risulta evidente la capacità del modello stesso implementato in due diversi ambienti di simulazione nel far prevedere le caratteristiche del dispositivo quando questo operi in condizioni fortemente non-lineari.

6.7 RIFERIMENTI BIBLIOGRAFICI

- [6.1] K. S. Kundert, *The Designer's Guide to SPICE & SPECTRE*. New York, NY Springer, 1995.
- [6.2] P. Triverio, S. Grivet-Talocia, M. S. Nakhla, F. Canavero, R. Achar, "Stability, causality, and passivity in electrical interconnect models," accettato per la pubblicazione su *IEEE Transactions on Advanced Packaging*
- [6.3] D. E. Root, "Charge modeling and conservation laws," in *Asia-Pacific Microwave Conference Workshop WS2, 'Modeling and characterization of Microwave devices and packages'*, Sydney, Australia, June 1999.
- [6.4] *ADS User Guide: User-Defined Models*, Agilent Technologies, Agilent EEsof EDA.
- [6.5] *A Wideband Multiharmonic Empirical Large-Signal Model for High-Power GaN HEMTs With Self-Heating and Charge-Trapping Effects* - Kelvin S. Yuk, Student Member, IEEE, George R. Branner, Life Member, IEEE, and David J. McQuate - *IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES*, VOL. 57, NO. 12, DECEMBER 2009
- [6.6] H. Shichman and D. A. Hodges, "Modeling and simulation of insulated-gate field-effect transistor switching circuits," *IEEE J. Solid State Circuits*, SC-3, no. 3, pp. 285–289, Sept. 1968.
- [6.7] G. P. Bava, U. Pisani and V. Pozzolo, "Active load technique for load-Pull characterization at microwave frequencies," *Electronic Letters*, vol 18, pp.178-180, Feb. 1982
- [6.8] F. Verbeyst and M. V. Bossche, "Real-time and optimal PA characterization speeds up PA design," *34th European Microwave Conference*, pp. 431-434, Amsterdam, Netherlands, 2004.
- [6.9] X. Cui, S.J. Doo, P. Roblin, G. Jessen, R. Rojas and J. Strahler, "Real-time Active Load-Pull of the 2nd and 3rd Harmonics for Interactive Design of Non-Linear Power Amplifiers", *Proc. of ARFTG 68 Conference*, Boulder Colorado 2006, pp.42-49.
- [6.10] M. Marhetti, M. J. Pelk, K. Buisman, W. C. E. Neo, M. Spirito, L. C. de Vreede, "Active Harmonic Load-Pull With Realistic Wideband Communications Signals", *IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES*, VOL. 56, NO. 12, DECEMBER 2008
- [6.11] R. Tucker and P. Bradley, "Computer-Aided Error Correction of Large-Signal Load Pull Measurements," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-32, Marzo 1984, pp. 296-300
- [6.12] L. Lemaitre, G. Coram, C. McAndrew, and K. Kundert, "Extensions to verilog-a to support compact device modeling," *Proc. 2003 IEEE International Workshop on Behavioral Modeling and Simulation (BMAS 2003)*, vol. 1, no. 1, p. 1, Wro. 2003.
- [6.13] L. Lemaitre, C. McAndrew, and S. Hamm, "Adms-automatic device model synthesizer," *Proc. IEEE CICC*, vol. 1, no. 1, pp. 27–30, May 2002.

- [6.14] K. Kundert, "Automatci model compilation - an idea whose time has come," 1, vol. 1, no. 1, p. 1, May 2002
- [6.15] M. Mierzwinski, P. O'halloran, B. Troyanovsky, and R. Dutton, "Changing the paradigm for compact model integration in circuit simulators using verilog-a," 1, vol. 1, no. 1, pp. 376–379, Feb. 2003.
- [6.16] B. Troyanovsky, P. O'halloran, and M. Mierzwinski, "Portable high - performance models using verilog-a," IEEE Conf. MTT, vol. 1, no. 1, p. 1, Jun. 2003.
- [6.17] G. J. Coram, "Hwo to (and how not to) write a compact model in verilog-a," Proc. 2004 IEEE International Behavioral Modeling and Simulation Conference, vol. 1, no. 1, p. 1, Wro. 2004.
- [6.18] G. Depeyrot, F. Poulet, and B. Dumas, "Guidelines for verilog-a compact model coding," Technical Proceedings of the 2010 NSTI Nanotechnology Conference and Expo - Nanotech, vol. 2, no. 1, pp. 821–824, 1 2010.
- [6.19] Verilog-AMS Language Reference Manual, Accellera, 2009
- [6.20] AWR Model Wizard design kit document, AWR, 2009
- [6.21] AWR Design Environment Reference Manual, AWR, 2009.

7 CONCLUSIONI E SVILUPPI FUTURI

In questo lavoro di tesi ho contribuito al raggiungimento dell'obiettivo della risoluzione delle problematiche dei modelli non-lineari di HFET, quali l'auto-consistenza, l'accuratezza e la robustezza approssiando il problema della modellizzazione delle non-linearità reattive di Gate sulla base dell'innovativo criterio della divisione di corrente.

Con il lavoro svolto ho validato l'approccio di modellizzazione basato sul criterio di divisione di corrente, che si è dimostrato rigoroso e robusto dal punto di vista teorico. Interpretando il comportamento della carica di Gate del transistor sulla base della corrente reattiva è stato possibile formulare un modello a circuito equivalente consistente. Il modello delle non-linearità reattive si basa su una sola sorgente di carica a vantaggio della coerenza del modello con i principi fisici. Applicando questo criterio i tradizionali limiti dei modelli non-lineari risultano superati.

Ho formulato un modello analitico per la carica non-lineare di Gate che ho derivato secondo un approccio empirico a partire dalla conoscenza delle sole derivate parziali. La metodologia che ho sviluppato per la soluzione del problema inverso del calcolo della espressione analitica della carica di Gate sfrutta il metodo degli integrali indefiniti. Questo risultato, oltre ad essere generale, consente di formulare la soluzione del problema in modo rigoroso eliminando le difficoltà derivanti dall'uso degli integrali curvilinei. Il risultato ottenuto implica inoltre il rispetto del principio di conservazione della carica fornendo una linea guida per definire in modo appropriato le funzioni analitiche con cui si approssima il comportamento delle derivate parziali della carica, e garantendo la proprietà di robustezza al modello in ottica implementativa.

Attraverso una corretta interpretazione del comportamento del dispositivo in termini fisici, che si è dimostrata essere fondamentale ai fini della usabilità del metodo, ho specializzato la tecnica di estrazione diretta del modello per questa nuova formulazione. Grazie ad una corretta descrizione in termini di topologia del circuito equivalente è garantita la possibilità di derivare direttamente dalle misure tutte le informazioni sui comportamenti lineari e non-lineari che si osservano nel dispositivo. Mediante questo approccio è possibile ottenere le informazioni necessarie a sviluppare modelli non-lineari. L'estrazione del modello empirico della carica di Gate grazie alla correlazione con i principi fisici che governano il funzionamento del HFET è agevole e diretta. Il modello prevede un numero contenuto di parametri di cui solo pochi sono parametri di fit mentre altri possono essere ottenuti sperimentalmente. Questo differisce sostanzialmente dai modelli proposti in letteratura, i quali prevedono un numero generalmente maggiore di parametri il cui scopo è evidentemente quello di conferire ai modelli la necessaria flessibilità e la capacità di riprodurre un comportamento fisico in termini empirici.

Il modello non-lineare della carica di Gate che ho formulato utilizza una sola funzione analitica dipendente da due grandezze che sono le tensioni tra i terminali Gate-Source e Gate-Drain del dispositivo. Questa dipendenza funzionale che ho introdotto rappresenta in modo migliore la fenomenologia che governa il comportamento del dispositivo. Questa formulazione consente una maggiore accuratezza e validità al modello sia dal un punto di vista descrittivo che implementativo. Il modello analitico così formulato risulta valido sull'intero piano I-V di funzionamento del transistor ammettendone l'uso del modello nel progetto di circuiti non-lineari assicurando la desiderata confidenza nell'accuratezza dei risultati.

Per quanto riguarda il modello non-lineare I-V, ho osservato che il modello basato sull'uso di base funzionale della Tanh rappresenta un valido strumento per la rappresentazione del comportamento del dispositivo. Attraverso una composizione modulare del modello analitico I-V è consentito includere nel modello diversi fenomeni tra cui quelli ascrivibili a fenomeni fisici del secondo ordine la cui rilevanza nelle applicazioni moderne è sempre più importante.

Ho implementato il modello in due diversi CAD commerciali per simulazione di circuiti in alta frequenza usando una sola sorgente di carica. Questo ha evidenziato oltre alla robustezza del modello grazie al rispetto del principio di conservazione della carica, l'incremento delle capacità di convergenza ed efficienza durante le simulazioni. Il modello è stato implementato seguendo due diversi approcci e in due diversi ambienti di simulazione circuitale manifestando in entrambi i casi validità, riproducendo il comportamento del dispositivo in modo accurato. Il confronto tra risultati di simulazioni e misure non-lineari ha dato in entrambi i casi esito positivo.

Con questi risultati, ribadisco che l'approccio empirico è adeguato a sviluppare modelli di dispositivi innovativi purché la conseguente formulazione del modello sia basata sull'interpretazione del comportamento in termini di principi fisici. L'approccio empirico implica inoltre di riservare la necessaria attenzione all'accuratezza di misura ponendo in risalto la necessità di adottare tutte le accortezze alle tecniche di misura e delle relative metodologie di riduzione degli errori sistematici che occorrono nelle diverse caratterizzazioni usate durante la fase di estrazione e validazione del modello.

Gli sviluppi futuri che propongo riguardano:

Ulteriori validazioni del modello in particolare nei riguardi delle distorsioni in alta frequenza e pertanto indagini più dettagliate rispetto l'intermodulazione del terzo ordine per confermare le caratteristiche predittive del modello formulato con lo scopo di individuare eventuali azioni volte a raffinare il modello non-lineare che comunque si presenta in una forma iniziale. Onestamente riconosco che lo sviluppo di un modello del genere richiede un grande sforzo ma soprattutto grande cautela per cui umilmente ritengo che comunque possa essere ulteriormente migliorato e arricchito.

Ulteriori speculazioni sulla funzione di divisione della corrente sono obbligatorie poiché si tratta di un elemento del modello di elevata criticità. Bisogna approfondire lo studio di questo aspetto mediante l'applicazione della tecnica di modellizzazione su altri dispositivi per confermare che quella proposta sia la migliore formulazione analitica possibile. Inoltre la possibilità di individuare dei supporti alla procedura di estrazione dei parametri di questo modello analitico sarebbero utili.

Dal momento che la formulazione analitica del modello empirico è molto aderente ai principi fisici, si potrebbe tentare di ricondurre la forma del contributo di carica associata al canale dell'espressione del modello non-lineare della carica di Gate della legge di controllo di carica di eterogiunzioni così da enfatizzare ancora più il carattere semi-fisico del modello.

L'estensione del modello al caso non-quasi-statico deve essere affrontato sviluppando l'analisi della parte intrinseca del circuito equivalente a piccolo segnale includendo questa tipologia di comportamento nell'ottica di applicare il modello a frequenze sempre più alte.

Un'importante caratteristica dei modelli empirici a circuito equivalente in ottica industriale è la scalabilità dei parametri in funzione del numero di finger e della larghezza del canale. La verifica delle regole di scalatura e l'identificazione degli intervalli entro cui queste sono valide è un altro importante aspetto che bisognerebbe indagare.

