

Indice

Introduzione	I
1 Applicazioni dei TFT e tecniche di ricristallizzazione	1
1.1 Applicazioni dei TFT nelle AMLCD	3
1.2 Applicazioni dei TFT nelle AMOLED.....	6
1.3 Tecniche di realizzazione del silicio policristallino.....	9
1.3.1 Crescita del silicio policristallino tramite LPCVD.....	9
1.3.2 SPC del silicio amorfo.....	11
1.3.3 ELC Excimer Laser Crystallization.....	13
1.4 Tecniche di omogeneizzazione dei grani.....	19
1.4.1 Irraggiamento a molti colpi	20
1.4.2 Profilatura del fascio.....	21
1.4.3 Two step annealing.....	23
1.4.4 Controllo della crescita laterale	24
Bibliografia	26
2 Caratteristiche elettriche dei TFT a silicio policristallino	27
2.1 Diodo MOS ideale	28
2.2 Caratteristica C-V di un MOS ideale.....	34
2.3 Diodo MOS reale.....	39
2.3.1 Differenza tra le funzioni di lavoro del metallo e del semiconduttore	39
2.3.2 Carica fissa e mobile nell'ossido.....	40
2.3.3 Stati di trappola nel semiconduttore e all'interfaccia ossido-semiconduttore.....	42
2.4 Funzionamento del TFT a silicio policristallino.....	45
2.5 Effetti degli alti campi elettrici sulle caratteristiche di uscita e trasferimento.....	52
2.5.1 Effetto "kink"	53
2.5.2 Effetto dei portatori caldi.....	57
2.5.3 Corrente di perdita nella regione di spegnimento (off) del transistor.....	65
Bibliografia	70

3	Realizzazione e caratterizzazione di TFT a canale n con architettura convenzionale	71
3.1	Processo di fabbricazione dei TFT con contatti di source e drain definiti mediante rimozione selettiva dello strato drogato	71
3.1.1	Deposizione di silicio amorfo intrinseco e drogato	74
3.1.2	Definizione dei contatti source e drain	78
3.1.3	Deidrogenazione e irraggiamento del silicio amorfo	83
3.1.4	Definizione delle isole e attacco del silicio policristallino	85
3.1.5	Deposizione dell'ossido di gate e definizione delle via-hole	86
3.1.6	Deposizione di alluminio e definizione dei contatti metallici	92
3.2	Analisi del processo di annealing termico mediante caratterizzazione elettrica dei dispositivi	93
3.3	Analisi della stabilità dei dispositivi	98
	Bibliografia	103
4	Realizzazione e caratterizzazione di TFT a canale n con architettura asymmetric fingered	104
4.1	Processo di fabbricazione	105
4.2	Caratteristiche elettriche sperimentali dei dispositivi con architettura convenzionale ed AFTFT	105
4.3	Caratteristiche elettriche simulate dei dispositivi con architettura convenzionale ed AFTFT	109
4.3.1	Simulazione 2-D dei dispositivi convenzionali nella regione di accensione (on) del transistor	110
4.3.2	Simulazione 2-D dei dispositivi AFTFT nella regione di accensione (on) del transistor	115
4.3.3	Simulazione 2-D dei dispositivi convenzionali nella regione di spegnimento (off) del transistor	126
4.3.4	Simulazione 2-D dei dispositivi AFTFT nella regione di spegnimento (off) del transistor	129
4.4	Stabilità elettrica dei dispositivi con architettura convenzionale ed AFTFT	140
	Bibliografia	148
5	Realizzazione e caratterizzazione di TFT a canale p con architettura convenzionale	149
5.1	Processo di fabbricazione	149
5.2	Ottimizzazione dei parametri di annealing	154
5.3	Caratteristiche di uscita dei dispositivi con architettura convenzionale	157
5.4	Analisi della stabilità dei dispositivi	161
	Bibliografia	169
	Conclusioni	IV