

CAPITOLO 5

Realizzazione e caratterizzazione di TFT a canale p con architettura convenzionale

In questo capitolo sarà descritto, in modo dettagliato, il processo di fabbricazione di TFT a silicio policristallino con architettura convenzionale a canale p. Tali dispositivi vengono utilizzati nelle AMOLED perché risultano essere più stabili dei transistor a canale n. In questo capitolo verrà prima riportato il processo di fabbricazione dei dispositivi e successivamente una dettagliata caratterizzazione elettrica.

5.1 Processo di fabbricazione

Il processo di realizzazione dei TFT a canale p è molto simile a quello discusso nel capitolo 3 per i transistor a canale n; la differenza sostanziale è nella realizzazione dei contatti source e drain.

Nello schema seguente vengono riassunte le fasi del processo:

1. Deposizione di uno strato di silicio amorfo
2. Deidrogenazione
3. Cristallizzazione laser
4. Deposizione ossido di ricoprimento
5. Definizione dei contatti source e drain ed etching dell'ossido di ricoprimento
6. Deposizione del drogante di tipo "p"
7. Rimozione del photoresist e laser Annealing
8. Rimozione dell'ossido di ricoprimento
9. Definizione delle isole e attacco del silicio, deposizione dell'ossido di gate e definizione delle via-holes
10. Evaporazione dell'alluminio e definizione dei contatti metallici
11. Trattamento termico in N₂

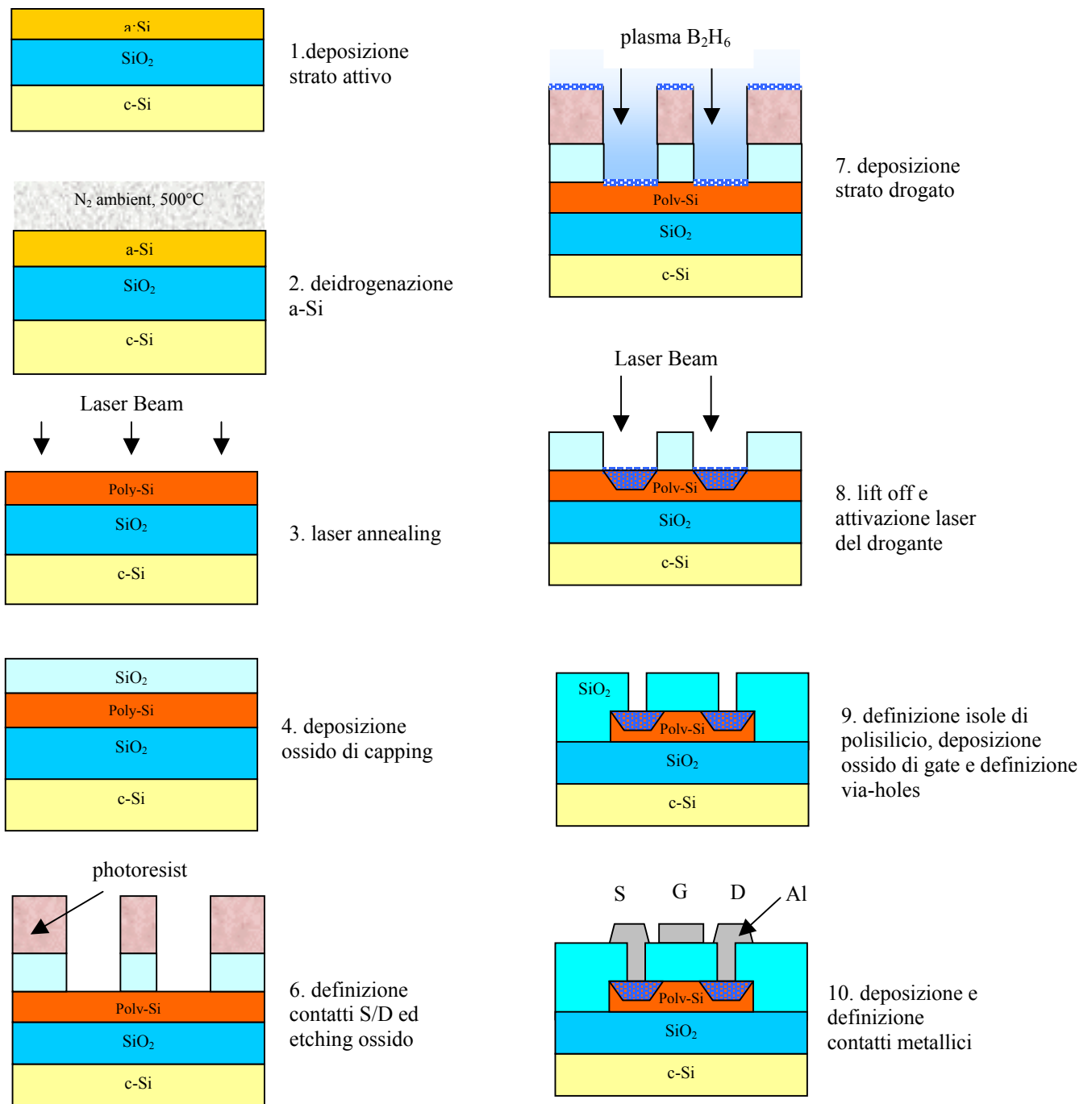


Figura 5.1 Schematizzazione del processo di fabbricazione di TFT a polisilicio con architettura convenzionale a canale p.

Dopo aver depositato lo strato di silicio amorfo si procede con la successiva ricristallizzazione del silicio amorfo. L'energia d'irraggiamento utilizzata è compresa tra i $410-460 \text{ mJ/cm}^2$ ed il numero di colpi è pari 30 colpi/punto . Viene poi depositato uno strato di 100 nm di ossido di silicio di ricoprimento che servirà, nella fase di attivazione laser del drogante (laser doping), a preservare il canale del transistor da eventuali contaminazioni di Boro. Tale spessore è stato scelto per evitare fenomeni di interferenza costruttiva sulla superficie del canale. Infatti, se lo

spessore è tale da causare interferenza costruttiva, si ha *antiriflessione*, ovvero il silicio riceve una quantità di energia che potrebbe causare una fusione totale e la perdita della struttura policristallina precedentemente realizzata. In generale, la riflettività della superficie del film ha un andamento periodico in funzione dello spessore (vedi fig. 5.2). La figura mostra, che un doppio strato di ossido su silicio è antiriflettente per valori di ossido multiplo di 50nm (R=34%) ed ha la stessa riflettività del silicio (R=64%) per multipli di 100nm. E' quindi essenziale che lo spessore dell'ossido di ricoprimento sia estremamente uniforme sul tutto il campione per evitare cambi di riflettività.

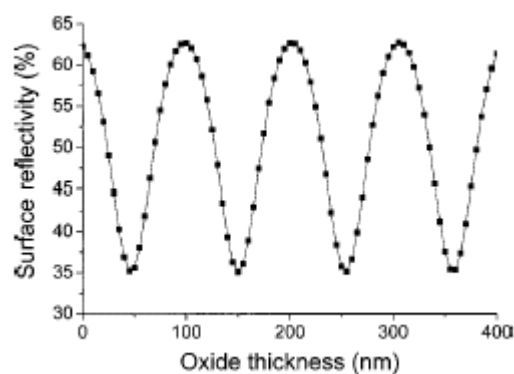


Figura 5.2 Relazione tra la riflettività della superficie del bilayer ossido su silicio e lo spessore dell'ossido di silicio; la riflettività per multipli di 100nm coincide con la riflettività del silicio mentre per multipli di 50nm la struttura è antiriflettente.

Mediante litografia e successivo attacco dell'ossido vengono quindi definiti le zone di source e drain. In questa fase l'attacco dell'ossido è stato prolungato in modo da creare un sottoattacco dell'ossido (vedi fig. 5.3) che permette al boro, durante la deposizione, di incunarsi sotto il fotoresist nella zona del gate e dar luogo ad un profilo di spessore graduale [1]; tale profilo risulta fondamentale per la riduzione del campo elettrico alla giunzione di drain.

La deposizione del drogante viene effettuata mediante PECVD utilizzando una miscela di diborano B₂H₆ al 5% in He, gas necessario per dare stabilità al plasma. La deposizione avviene a temperatura ambiente, per non danneggiare il pattern di fotoresist. I parametri della deposizione sono stati scelti in base a studi preliminari di "sheet resistance", R_s :

$$R_s = R \frac{W}{L} \tag{5.1}$$

dove

R : resistenza sperimentale, ricavata dal rapporto tra tensione e corrente,

W, L : rispettivamente larghezza e lunghezza del canale.

Tali studi hanno mostrato una diminuzione della resistenza dello strato drogato all'aumentare del tempo di deposizione e all'aumentare della densità di energia di irraggiamento.

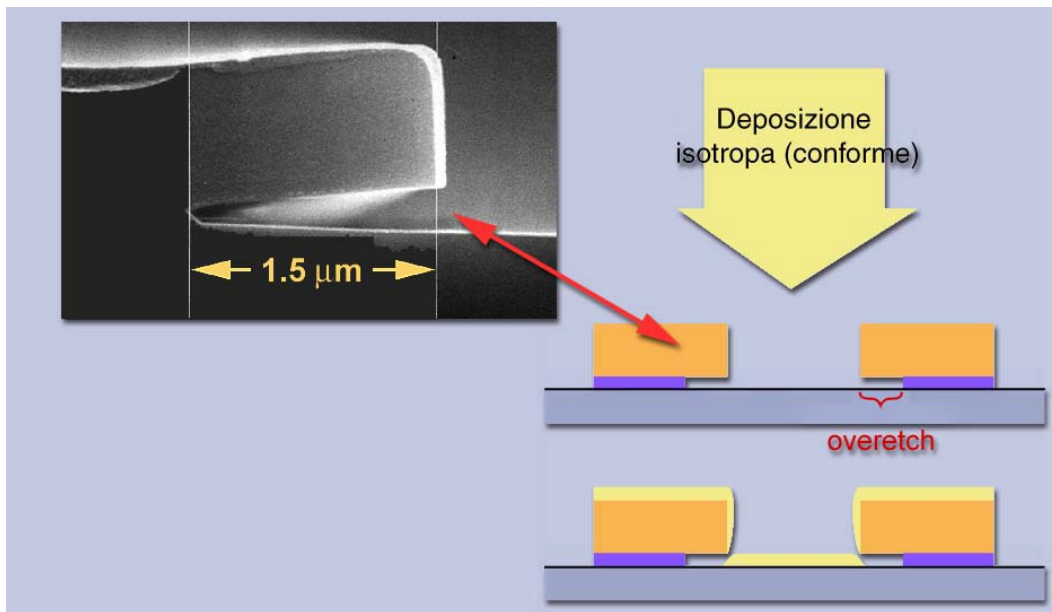


Figura 5.3 Effetto del sottoattacco dell'ossido sulla definizione delle zone drogate.

La diminuzione della resistenza all'aumentare del tempo di deposizione è chiaramente legata all'aumento di drogante depositato e quindi diffuso, mentre il decremento della resistenza ad elevate densità di energia è dovuto ad un aumento del tempo di fusione del film che comporta una maggiore diffusione di atomi di Boro nel polisilicio. L'andamento della resistenza superficiale in funzione della densità di energia di irraggiamento è largamente confermato in letteratura [2]-[3]. I valori utilizzati per la deposizione dello strato drogato sono riassunti nella tabella 1.

B_2H_6	T	p	Potenza	t
(sccm)	(°C)	(mbar)	(W)	(minuti)
80	RT	0.3	4	3'

Tabella 1 Parametri utilizzati nella deposizione dello strato drogato p.

Nella successiva fase di attivazione del drogante mediante laser doping, sono state scelte delle energie in modo tale da attivare il drogante nelle regioni di source e drain ma non danneggiare la struttura policristallina precedentemente prodotta. La densità di energia di attivazione del boro deve essere maggiore della soglia di fusione della superficie, che per il silicio policristallino è intorno ai $150\text{mJ}/\text{cm}^2$ [4]. Sono state quindi utilizzati dei valori compresi tra i $280\text{-}330\text{mJ}/\text{cm}^2$ ed un numero di colpi pari $20\text{colpi}/\text{punto}$. Con i parametri di deposizione ed irraggiamento sopra riportati sono stati misurati dei valori di sheet resistance intorno a $200\Omega/\square$.

Abbiamo visto in precedenza che il sottoattacco dell'ossido determina un profilo di drogaggio a spessore graduale alle giunzioni di source e drain. E' ovvio aspettarsi che tale profilo si rifletta dopo il trattamento laser, in un analogo profilo graduale delle giunzioni, ulteriormente allargato dall'effetto fusione/ricrescita indotto dal laser e valutabile nell'ordine di qualche centinaio di nm . Tale valore può essere calcolato dalla seguente relazione che mostra la lunghezza di diffusione degli atomi di boro nel silicio fuso:

$$L_{diff}^B = \sqrt{D_{Si-fuso}^B t_{fusione}} \quad (5.2)$$

dove:

$D_{Si-fuso}^B$: coefficiente di diffusione del boro nel silicio fuso, pari a $2.5 \cdot 10^{-4} \text{cm}^2/\text{s}$ [5],

$t_{fusione}$: tempo totale di fusione, pari approssimativamente al prodotto del numero di colpi di irraggiamento (20) e il tempo di fusione per ogni singolo impulso (100ns).

Questo profilo di drogaggio graduale dei contatti di source e drain riduce notevolmente i campi elettrici alle giunzioni contenendo tutti i fenomeni legati al campo ("field-enhanced"), come *l'effetto "kink"*, *l'effetto dei portatori caldi* e *la corrente di "leakage"*.

A questo punto si procede con il processo di *lift-off*, ossia la rimozione del fotoresist con sopra lo strato drogato, immergendo il campione in acetone per 5'. Infine viene rimosso l'ossido di ricoprimento mediante una soluzione di BHF. I successivi step del processo di fabbricazione, riportati nella figura 5.1, sono del tutto simili a quelli descritti precedentemente per i transistor a canale n.

5.2 Ottimizzazione dei parametri di annealing

I dispositivi realizzati vengono sottoposti ad un annealing termico per migliorare la qualità dell'ossido e per ridurre gli stati di trappola presenti all'interfaccia isolante/semiconduttore. I parametri di annealing sono stati ampiamente investigati mediante uno studio dettagliato dell'effetto della temperatura e del tempo di annealing sulle caratteristiche elettriche dei dispositivi. In particolare sono state utilizzate 4 temperature 200, 250, 350 e 450°C e due diversi tempi 30' e 3h30'. L'andamento delle caratteristiche di trasferimento (I_{ds} - V_g) in funzione della temperatura ad un tempo t costante pari a 30' è mostrato nella figura 5.4.

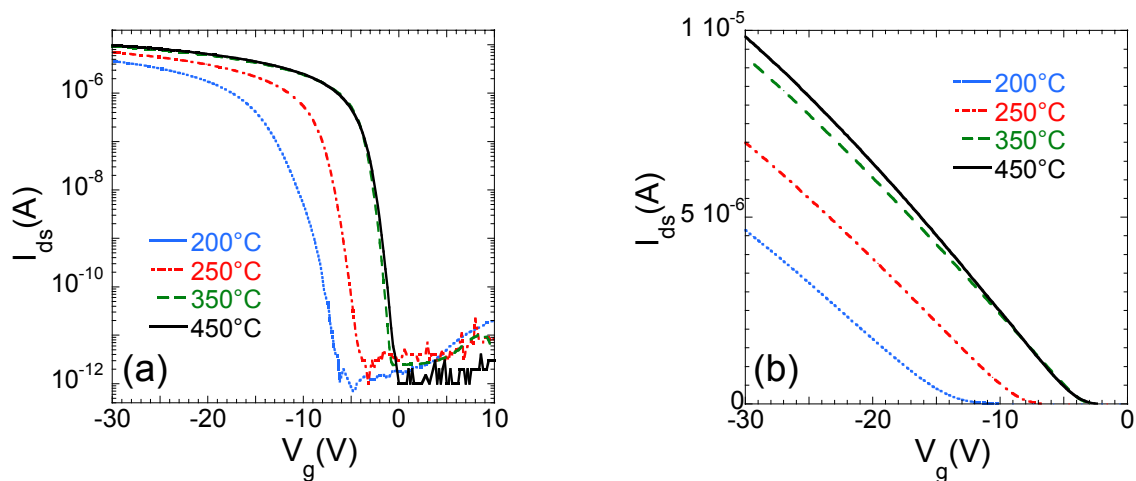


Figura 5.4 Caratteristiche di trasferimento (misurate a bassa V_{ds} , -0.1V) ottenute dopo annealing termico a differenti temperature per un tempo t pari a 30' (a) scala semilogaritmica, (b) scala lineare.

Dalla figura 5.4a è evidente che i parametri elettrici di un TFT variano enormemente tra le varie temperature. E' infatti evidente una diminuzione della tensione di soglia (V_t) in valore assoluto passando da 200 a 450°C, in particolare vi è un cambio sostanziale fino a 350°C. Anche la pendenza sottosoglia (S) si riduce in dispositivi sottoposti ad annealing a temperature più elevate, si passa infatti da 1.5V/decade a $T=200^\circ\text{C}$ a 0.5V/decade a $T=350^\circ\text{C}$. Un altro parametro fondamentale è il valore della mobilità (μ) e dalla figura 5.4b si nota un incremento della mobilità all'aumentare della temperatura. La corrente di off non mostra invece grandi differenze tra i vari dispositivi, circa $5 \cdot 10^{-12} \text{A}$. I parametri elettrici fondamentali dei dispositivi analizzati sono riassunti nella tabella 2, (la mobilità è calcolata considerando la lunghezza di canale nominale).

T (°C)	μ (cm^2/Vs)	V_T (V)	S (V/decade)
200	91	-14	1.5
250	104	-8.6	0.8
350	117	-3.7	0.5
450	123	-3.7	0.6

Tabella 2 Parametri elettrici dei dispositivi sottoposti ad annealing a diverse temperature per un tempo t pari a 30'.

Lo studio delle caratteristiche elettriche in funzione del tempo di annealing ha fornito ulteriori risultati che evidenziano come il prolungamento dell'annealing da 30' a 3h30' a T fissata comporta diversi cambiamenti nelle caratteristiche di trasferimento dei TFT a canale p. In figura 5.5 è mostrato l'andamento dei parametri caratteristici mobilità, tensione di soglia e pendenza sottosoglia. Si può notare che per basse temperature (200°C e 250°C) ed incrementando il tempo di annealing, si ottiene un generale miglioramento di tutti i parametri elettrici: mobilità, tensione di soglia e pendenza sottosoglia. L'incremento del tempo di annealing lascia i parametri elettrici pressoché invariati per $T=350^\circ C$ mentre si dimostra deleterio per la temperatura di 450°C in quanto produce un peggioramento delle caratteristiche elettriche dei dispositivi.

Effetti simili sono stati osservati nei trattamenti termici a differenti tempi e temperature di MOS che utilizzano un ossido ECR-PECVD come dielettrico [6]. Sulla base dei dati riportati in [6], si può concludere che l'idrogeno utilizzato per la passivazione dei legami all'interfaccia semiconduttore/ossido di gate proviene da alcune specie, presenti nell'ossido ECR, che rilasciano idrogeno grazie alla combinazione della temperatura e dell'azione catalizzante dell'interfaccia Al-SiO₂. In particolare, i gruppi OH e H₂O possono essere dissociati dalle proprietà catalitiche di cluster di allumina e zeolite presenti all'interfaccia Al-SiO₂ e l'idrogeno generato può diffondere e passivare i legami insaturi presenti all'interfaccia semiconduttore/isolante. E' quindi evidente che i miglioramenti, delle caratteristiche elettriche dei dispositivi analizzati, ottenuti negli annealing a bassa temperatura sono una conseguenza del rilascio e diffusione di idrogeno da parte di gruppi OH e H₂O. Comunque aumentando la temperatura di annealing alcuni legami Si-H all'interfaccia semiconduttore/ossido possono rompersi controbilanciando l'effetto di rilascio e diffusione dell'idrogeno. E' comunque sorprendente che un legame Si-H possa rompersi già a 450°C [7], comunque tale rottura può avvenire grazie alla presenza di un'alta densità di legami Si-H e/o atomi di idrogeno, come nel

caso dei nostri dispositivi, che danno luogo a reazioni del tipo $\text{Si-H} + \text{H} \rightarrow \text{D} + \text{H}_2$ dove D sta per legame insaturo. Il guadagno energetico ottenuto nel formare molecole di H_2 , abbassa notevolmente l'energia richiesta per la rottura di legami Si-H, che può quindi avvenire anche a 450°C .

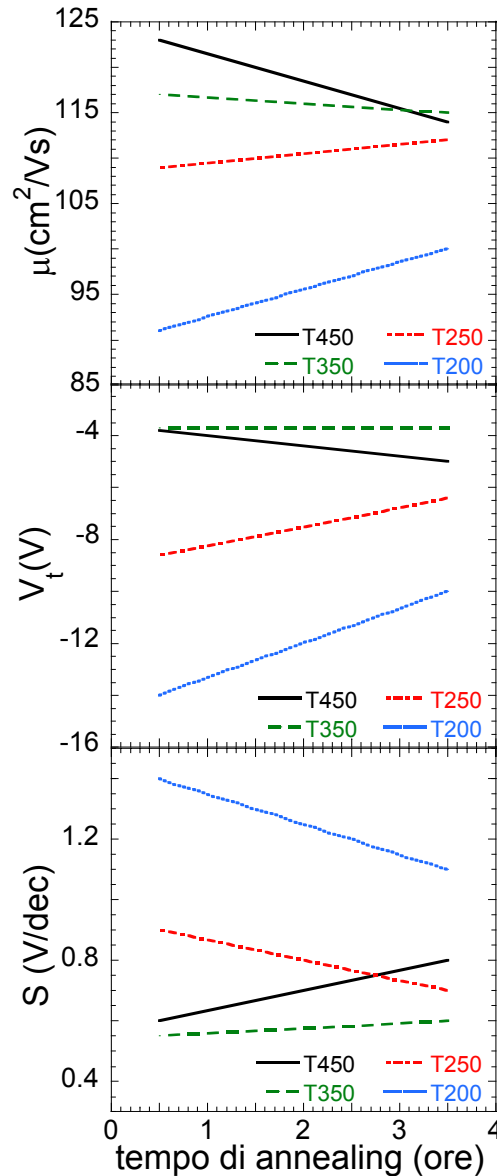


Figura 5.5 (a) mobilità ad affetto di campo μ , (b) tensione di soglia V_t , (c) pendenza sottosoglia S vs tempo di annealing a differenti temperature.

La temperatura ed il tempo di annealing ottimale risulta essere rispettivamente $T=350^\circ\text{C}$ e $t=30'$, ma dispositivi di discreta qualità possono essere anche realizzati mediante annealing a bassa temperatura, $T=200^\circ\text{C}$, aumentando il tempo di annealing (3h30') (vedi fig 5.6). Questo risultato è di enorme rilevanza nell'ambito della realizzazione di dispositivi su substrati plastici, che non possono essere trattati ad elevate temperature.

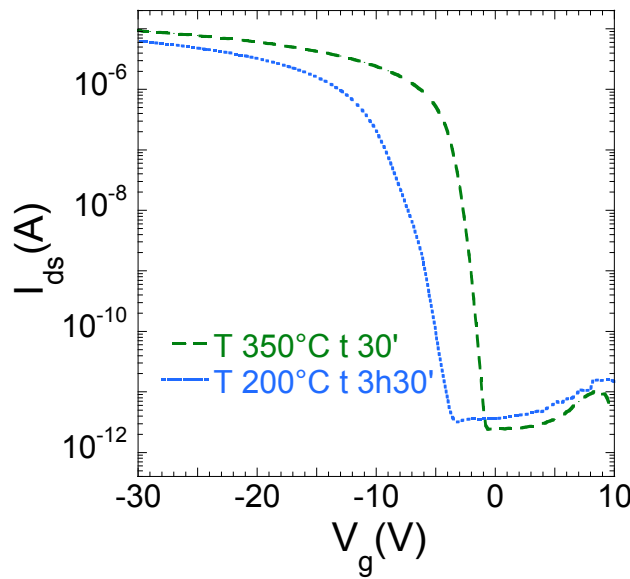


Figura 5.6 Confronto tra le caratteristiche di trasferimento (misurate a bassa V_{ds} -0.1V) di un dispositivo sottoposto ad annealing a bassa temperatura (200°C) ed un dispositivo sottoposto ad annealing ottimizzato.

5.3 Caratteristiche di uscita dei dispositivi con architettura convenzionale

Il comportamento dei dispositivi realizzati è stato ulteriormente analizzato mediante misure delle caratteristiche di uscita (I_{ds} - V_{ds}). In questo tipo di analisi, la tensione di gate viene variata tra il valore di soglia e valori corrispondenti alla regione di ON del dispositivo.

Sono stati utilizzati TFT sottoposti ad annealing per $t=30'$ ad una temperatura T pari a 350°C. In figura 5.7a vengono mostrate delle I_{ds} - V_{ds} eseguite su dispositivi con larghezza e lunghezza di canale pari a 20 μ m.

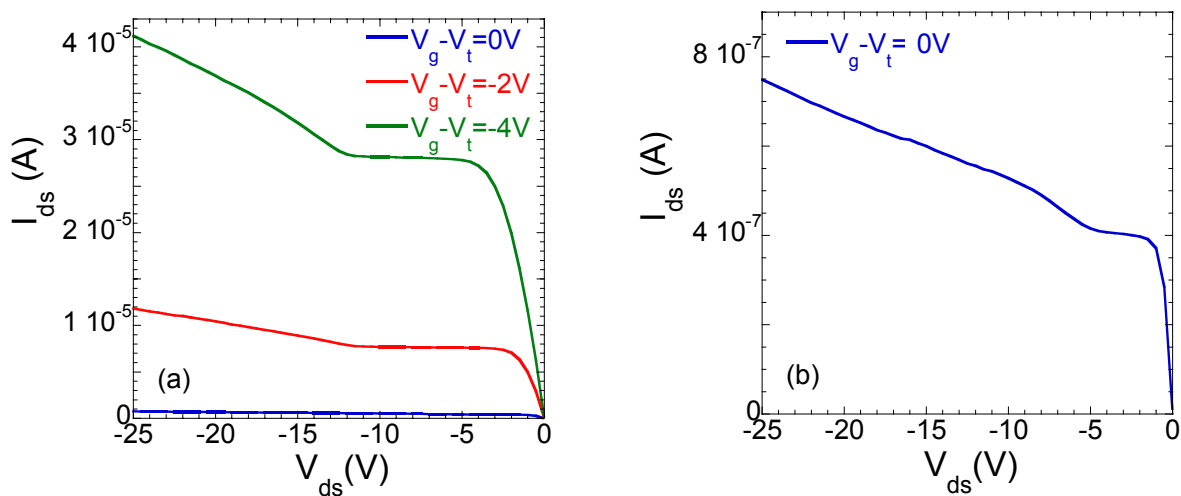


Figura 5.7 (a) Caratteristiche di uscita di TFT misurate a diversi valori di $V_g - V_t$; (b) Dettaglio della caratteristica di uscita misurata a $V_g = V_t$.

In figura 5.8 vengono inoltre riportate le caratteristiche di uscita di due dispositivi con differente lunghezza di canale, $L=10\mu m$ e $L=20\mu m$. E' evidente che l'effetto kink è molto più accentuato nel dispositivo con canale più corto a causa di un maggior contributo dell'effetto transistor bipolare parassita (PBT), discusso nel cap. 2.

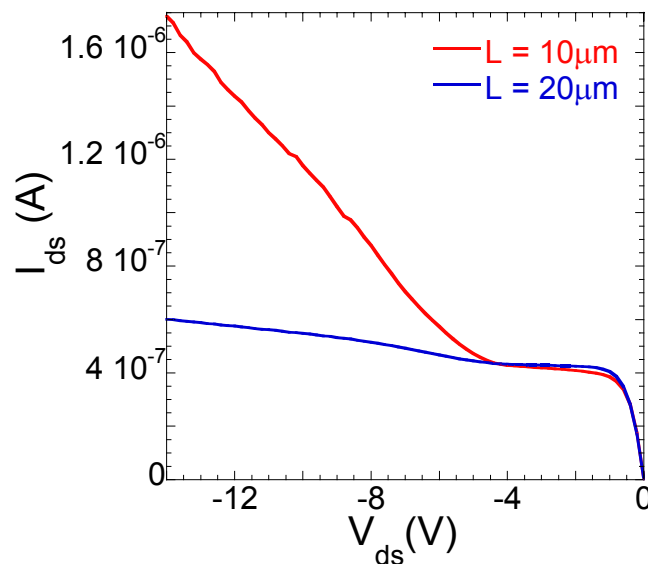


Figura 5.8 Caratteristiche di uscita di TFT con diverse lunghezze di canale.

Le caratteristiche ottenute mostrano una buona regione lineare, indicativa della qualità dei contatti di source e drain, ed hanno una buona saturazione. L'aspetto più rilevante delle caratteristiche è l'andamento del kink; infatti l'aumento anomalo di corrente del dispositivo, risulta abbastanza contenuto. Tale effetto è dovuto alla presenza di un profilo graduale alle giunzioni di source e drain, come discusso nel paragrafo 5.1, che determina una riduzione del campo elettrico. In figura 5.9 è mostrata una schematizzazione di tre diversi tipi di profilo di drogaggio: abrupt, gaussiano dovuto al solo laser doping e graduale legato all'effetto combinato della diffusione degli atomi di boro nel silicio fuso indotta dal laser doping e del profilo di spessore graduale del drogante che si ottiene nella fase di deposizione di boro.

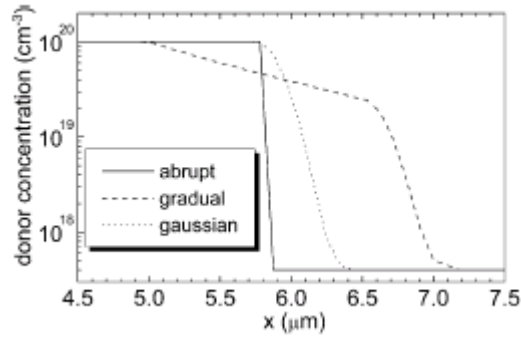


Figura 5.9 Schematizzazione di differenti profili di drogaggio alle giunzioni di source e drain.

Abbiamo visto che un profilo graduale permette di limitare i campi elettrici di giunzione ma comporta anche problemi di accorciamento del canale (vedi fig 5.10). Tale accorciamento è stato confermato da misure di corrente in funzione della tensione di gate ($I_{ds}-V_g$) eseguite su dispositivi con stessa larghezza di canale e differente lunghezza di canale nominale (distanza tra le giunzioni di source e drain, secondo la geometria derivante dalla litografia).

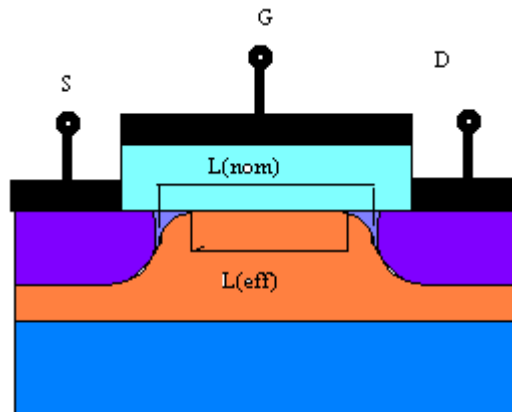


Figura 5.10 Illustrazione schematica dell'accorciamento del canale per effetto della penetrazione laterale del drogante.

Si è visto infatti che le caratteristiche normalizzate ad L per dispositivi che dovrebbero avere mobilità pressoché identiche non si sovrappongono (vedi fig. 5.11b). Questo indica che la lunghezza di canale nominale è differente da quella effettiva e tale discrepanza è da attribuire ad un accorciamento del canale, dovuto principalmente ai due effetti sopra descritti:

- 1) profilo di spessore graduale del drogante che si ottiene nella fase di deposizione di boro a causa del sottoattacco dell'ossido di ricoprimento,

- 2) la diffusione di boro nel silicio fuso durante il laser doping al di fuori delle regioni drogate definite litograficamente.

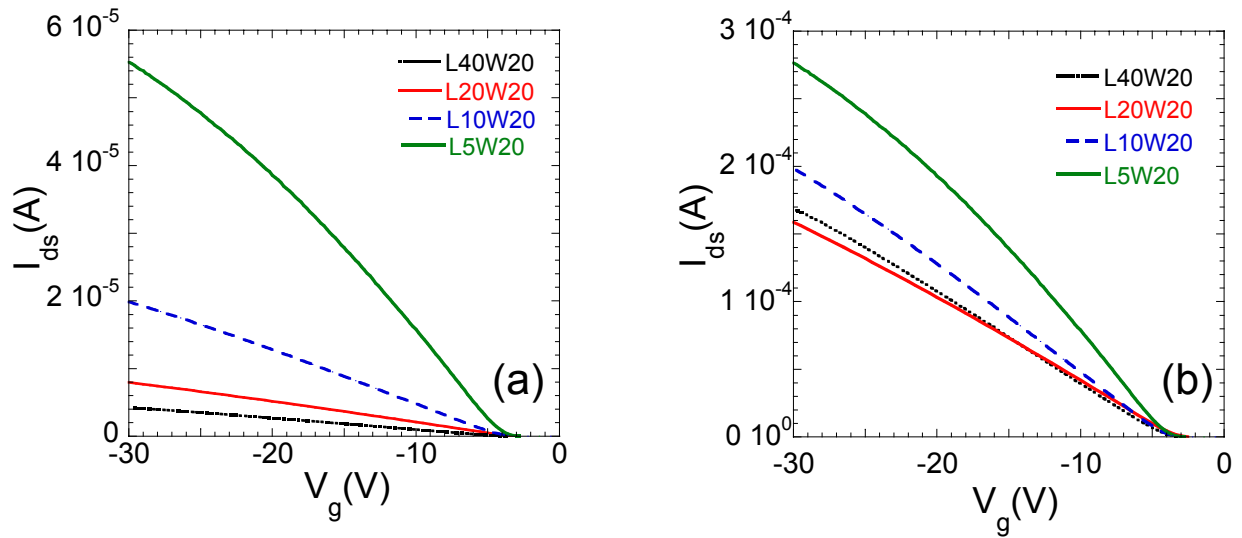


Figura 5.11 (a) I_{ds} - V_g (misurate a bassa V_{ds} , -0.1V) relative a 4 dispositivi con la stessa larghezza di canale ma differente lunghezza di canale L ; (b) Le caratteristiche sono state normalizzate ad L , moltiplicando la corrente per la lunghezza di canale.

L'accorciamento di canale è stato calcolato direttamente dalle caratteristiche sopra riportate, mettendo a confronto dispositivi con L diverso ed applicando il metodo di Hu [8]. Questo metodo consiste nel ricavare la lunghezza di canale effettiva (L_{eff}) e la resistenza serie del dispositivo, R_{ext} , in funzione della tensione di gate dalle seguenti relazioni:

$$R_{TOT} = \frac{V_D}{I_D} = R_{Ch} + R_{ext},$$

$$R_{Ch} = \frac{L_{eff}}{W \mu_{FE} C_{ox} (V_G - V_{Th})} \tag{5.3}$$

$$L_{eff} = L_{nom} - \Delta L$$

dove R_{Ch} è la resistenza relativa al canale di conduzione,

L_{nom} è la lunghezza di canale nominale, relativa alla litografia,

ΔL è l'accorciamento da determinare.

Dal calcolo della lunghezza effettiva si ottiene un restringimento del canale, relativo alla regione di ON dell'ordine di $2\mu m$. Tale valore non può essere ottenuto con la sola diffusione del boro nella fase di laser doping ma è dovuto alla presenza di un profilo di spessore graduale del drogante, ottenuto in fase di deposizione.

5.4 Analisi della stabilità dei dispositivi

Ci proponiamo ora di analizzare in dettaglio il degrado elettrico dei dispositivi a canale p sottoposti ad annealing per $t=30'$ ad una temperatura T pari a 350°C . In particolare sono state effettuate delle misure variando la tensione di gate mantenendo fissa la tensione di drain. In questo modo sono state esplorate diverse zone di lavoro del transistor e verificato la presenza di diverse tipologie di stress.

In figura 5.12 vengono mostrate le caratteristiche di uscita e di trasferimento di TFT, con lunghezza di canale pari a $L=20\mu\text{m}$, stressati ad una tensione di gate pari alla soglia del dispositivo ad una tensione di drain $V_{\text{ds}}(\text{stress}) = -14\text{V}$. Le caratteristiche di trasferimento, non evidenziano alcun tipo di degrado nella regione di ON e non evidenziano problemi di intrappolamento di carica nell'ossido all'aumentare del tempo di stress (vedi figure 5.12a).

Le caratteristiche di uscita non mostrano alcun tipo di degrado nella regione lineare (basse V_{ds}); mentre notevoli differenze si possono osservare nella zona di kink tra la prima misura (dispositivo non stressato) e quelle effettuate all'aumentare del tempo di stress (vedi fig. 5.12b). È infatti evidente un cambio sostanziale dei parametri caratteristici dell'effetto kink. Dopo tale variazione si ha una riduzione progressiva della corrente all'aumentare del tempo di stress. Dalle simulazioni dello stress, effettuate mediante il simulatore bidimensionale DESSIS, si è visto che in queste condizioni di polarizzazione non vengono creati sufficienti stati interfacciali in prossimità del drain all'interfaccia semiconduttore/isolante che possono intrappolare portatori. Mentre è visibile la presenza di carica fissa negativa intrappolata da siti presenti nell'ossido che non influenza la regione lineare della caratteristica ma diminuisce il campo elettrico alla giunzione di drain, giustificando così la diminuzione della corrente di "kink" (vedi fig. 5.12c). Si può inoltre notare che la simulazione riprende qualitativamente anche il leggero aumento del livello di saturazione ottenuto all'aumentare del tempo di stress (vedi fig. 5.12b e 5.12c).

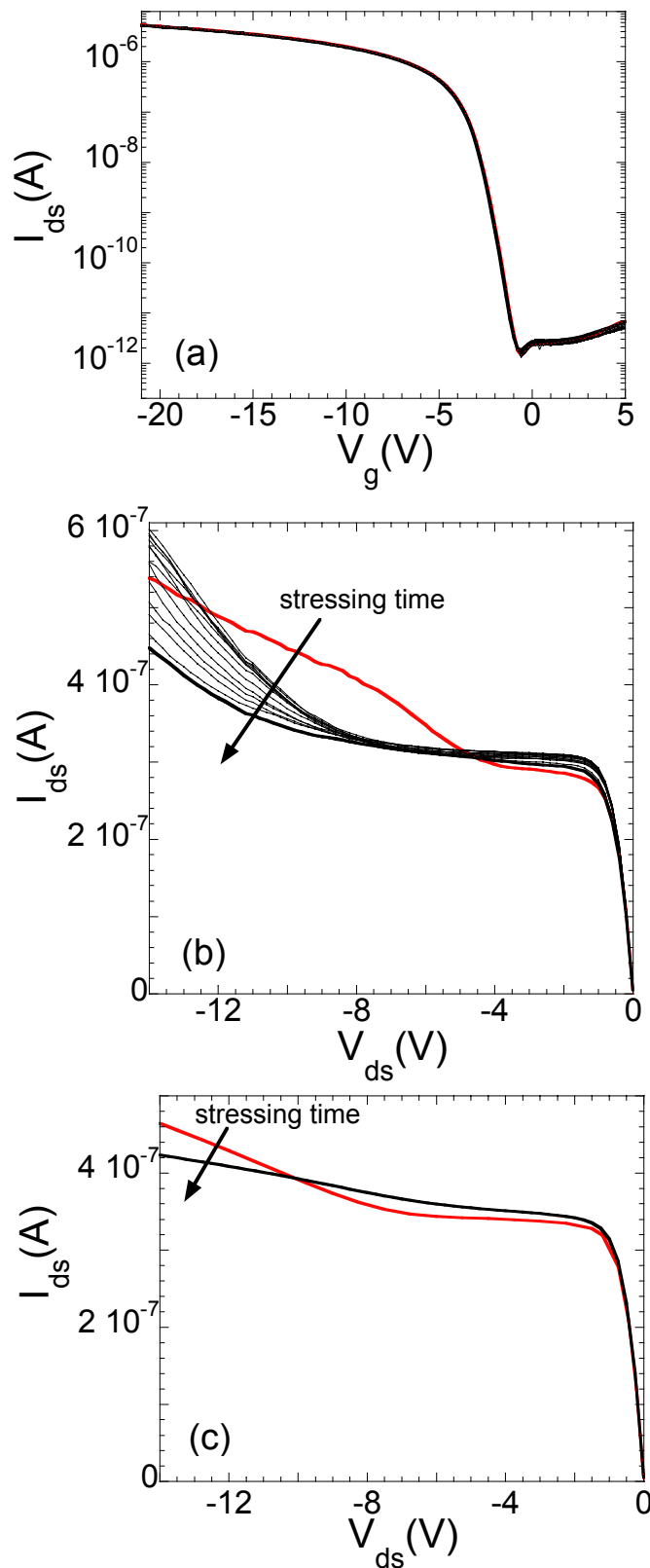


Figura 5.12 (a) Caratteristiche di trasferimento di TFT (con $L=20\mu\text{m}$ e $W=10\mu\text{m}$) misurate, a bassa V_{ds} (-0.1V), prima e dopo differenti tempi di stress (0-10000s); (b) Caratteristiche di uscita di TFT misurate, a $V_g=V_t$, prima e dopo differenti tempi di stress (0-10000s); (c) Caratteristiche di uscita simulate del TFT non stressato e stressato. Condizioni di stress: $V_g(\text{stress})=V_t$ e $V_{ds}(\text{stress})=-14\text{V}$.

In fig. 5.13 è mostrato l'andamento delle caratteristiche di trasferimento e di uscita all'aumentare del tempo di stress ad una polarizzazione di stress pari $V_{ds}(\text{stress}) = -14\text{V}$ e $V_g(\text{stress}) - V_t = -2\text{V}$, -4V , -20V . Si può notare una enorme differenza tra i dispositivi stressati a $V_g(\text{stress}) = V_t$ (vedi fig. 5.12a e b) e quelli a tensioni di gate superiori in valore assoluto $V_g(\text{stress}) - V_t = -2\text{V}$ e -4V (vedi fig. 5.13a e b). E' infatti evidente la presenza di stress elettrico indotto da Hot carrier, che lascia inalterata la regione di sottosoglia delle caratteristiche di trasferimento provocando però una diminuzione della corrente del dispositivo nella regione di ON (vedi fig. 5.13a e b). Questo è dovuto alla formazione di stati interfacciali in prossimità del drain all'interfaccia semiconduttore/isolante che intrappolano lacune, riducendo la corrente che scorre nel transistor. Questo fenomeno è ben evidente nella regione lineare delle caratteristiche di uscita, in particolare nel transistor stressato a $V_g(\text{stress}) - V_t = -4\text{V}$, dove è evidente un abbattimento della corrente di drain a basse V_{ds} . In figura 5.13c sono riportate le caratteristiche di trasferimento e di uscita di un TFT stressato a $V_g(\text{stress}) - V_t = -20\text{V}$; si può notare che nelle $I_{ds} - V_g$ il degrado elettrico è praticamente assente sia nel regime di sottosoglia che di accensione del transistor. Anche le caratteristiche $I_{ds} - V_{ds}$ sono pressoché invariate. Questo fenomeno è legato alle condizioni di polarizzazione del TFT nella fase di stress. Infatti a tensioni di gate elevate, con $|V_g(\text{stress})| \gg |V_{ds}(\text{stress})|$, il transistor si trova in regime lineare, dove il campo elettrico alla giunzione di drain è molto ridotto e l'effetto degli Hot carrier è praticamente assente. Inoltre si può notare che nonostante le elevate V_g non subentrano problemi di intrappolamento di carica nell'ossido.

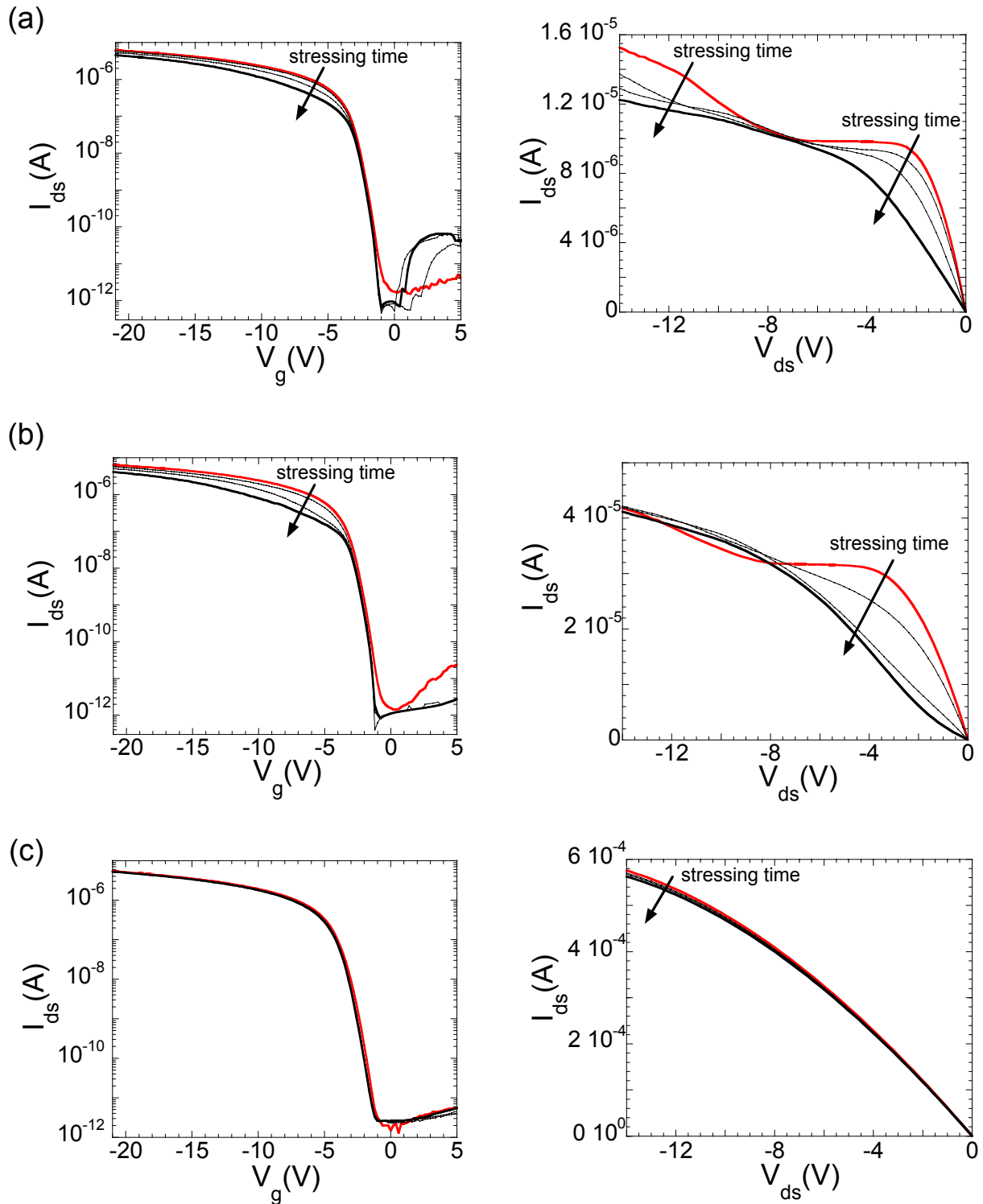


Fig 5.13 Caratteristiche di trasferimento (misurate a bassa V_{ds} , -0.1V) e di uscita (misurate alla rispettiva $V_g - V_t$) di TFT con $L=W=20\mu m$ stressati in diverse condizioni di polarizzazione, (a) $V_g(\text{stress}) - V_t = -2V$; (b) $V_g(\text{stress}) - V_t = -4V$; (c) $V_g(\text{stress}) - V_t = -20V$ con $V_{ds}(\text{stress}) = -14V$.

Un riassunto della situazione finora analizzata è mostrato in figura 5.14 dove è riportato il rapporto della corrente di ON, $I_{on}(t)$, misurata a $V_g = -15V$ del dispositivo stressato ($t = 10000s$) e

quella del transistor non stressato ($t=0s$) per polarizzazioni di stress $V_g(\text{stress})-V_t=0V, -2V, -4V, -6V, -8V, -14V, -20V$ e $V_{ds}(\text{stress})=-14V$.

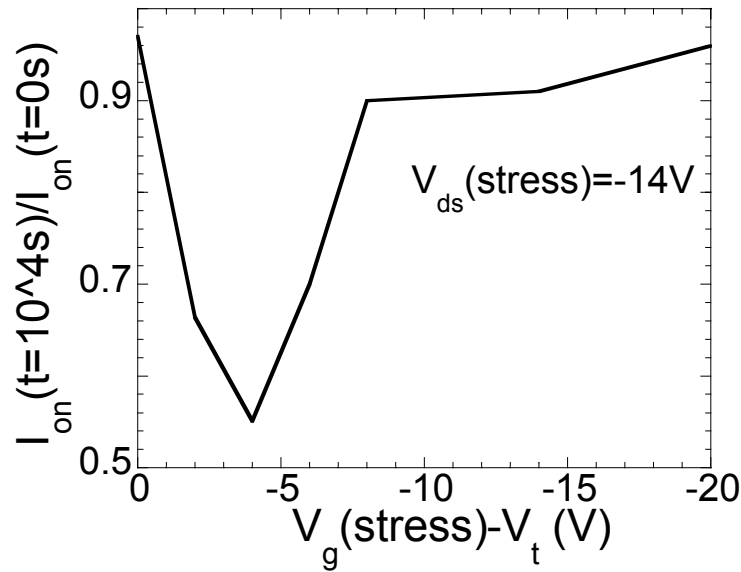


Fig 5.14 Rapporto $I_{on}(t=10^4s)/I_{on}(t=0s)$ valutato a differenti $V_g(\text{stress})-V_t$ e $V_{ds}(\text{stress})=-14V$, dove $I_{on}(t=10000s)$ è la corrente di drain misurata dopo 10000s di stress, valutata a $V_g=-15V$ e bassa V_{ds} (-0.1V), mentre $I_{on}(t=0s)$ è il valore di corrente misurato prima dello stress e valutato alle stesse tensioni sopra menzionate.

La figura mostra chiaramente un massimo di degrado elettrico dovuto ad Hot carrier a $V_g(\text{stress})-V_t=-4V$. Questo andamento è notevolmente differente da quello osservato nei TFT a canale n dove il massimo della ionizzazione da impatto si ottiene a $V_g(\text{stress})=V_t$.

Uno studio analogo a quello fatto sui TFT con lunghezza di canale $L=20\mu m$ è stato effettuato per TFT a canale più corto rispettivamente, $10\mu m$ e $5\mu m$.

In figura 5.15 sono mostrate le caratteristiche di trasferimento in scala logaritmica e lineare, di dispositivi con $L=10\mu m$ stressati nelle stesse condizioni di polarizzazione dei TFT con $L=20\mu m$ ($V_g(\text{stress})-V_t=0V, -2V, -20V$ e $V_{ds}(\text{stress})=-14V$).

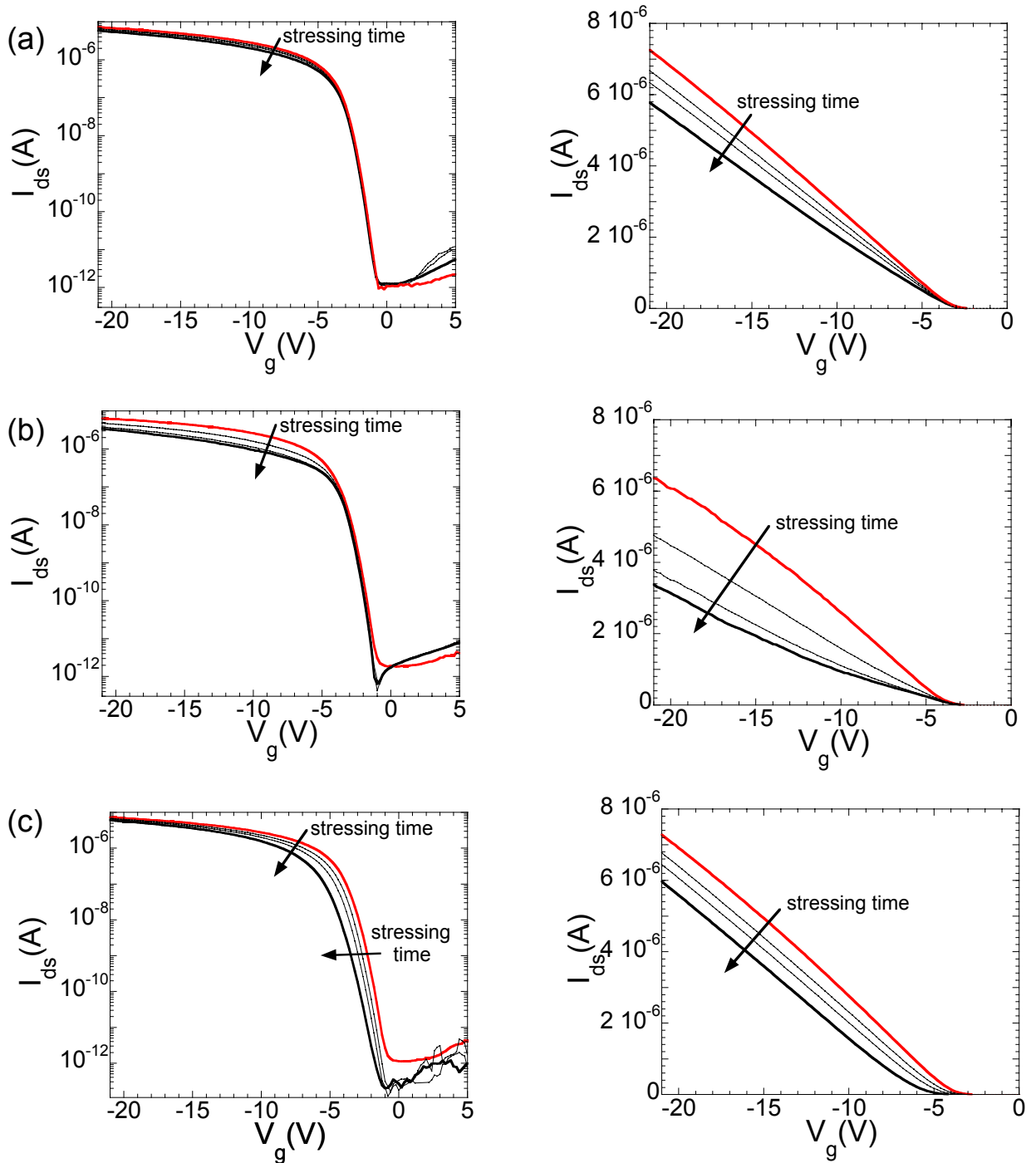


Fig 5.15 Caratteristiche di trasferimento (misurate a bassa V_{ds} , -0.1V) in scala semilogaritmica e lineare di TFT con $L=W=10\mu\text{m}$ stressati in diverse condizioni di polarizzazione, (a) $V_g(\text{stress})-V_t=0\text{V}$; (b) $V_g(\text{stress})-V_t=-2\text{V}$; (c) $V_g(\text{stress})-V_t=-20\text{V}$ con $V_{ds}(\text{stress})=-14\text{V}$.

La figura 5.15a mostra un degrado della mobilità già a $V_g(\text{stress})=V_t$, che si incrementa all'aumentare della tensione di gate (vedi fig. 5.15b). È interessante notare che per valori di $|V_g(\text{stress})| \gg |V_{ds}(\text{stress})|$ si innesca un fenomeno di intrappolamento di carica positiva nell'ossido, non visibile nei TFT con lunghezza di canale pari a $20\mu\text{m}$, che provoca una traslazione rigida delle caratteristiche di trasferimento verso V_g sempre più negative (vedi fig. 5.15c). L'ipotesi che può essere avanzata è che riducendo la lunghezza di canale, ossia passando da $L_{\text{nom}}=20\mu\text{m}$ a $L_{\text{nom}}=10\mu\text{m}$ ($L_{\text{eff}}=8\mu\text{m}$) con V_{ds} costante a -14V , l'effetto combinato dell'aumento della densità di corrente e del restringimento della barriera di potenziale all'interfaccia semiconduttore/isolante ottenuto ad elevate tensioni di gate, può causare intrappolamento di lacune nell'ossido grazie a fenomeni di *emissione termoionica* e/o *phonon assisted tunneling*. Tale effetto è ancora più evidente nei TFT con $L=5\mu\text{m}$ (vedi fig. 5.16) dove la caratteristica di trasferimento del dispositivo subisce una modifica sostanziale sia in regime di sottosoglia (vedi fig. 5.16a) che soprasoglia (vedi fig. 5.16b). Inoltre, già la caratteristica di uscita del dispositivo non stressato mostra una riduzione della corrente all'aumentare della tensione di drain, legata ad un progressivo aumento della tensione di soglia indotto dal degrado del TFT (vedi fig. 5.16c).

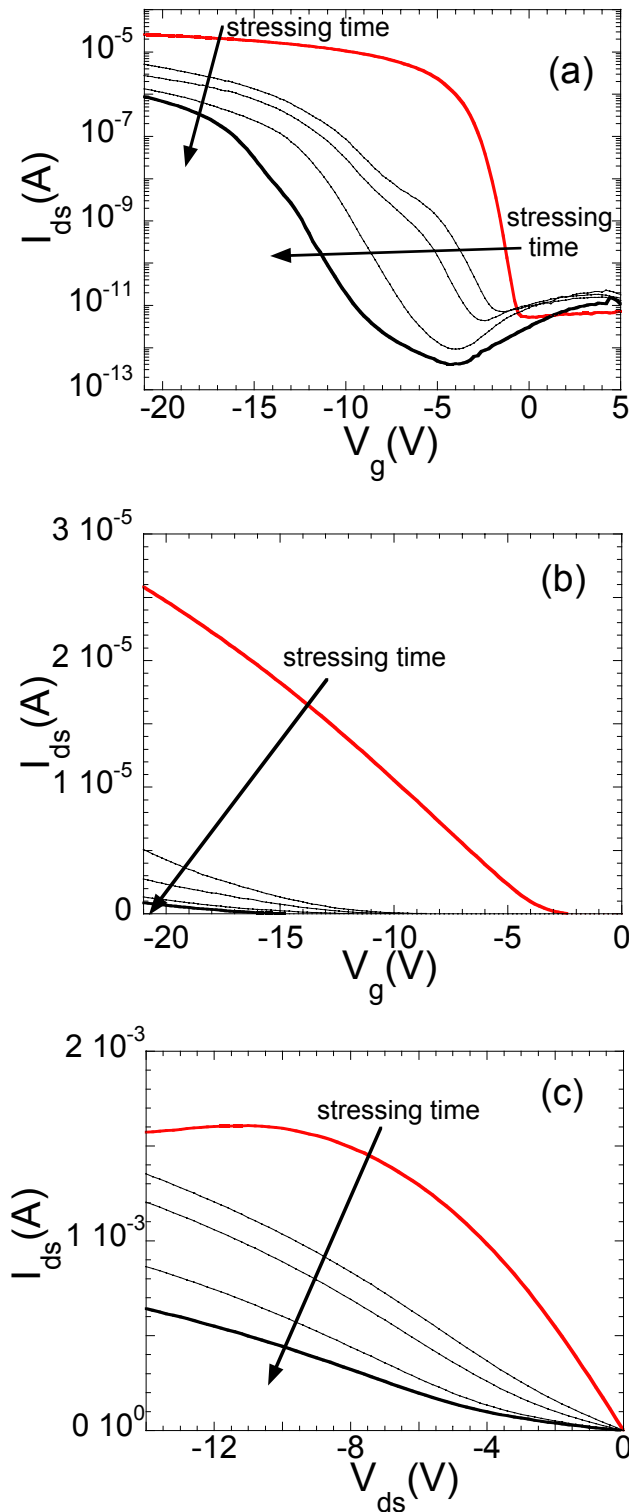


Figura 5.16 Caratteristiche di trasferimento di TFT (con $L=5\mu\text{m}$ e $W=10\mu\text{m}$) misurate, a bassa V_{ds} (-0.1V), prima e dopo differenti tempi di stress (0-10000s), (a) Scala semilogaritmica e (b) Scala lineare; (c) Caratteristiche di uscita di TFT misurate, a $V_g-V_t=-20\text{V}$, prima e dopo differenti tempi di stress (0-10000s). Condizioni di stress: $V_g(\text{stress})-V_t=-20\text{V}$ e $V_{ds}(\text{stress})=-14\text{V}$.

Tali effetti verranno ulteriormente esplorati mediante simulazioni numeriche per confermare le ipotesi fatte finora.

Bibliografia

- [1] M. Cuscunà, A. Bonfglietti, R. Carluccio, L. Mariucci, F. Mecarini, A. Pecora, M. Stanizzi, A. Valletta, G. Fortunato, *Solid State Electronics* 46 (2002) 1351
- [2] C.H.Kim, S.H.Jung, J.H.Jeon, M.K.Han, *Thin Solid Films* 397 (2001) 4.
- [3] E.A. Al-Nuaimy, J.M.Marshall, *Appl. Phys. Lett.* 69 (1996) 3857.
- [4] S. D. Brotherton, *Semicond. Sci. Technol.* 10 (1995), 721.
- [5] S. Whelan, V. Privitera, M. Italia, G. Mannino, C. Bongiorno, C. Spinella, G. Fortunato, L. Mariucci, M. Statizzi, A. Mitiga, *J. Vac. Sci. Technol. B* Vol 20 No 2 Mar/Apr 2002.
- [6] L. Maiolo, A. Pecora and G. Fortunato, *Proceedings of MMD-meeting Conference, Genova* 22-25 June 2005 p.208.
- [7] J.H. Stathis, *J. Appl. Phys.*, 77, p. 6205 (1995).
- [8] G.Hu, C.Chang, Y.Chia, *IEEE Transaction On Electron Devices*, vol.ED-34, No.12, Dec (1987) 2469.