

CAPITOLO 4

Realizzazione e caratterizzazione di TFT a canale n con architettura asymmetric fingered

In questo capitolo viene descritto il processo di fabbricazione e la caratterizzazione elettrica di transistor a film sottile (TFT) a silicio policristallino con una nuova architettura detta asymmetric fingered (AFTFT). In questa nuova struttura viene introdotta una regione drogata n^+ all'interno del canale capace di ridurre fortemente i fenomeni indotti dal campo elettrico presente alla giunzione di drain, sia in regime di accensione (on) che di spegnimento (off) del transistor, come l'effetto "kink", l'effetto dei portatori caldi e la corrente di "leakage".

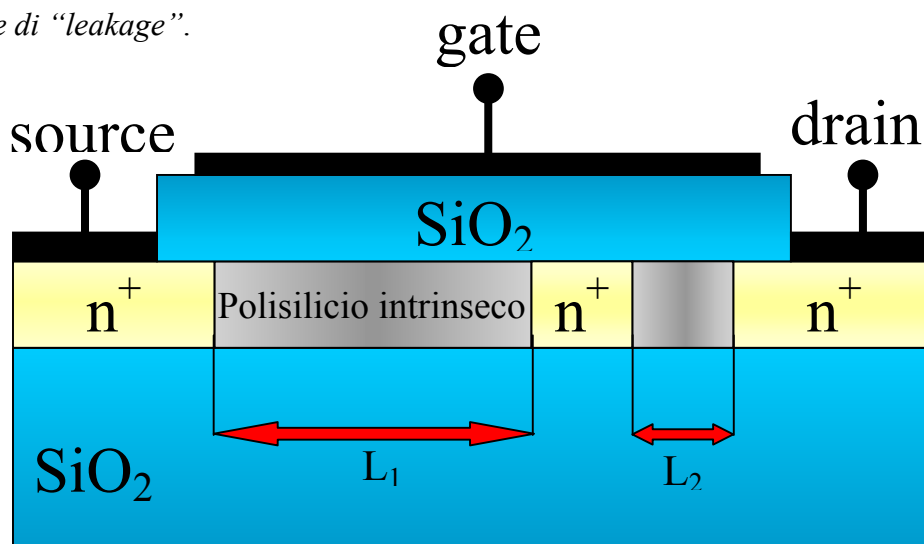


Figura 4.1 Schema di un dispositivo AFTFT in cui è presente una zona drogata n^+ all'interno del canale.

La zona drogata all'interno del canale ha lunghezza pari a $2\mu\text{m}$ ed è posta a diverse distanze dalla giunzione di drain pari in modo che $L_1+L_2=10\mu\text{m}$ (vedi fig. 4.1). La lunghezza di canale effettiva del dispositivo è valutata escludendo la lunghezza della regione drogata n^+ .

4.1 Processo di fabbricazione

I dispositivi AFTFT sono stati realizzati secondo il processo di fabbricazione descritto nel capitolo 3 che prevede la definizione dei contatti di source e drain mediante rimozione selettiva dello strato drogato. In questo caso il tempo di attacco del silicio drogato mediante lo sviluppo MF319 è stato ridotto a 4' per evitare un eccessivo restringimento della zona drogata n^+ all'interno del canale.

Il campione è stato poi sottoposto alla deidrogenazione e alla ricristallizzazione ed attivazione del silicio amorfo mediante trattamento laser. Sono state utilizzate energie d'irraggiamento simili a quelle utilizzate nel regime 4 (circa $450\text{mJ}/\text{cm}^2$) descritto nel precedente capitolo, in modo da avere uno strato attivo di polisilicio molto uniforme e conseguentemente mobilità confrontabili tra i dispositivi. I successivi step del processo di fabbricazione sono del tutto simili a quelli descritti nel capitolo precedente. Per valutare la qualità dei transistor AFTFT sono stati realizzati TFT con architettura convenzionale utilizzando gli stessi parametri di fabbricazione degli AFTFT. In questo modo è stato possibile confrontare le caratteristiche elettriche e valutare la funzionalità della nuova architettura.

4.2 Caratteristiche elettriche sperimentali dei dispositivi con architettura convenzionale ed AFTFT

Vengono ora analizzate le caratteristiche di trasferimento dei dispositivi convenzionali ed AFTFT, con larghezza e lunghezza di canale, rispettivamente di $20\mu\text{m}$ e $10\mu\text{m}$ sottoposti a trattamento termico a $T=350^\circ\text{C}$ per $t=30'$. Nella figura 4.2 vengono mostrate le caratteristiche di trasferimento I_D-V_G dei dispositivi convenzionali ed AFTFT con $L_2=2\mu\text{m}$. Le misure sono state effettuate a $V_{DS}=0.1\text{V}$ in modo da eliminare i fenomeni

indotti da campi elettrici elevati. Nella tabella 1 sono riportati i parametri elettrici delle due architetture.

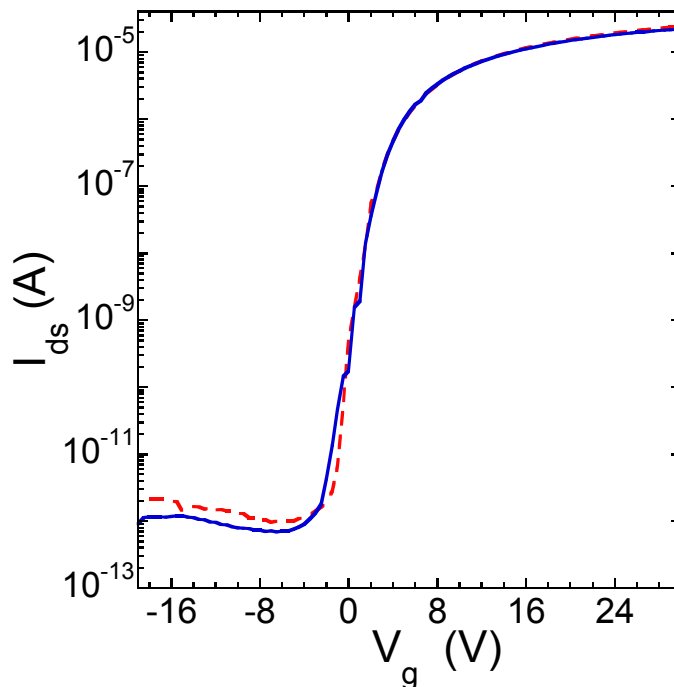


Fig. 4.2 Caratteristiche di trasferimento sperimentali di TFT con architettura convenzionale (tratteggiato) ed AFTFT con $L_2=2\mu m$ (linea), misurate a $V_{ds}=0.1V$.

Architettura	V_T (V)	μ (cm^2/Vs)	On/Off	Pendenza sottosoglia ($\Delta V/decade$)
convenzionale	5.0	140.0	8.0E+06	0.8
AFTFT	5.0	130.0	1.0E+07	0.9

Tabella 1 Parametri elettrici dei dispositivi con architettura convenzionale ed AFTFT.

Come si evince dal grafico sia i dispositivi convenzionali che AFTFT sono di ottima qualità, sono infatti caratterizzati da un ottimo rapporto ON/OFF, circa sette decadi in corrente, una buona pendenza sottosoglia dell'ordine di $0.8\div 0.9V/decade$ ed una buona mobilità intorno ai $140cm^2/Vs$.

Una notevole differenza tra i dispositivi convenzionali ed AFTFT si evidenzia nelle caratteristiche di uscita. Nella figura 4.3 vengono quindi confrontate le caratteristiche di uscita misurate a tre diverse tensioni di gate di un dispositivo convenzionale ed un AFTFT con differente L_2 ma $L_1+L_2=10\mu\text{m}$. Dalla figura è evidente che un ottimo contenimento del kink può essere ottenuto nell'AFTFT riducendo la distanza della zona drogata dalla giunzione di drain (L_2). L'evidenza sperimentale di questi dati conferma l'efficacia della nuova geometria nel minimizzare l'aumento anomalo di corrente ad elevate tensioni di drain.

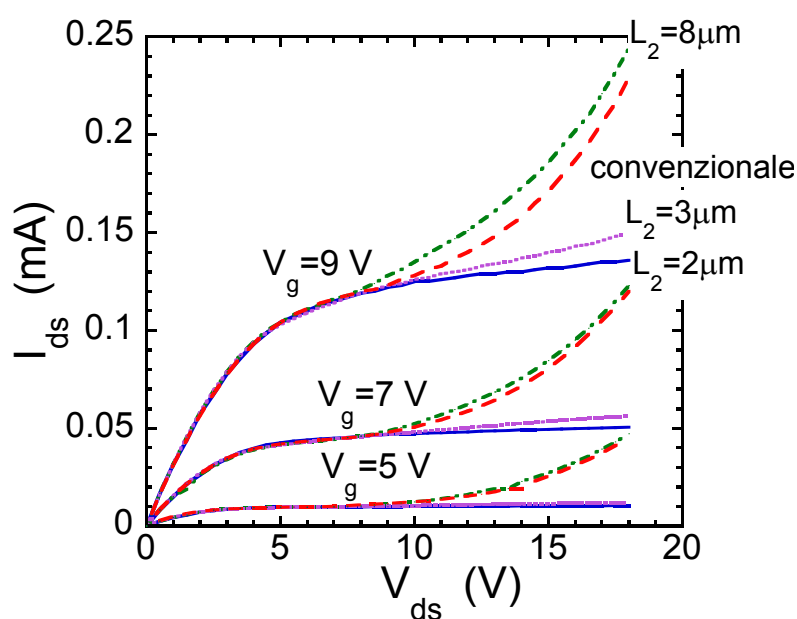


Figura 4.3 Caratteristiche di uscita di TFT con architettura convenzionale ($L=10\mu\text{m}$) ed AFTFT con $L_1+L_2=10\mu\text{m}$ ed $L_2=8\mu\text{m}$, $L_2=3\mu\text{m}$, $L_2=2\mu\text{m}$. Le misure sono state effettuate a tre diverse tensioni di gate $V_G = 5\text{V}$, 7V , 9V .

Si deve notare che in regime di “kink” il transistor convenzionale presenta un notevole aumento della corrente e quindi del consumo di energia, che provoca una forte riduzione del guadagno del dispositivo (G), definito come il rapporto tra le due trasconduttanze g_m e g_d .

$$G = \frac{g_m}{g_d} = \frac{\left(\frac{\partial I_D}{\partial V_G} \Big|_{V_{DS}=\text{cost}} \right)}{\left(\frac{\partial I_D}{\partial V_{DS}} \Big|_{V_G=\text{cost}} \right)}. \quad (4.1)$$

L'andamento del guadagno nei TFT con architettura convenzionale ed AFTFT è mostrato nella seguente figura (vedi fig. 4.4).

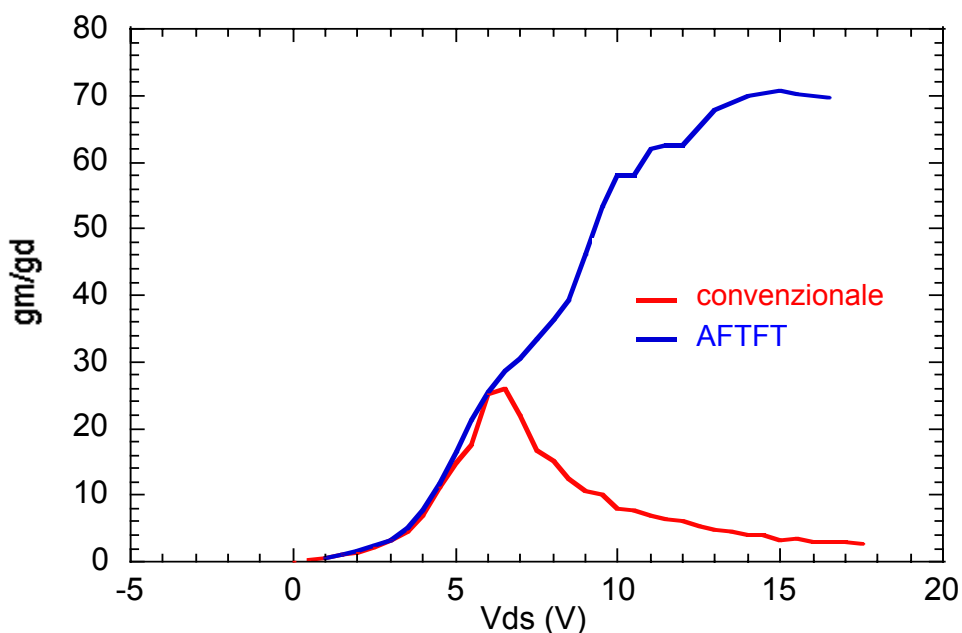


Figura 4.4 Confronto tra il guadagno di un dispositivo convenzionale ed AFTFT con $L_2 = 2\mu m$.

Come si evince dalla figura il guadagno del transistor convenzionale si riduce enormemente quando inizia il “kink”, a differenza del dispositivo AFTFT che ha un guadagno sufficientemente elevato anche a V_{DS} elevate.

Sono state inoltre analizzate le caratteristiche di off dei dispositivi, per valutare l'andamento della corrente di “leakage” nelle due geometrie.

Le misure eseguite, sono state delle I_D - V_{DS} , a due diverse tensioni di gate negative $V_G = -6.5V$ e $V_G = -15.5V$ in modo da avere campi elettrici molto elevati alle giunzioni polarizzate in inversa. Gli andamenti sono riportati nella seguente figura (vedi figura 4.5).

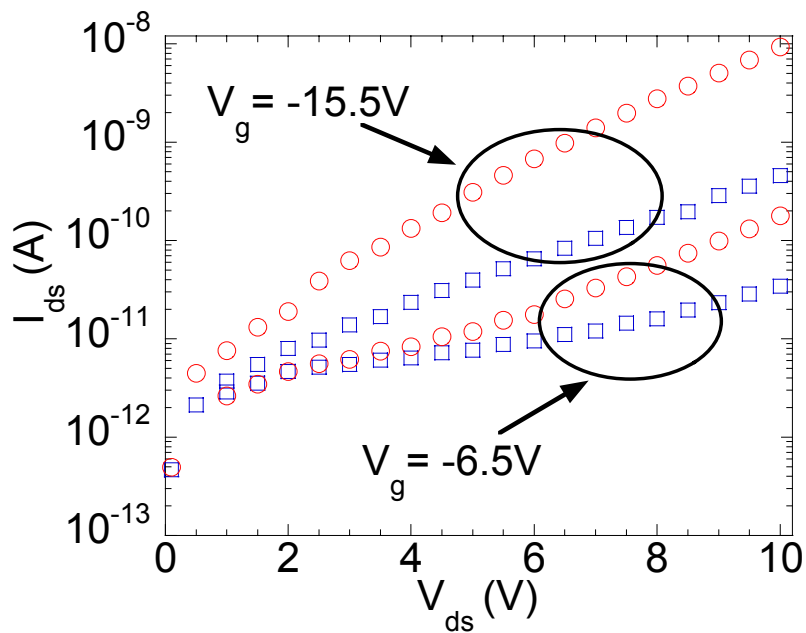


Figura 4.5 Corrente di off di dispositivi convenzionali (cerchi) ed AFTFT (quadrati) misurate a due diverse tensioni di gate $V_G = -6.5V$ e $V_G = -15.5V$.

Dalla figura si può notare che all'aumentare della tensione tra source e drain, l'incremento della corrente nella regione di off del transistor è limitato nei dispositivi con architettura AFTFT, rispetto ai transistor in configurazione standard. Infatti il valore della corrente in un transistor convenzionale ad una polarizzazione pari a $V_G = -15.5V$ e $V_{DS} = 10V$, è molto più elevato (circa una decade) rispetto a quello di un AFTFT. Questo è un risultato molto importante, perché i TFT utilizzati nei circuiti digitali, lavorano generalmente a V_{DS} abbastanza elevate; è quindi necessario che il rapporto on/off rimanga almeno dell'ordine di 10^5 .

4.3 Caratteristiche elettriche simulate dei dispositivi con architettura convenzionale ed AFTFT

Vengono ora studiate, mediante simulazioni numeriche, le caratteristiche elettriche degli AFTFT per analizzare il ruolo della zona drogata all'interno del canale in regime di ON ed OFF. Sono stati utilizzati due simulatori bidimensionali DESSIS ed HFIELDS. Si è visto sperimentalmente che i dispositivi con architettura AFTFT sono in grado di ridurre fortemente l'effetto "kink" e di limitare la corrente di "leakage" ad alte tensioni di drain;

ora ci proponiamo di spiegarne il meccanismo fisico che da luogo a questo comportamento. Prima verranno analizzate le simulazioni delle caratteristiche di uscita dei dispositivi, utilizzate per lo studio dell'effetto "kink", mediante il simulatore DESSIS, mentre nella seconda parte si tratteranno le simulazioni delle caratteristiche di uscita in regime di spegnimento (OFF), analizzando il fenomeno della corrente di "leakage" attraverso il simulatore HFIELDSD.

4.3.1 Simulazione 2-D dei dispositivi convenzionali nella regione di accensione (on) del transistor

Il simulatore bidimensionale DESSIS è un programma di simulazione commerciale specifico per tutti i dispositivi a semiconduttore, caratterizzato da una buona efficienza e flessibilità, quindi adatto a simulare dispositivi di qualsiasi forma geometrica. Esso risolve numericamente le equazioni fondamentali per i semiconduttori dopo una opportuna discretizzazione delle stesse mediante una griglia costituita da tanti elementi ai quali vengono associate determinate caratteristiche come il tipo di materiale, la quantità di drogaggio, la posizione, (ecc.). Le equazioni fondamentali sono (vedi cap.2):

- l'equazione di Poisson,
- l'equazione di continuità per gli elettroni,
- l'equazione di continuità per le lacune.

La soluzione di questo sistema di equazioni viene determinata imponendo come condizioni al contorno i potenziali a cui si trovano gli elettrodi di source, drain e gate. Le altre equazioni utilizzate sono:

- ◆ la densità di corrente J di elettroni e lacune,

$$J = q\mu_n nF + qD_n \nabla n + q\mu_p pF - qD_p \nabla p \quad (4.2)$$

dove:

F = campo elettrico,

D_n, D_p = coefficienti di diffusione degli elettroni e delle lacune,

- ◆ la generazione G_{imp} di coppie elettrone-lacuna per ionizzazione da impatto,

$$G_{imp} = a_n \exp\left(-\frac{F_{crit}}{F}\right) n v_n + a_p \exp\left(-\frac{F_{crit}}{F}\right) n v_p \quad (4.3)$$

dove:

F = campo elettrico parallelo alla corrente,

F_{crit} = campo elettrico critico parallelo alla corrente, oltre il quale inizia la generazione da impatto,

v_n, v_p = velocità di deriva di elettroni e lacune,

a_n, a_p = prefattori numerici,

◆ la densità di stati di trappola LDOS,

$$D_t(E) = N_{G_1} \exp\left(-\frac{E - E_V}{KT_{G_1}}\right) + N_{G_2} \exp\left(-\frac{E - E_V}{KT_{G_2}}\right) + N_{G_3} \exp\left(\frac{E - E_C}{KT_{G_3}}\right) + N_{G_4} \exp\left(\frac{E - E_C}{KT_{G_4}}\right) \quad (4.4)$$

Affinché le simulazioni riproducano le caratteristiche elettriche dei dispositivi realizzati, occorre determinare esattamente il valore di alcuni parametri fondamentali come la densità degli stati di trappola (LDOS), le sezioni d'urto di cattura di elettroni e lacune da parte degli stati di trappola, le mobilità di elettroni e lacune ed inoltre il campo critico oltre il quale inizia la generazione da impatto. Sono state quindi simulate delle caratteristiche di trasferimento di un dispositivo convenzionale variando i parametri in modo da ottenere il miglior accordo con la caratteristica sperimentale. In particolare la pendenza sottosoglia è sensibile alle variazioni della LDOS, mentre la regione soprasoglia nel tratto lineare è regolata dal valore della mobilità degli elettroni. Per la determinazione del campo critico sono state simulate delle caratteristiche di uscita di un dispositivo convenzionale in modo da ottenere un buon accordo nella zona di "kink". Infatti la ionizzazione da impatto comincerà ad essere importante non appena il massimo valore del campo, raggiunto nei pressi della giunzione di drain, diventerà confrontabile col valore del campo critico F_{crit} . Nel nostro caso è stato scelto come dispositivo sperimentale in configurazione standard, un TFT con larghezza e lunghezza di canale, rispettivamente di $20\mu m$ e $10\mu m$.

I risultati ottenuti sono mostrati nelle figure 4.6 e 4.7, in cui vengono mostrate rispettivamente le caratteristiche di trasferimento simulate e sperimentali in scala semilogaritmica e lineare ad una tensione $V_{DS} = 0.1V$, e le caratteristiche di uscita a $V_G = 7V$.

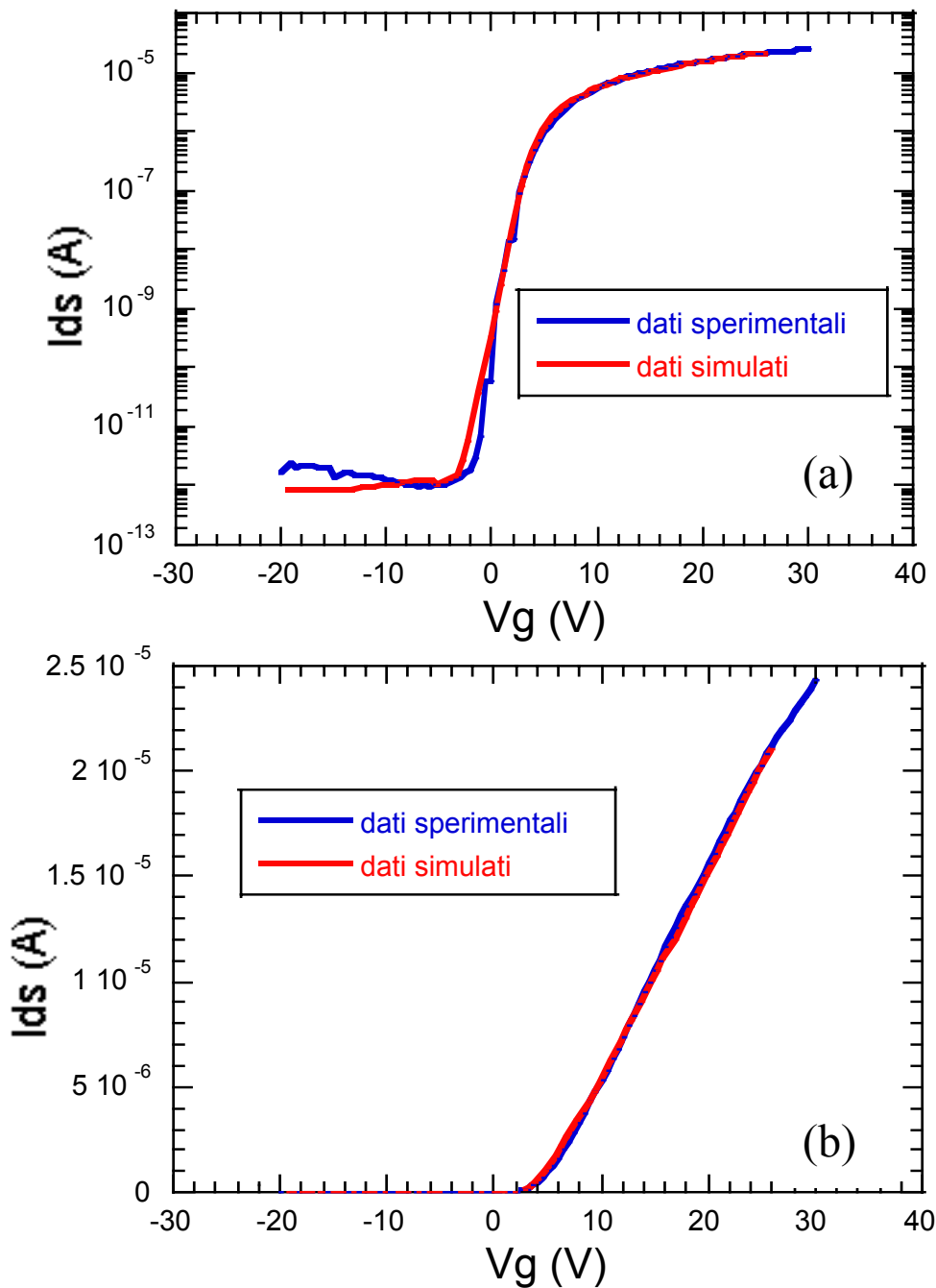


Figura 4.6 Confronto dati sperimentali e simulati delle caratteristiche di trasferimento del dispositivo convenzionale con lunghezza di canale $10\mu m$ e larghezza $20\mu m$. Il confronto viene effettuato in scala (a) semilogaritmica e (b) lineare. La mobilità elettronica di tale dispositivo è di $140cm^2/Vs$.

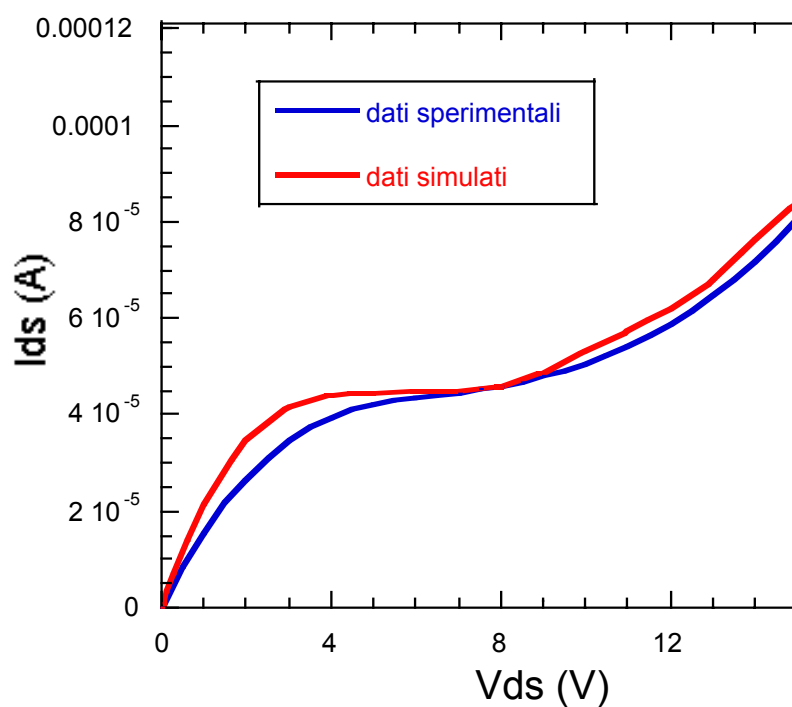


Figura 4.7 Confronto dei dati sperimentali e simulati delle caratteristiche di uscita del dispositivo convenzionale con lunghezza di canale $10\mu m$ e larghezza $20\mu m$. La tensione di gate utilizzata è $V_G = 7V$.

Nella tabella 2 sono riassunti i parametri delle simulazioni che meglio approssimano le caratteristiche sperimentali.

Energia caratteristica code stati di tipo accettore	$E_{at} = 32meV$
Energia caratteristica stati di tipo accettore profondi	$E_{ad} = 200meV$
Energia caratteristica code stati di tipo donore	$E_{dt} = 32meV$
Energia caratteristica stati di tipo donore profondi	$E_{dd} = 180meV$
Densità code stati di tipo accettore al limite della banda di conduzione	$N_{at} = 9.5 \times 10^{18} cm^{-3}/eV$
Densità stati di tipo accettore profondi al limite della banda di conduzione	$N_{ad} = 4.0 \times 10^{18} cm^{-3}/eV$
Densità code stati di tipo donore al limite della banda di valenza	$N_{dt} = 9.5 \times 10^{18} cm^{-3}/eV$
Densità stati di tipo donore profondi al limite della banda di valenza	$N_{dd} = 9.5 \times 10^{18} cm^{-3}/eV$
Sezione d'urto di cattura di elettroni su stati donorlike	$\sigma_{nd} = 10^{-14} cm^2$
Sezione d'urto di cattura di elettroni su stati acceptorlike	$\sigma_{na} = 10^{-16} cm^2$
Sezione d'urto di cattura di lacune su stati donorlike	$\sigma_{pd} = 10^{-16} cm^2$
Sezione d'urto di cattura di lacune su stati acceptorlike	$\sigma_{pa} = 10^{-14} cm^2$
Prefattore numerico della ionizzazione da impatto per elettroni e lacune	$a_{n,p} = 2 \times 10^{-5} cm^{-1}$
Campo critico della ionizzazione da impatto per elettroni	$F_c = 3 \times 10^6 V/cm$
Mobilità degli elettroni in banda di conduzione	$\mu_n = 140 cm^2/Vs$
Mobilità di lacune in banda di valenza	$\mu_p = 70 cm^2/Vs$

Tabella 2 Parametri utilizzati nelle simulazioni delle caratteristiche di trasferimento e di uscita del transistor in configurazione standard.

Tutti i dati ottenuti dalle simulazioni fatte sino ad ora sono stati ottenuti imponendo che tutte le giunzioni delle zone drogate abbiano un profilo di drogaggio gaussiano con deviazione standard, $L_{lat} = 150nm$. La stima approssimativa di tale valore è stata ricavata dalla relazione $L_{lat} = \sqrt{D\tau}$, dove $D = 2 \times 10^{-4} cm^2/s$, è il coefficiente di diffusione del drogante (fosforo nel nostro caso) nel silicio liquido e $\tau = n\tau_0$ è il tempo in cui il silicio rimane fuso, ed è dato dal prodotto del numero di colpi n per il tempo di fusione ad ogni singolo colpo laser τ_0 (circa 100ns).

4.3.2 Simulazione 2-D dei dispositivi AFTFT nella regione di accensione (on) del transistor

Gli stessi parametri trovati per il dispositivo convenzionale (vedi Tab. 2), vengono utilizzati per il dispositivo con architettura AFTFT. In figura 4.8 sono confrontate le caratteristiche di uscita simulate, di un transistor con geometria standard e AFTFT con diversi $L_2 = 2, 3, 5, 8\mu\text{m}$.

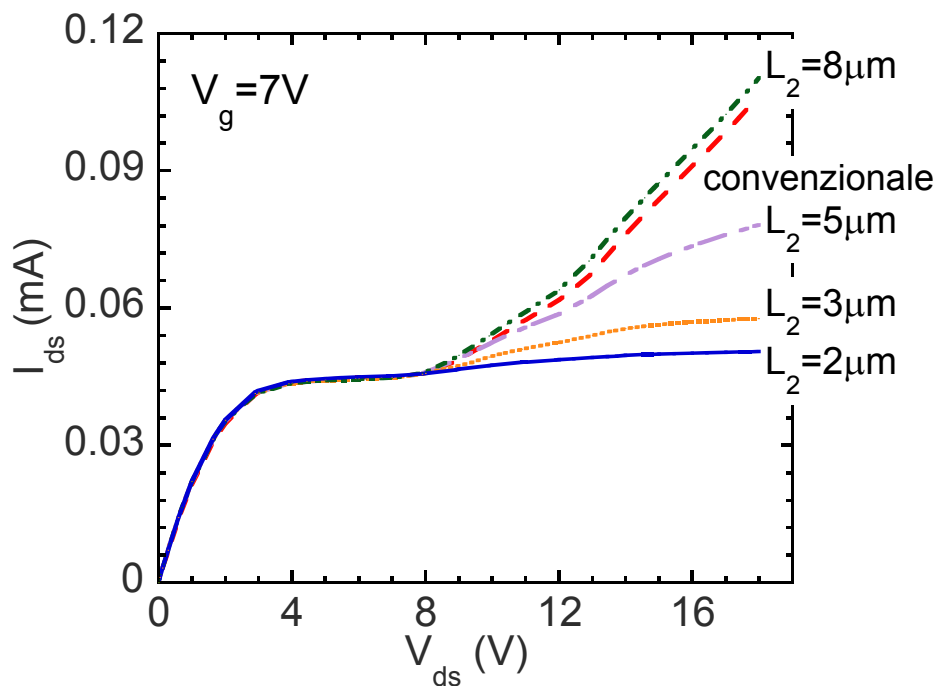


Figura 4.8 Confronto delle caratteristiche di uscita simulate di transistor con architettura convenzionale ed AFTFT con diverse L_2 . Tutte le caratteristiche sono state ottenute imponendo una tensione di gate $V_G = 7V$.

Dalla figura è evidente che l'aumento della corrente ad alte tensioni di drain, V_D , è molto limitato nel caso in cui la regione drogata è vicina al drain. Al contrario quando la zona drogata si trova vicino al source, l'aumento della corrente è simile a quello di un dispositivo standard. Tali risultati sono in accordo con i dati sperimentali mostrati in figura 4.3.

Per interpretare questi risultati vengono ora analizzate in dettaglio le simulazioni numeriche dei dispositivi convenzionali ed AFTFT con $L_2 = 2\mu\text{m}$ e $L_2 = 8\mu\text{m}$.

In figura 4.9 viene riportato l'andamento del campo elettrico F parallelo alla corrente che scorre all'interfaccia canale-ossido di gate, per una polarizzazione pari a $V_{DS} = 18V$ e $V_G =$

7V. Il campo elettrico è sostanzialmente lo stesso nei tre casi, evidenziando che non è una riduzione del campo elettrico alla giunzione di drain dell'AFTFT con $L_2 = 2\mu\text{m}$, che limita l'aumento della corrente.

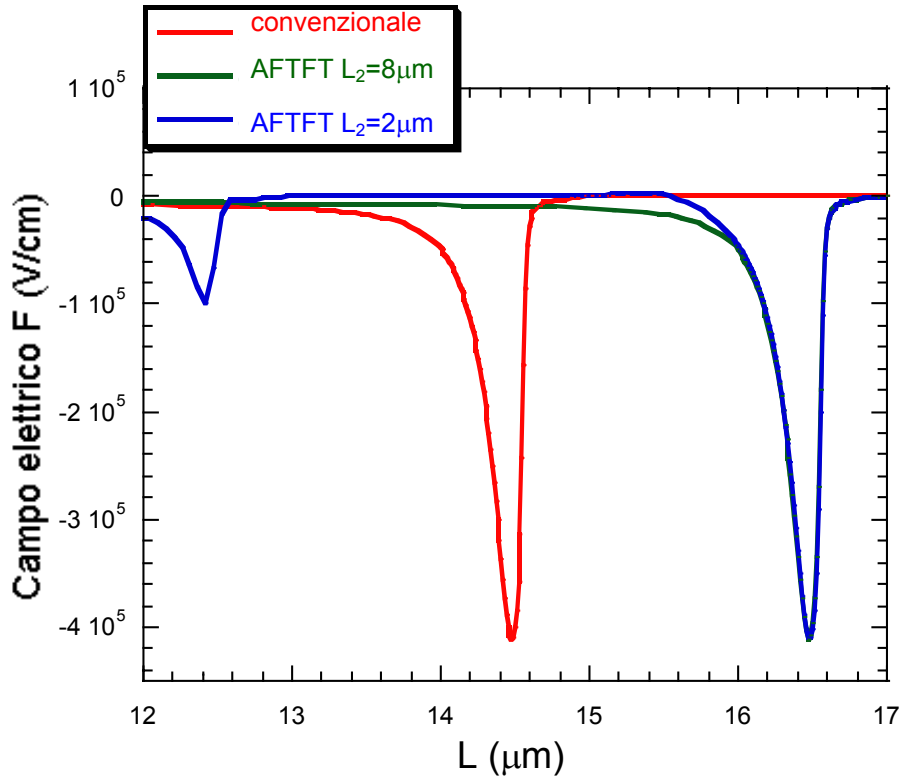


Figura 4.9 Andamento del campo elettrico F parallelo alla corrente nei dispositivi con geometria convenzionale ed AFTFT con $L_2 = 8\mu\text{m}$ ed $L_2 = 2\mu\text{m}$, a tensioni di drain $V_{DS} = 18V$ e $V_G = 7V$.

Nella stessa condizione di polarizzazione, $V_{DS} = 18V$ e $V_G = 7V$, viene mostrata in figura 4.10, la distribuzione bidimensionale del numero di coppie generate per ionizzazione da impatto nella zona vicina alla giunzione di drain. La figura 4.10a è riferita alla configurazione convenzionale, la 4.10b ad una configurazione AFTFT con $L_2 = 8\mu\text{m}$ e la 4.10c ad un AFTFT con $L_2 = 2\mu\text{m}$. Le distribuzioni spaziali hanno lo stesso andamento; ma la configurazione standard ed $L_2 = 8\mu\text{m}$ presentano un picco nella generazione da impatto poco differente pari a $1.3 \cdot 10^{25} \text{coppie/cm}^3\text{s}$ e $1.5 \cdot 10^{25} \text{coppie/cm}^3\text{s}$ mentre nella configurazione con $L_2 = 2\mu\text{m}$ il picco della generazione è più basso, circa $7 \cdot 10^{24} \text{coppie/cm}^3\text{s}$.

Integrando il tasso di generazione lungo il canale si ottiene la corrente dovuta alle cariche generate per ionizzazione da impatto a differenti valori della tensione di drain, (vedi fig.

4.11). La figura mostra come tale corrente è simile per il dispositivo convenzionale ed AFTFT con $L_2 = 8\mu m$, ed è limitata nel AFTFT con $L_2 = 2\mu m$. Come si è visto in precedenza i campi elettrici alla giunzione di drain non diminuiscono nell'AFTFT con $L_2 = 2\mu m$, quindi la riduzione della generazione da impatto e della relativa corrente deve essere dovuta ad una riduzione della corrente totale che scorre nel dispositivo.

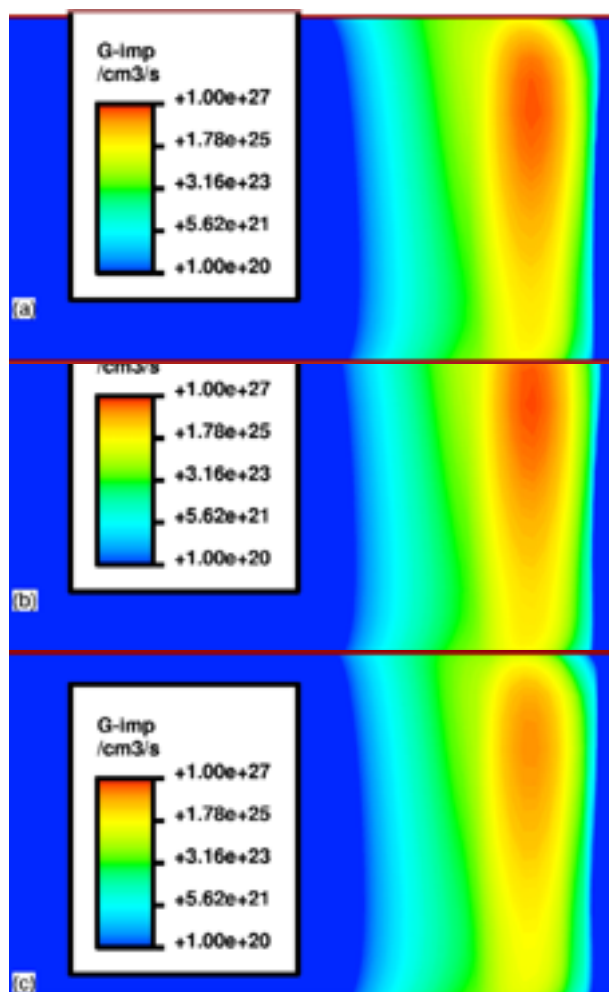


Figura 4.10 Tasso di generazione di coppie $e-h$ alla giunzione di drain (valutato a $V_{DS} = 18V$ e $V_G = 7V$) per le tre differenti geometrie: (a) Configurazione convenzionale, (b) AFTFT $L_2 = 8\mu m$, (c) AFTFT $L_2 = 2\mu m$.

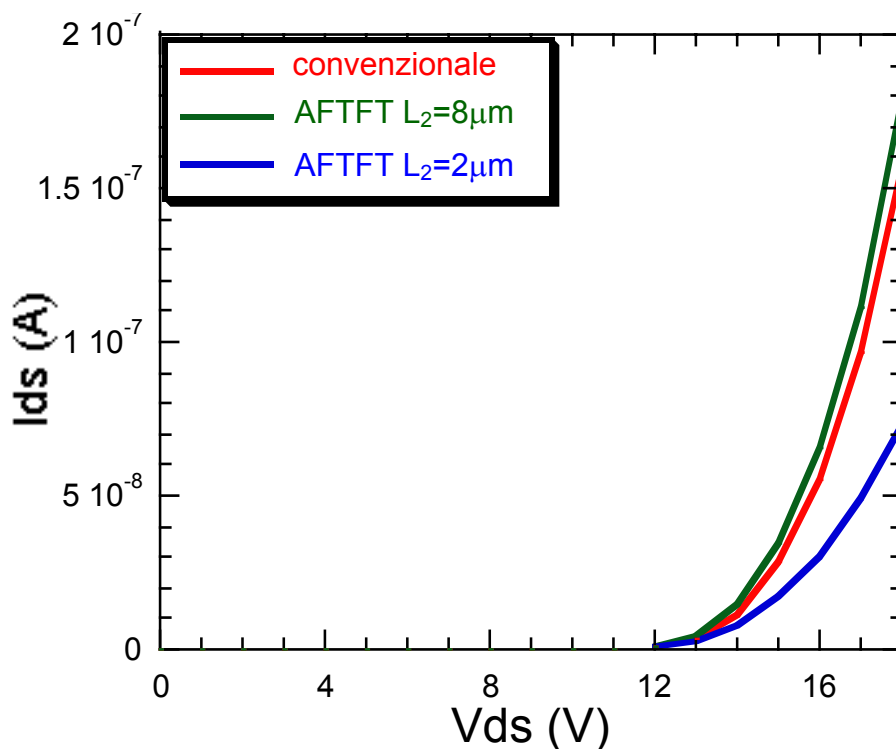


Figura 4.11 Integrale della generazione da impatto alla giunzione di drain (valutata a $V_{DS} = 18V$ e $V_G = 7V$) nel dispositivo convenzionale, ed AFTFT con $L_2 = 8\mu m$ ed $L_2 = 2\mu m$.

Un'ulteriore considerazione deve essere fatta sull'influenza dell'effetto transistor bipolare parassita (PBT), visto nel capitolo 2, sulle caratteristiche di uscita dei dispositivi. Come già detto in precedenza l'effetto PBT è dovuto ad un abbassamento della barriera di potenziale alla giunzione di source, a causa dell'accumulo di lacune generate al drain per ionizzazione da impatto, e poi spinte nel retrocanale dalla tensione positiva imposta al gate. Questo abbassamento della barriera provoca un notevole aumento del flusso di elettroni, che raggiunge il drain, che a sua volta genera altre coppie elettrone-lacuna per impatto, innescando così un processo a valanga che porta ad un incremento anomalo della corrente di drain. In figura 4.12 viene quindi riportata la concentrazione di lacune nella configurazione convenzionale, AFTFT con $L_2 = 8\mu m$ ed $L_2 = 2\mu m$.

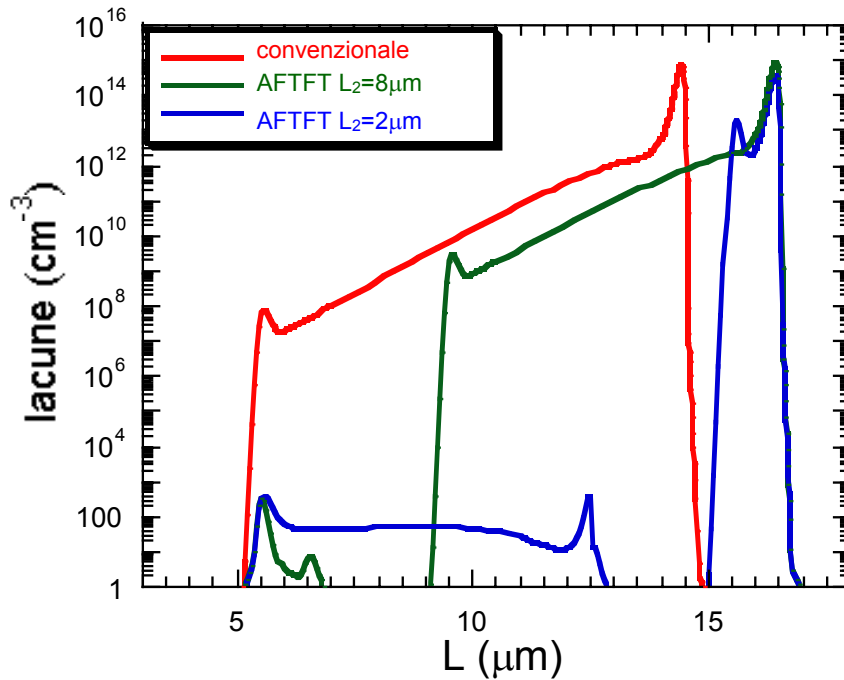


Figura 4.12 Concentrazione delle lacune per cm^3 all'interfaccia canale-substrato lungo tutto il canale del dispositivo per le tre configurazioni. Gli andamenti si riferiscono ad una polarizzazione di drain pari a $V_{DS} = 18V$ e $V_G = 7V$.

Mentre la concentrazione di lacune di un dispositivo convenzionale, alla giunzione di source è di circa $5 \cdot 10^7 lacune/cm^3$, i dispositivi AFTFT $L_2 = 8\mu m$ ed $L_2 = 8\mu m$, hanno entrambi una concentrazione di lacune molto più bassa dell'ordine di $10^3 lacune/cm^3$. Questo è dovuto alla ricombinazione delle lacune nella zona drogata n^+ all'interno del canale, che impedisce il loro accumulo, come invece accade nei transistor in configurazione standard. Questo significa che l'effetto PBT gioca un ruolo importante in un dispositivo convenzionale, mentre in entrambi i dispositivi AFTFT è molto ridotto. Si può quindi concludere che non è l'eliminazione dell'effetto transistor bipolare parassita PBT nei transistor AFTFT a limitare la corrente totale, perché se così fosse anche in un dispositivo con la regione drogata vicino al source, in configurazione $L_2 = 8\mu m$, la corrente ad alte tensioni di drain, dovrebbe essere molto limitata; ma sia le simulazioni che i dati sperimentali dimostrano il contrario, (vedi fig. 4.3 e 4.8).

L'analisi dettagliata delle simulazioni ci ha quindi mostrato, che la riduzione della corrente ad alte tensioni di drain nei dispositivi AFTFT con $L_2 = 2\mu m$, non è legata ad una riduzione dei campi elettrici alla giunzione di drain e neanche all'annullamento dell'effetto transistor bipolare parassita ma può essere compresa mediante un'analisi circuitale,

introducendo il modello a due transistor. Tale dispositivo può essere infatti visto come la serie di due transistor, il primo con lunghezza di canale di $8\mu m$ (posizionato vicino al contatto di source, s-subTFT) e il secondo con lunghezza di canale pari a $2\mu m$ (posizionato vicino al contatto di drain, d-subTFT). Si definiscono S_1 e D_1 , il source e il drain del s-subTFT ed S_2 e D_2 quelli del d-subTFT, (vedi fig. 4.13). Le caratteristiche di uscita del transistor intero possono essere ricostruite accoppiando le caratteristiche dei singoli dispositivi, imponendo che:

- la tensione di drain del primo transistor sia uguale a quella di source del secondo $V_{D1} = V_{S2}$,
- la corrente circolante nell'intero dispositivo e la tensione di gate applicata siano le stesse per entrambi i transistor.

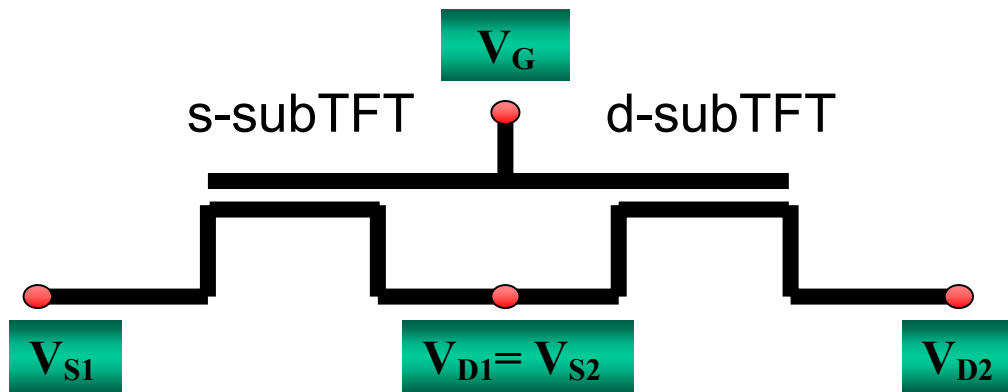


Figura 4.13 Rappresentazione circuitale del dispositivo con architettura AFTFT schematizzato come la serie di due transistor. V_{S1} , V_{D1} , V_{S2} , V_{D2} sono le tensioni di source e drain rispettivamente del s-subTFT e del d-subTFT. La tensione di gate è la stessa per entrambi i dispositivi.

Sono state quindi ricostruite le caratteristiche di uscita del transistor con $L_2 = 2\mu m$. La figura 4.14a mostra la corrente del s-subTFT per fissata tensione di gate $V_G = 7V$ al variare di V_{D1} e le curve del d-subTFT al variare di V_{S2} , per valori differenti di V_{D2} . L'intersezione delle curve, per cui la condizione $I_{D1} = I_{D2}$ è soddisfatta, fornisce il punto di lavoro del transistor completo al variare della tensione tra source e drain del transistor totale $V_{DS} = V_{D2,S1}$. La figura 4.14b illustra come i punti di lavoro calcolati dalle varie intersezioni si sovrappongono perfettamente alla caratteristica di uscita simulata del transistor completo. Il comportamento del transistor AFTFT con $L_2 = 2\mu m$ è quindi ben riprodotto dal modello a due transistor.

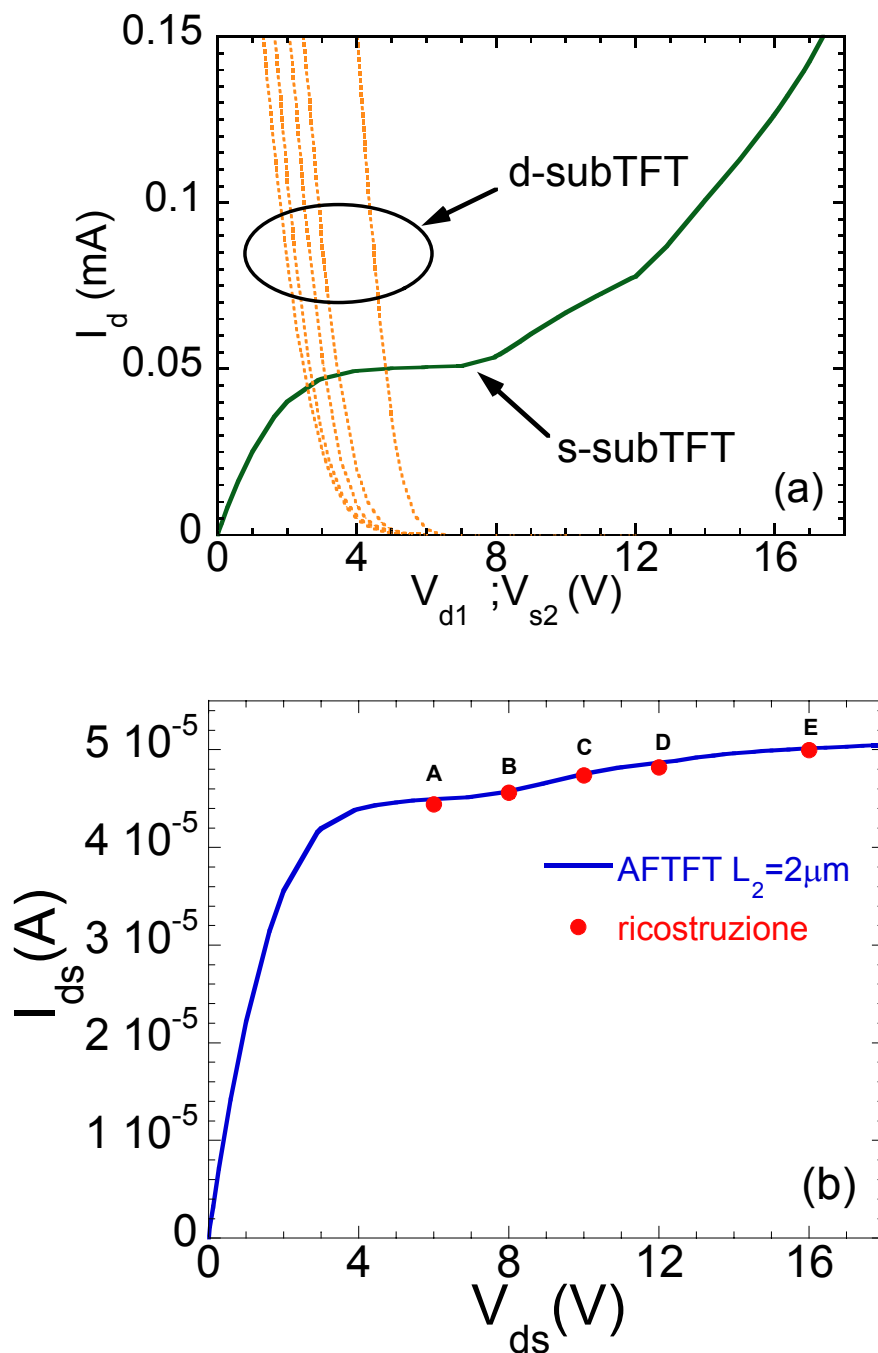


Figura 4.14 (a) Confronto della caratteristica di uscita I_D - V_{D1} del s-subTFT, $L_1 = 8 \mu\text{m}$, con gli andamenti I_D - V_{S2} a V_{D2} fissati (6, 8, 10, 12 e 16V) del d-subTFT, $L_2 = 2 \mu\text{m}$; (b) Ricostruzione della caratteristica di uscita del transistor AFTFT con $L_2 = 2 \mu\text{m}$. La tensione di gate utilizzata è $V_G = 7\text{V}$.

Dopo aver provato la validità del modello a due transistor, occorre spiegare il meccanismo fisico che regola il contenimento dell'effetto "kink". Viene quindi analizzato, in dettaglio,

il funzionamento dei due transistor singolarmente. La figura 4.15, evidenzia che la maggior parte della tensione applicata all'intero dispositivo cade sul d-subTFT (posizionato vicino al drain). Quindi il contenimento dell'effetto "kink" non è dovuto alla ripartizione del potenziale sui due transistor, perché se così fosse, la maggior parte del potenziale cadrebbe sul primo transistor, quello con lunghezza di canale maggiore pari a $8\mu\text{m}$, in modo da limitare la corrente che entra nel secondo transistor. A tale proposito viene analizzato l'andamento della corrente nel d-subTFT in funzione della tensione $V_{D2,S2}$, a differenti valori di $V_{G,S2}$. In figura 4.16, viene quindi mostrata la posizione del punto di lavoro del transistor intero, trovata in precedenza (vedi fig. 4.14b), sulle caratteristiche $I_{D2}-V_{D2,S2}$.

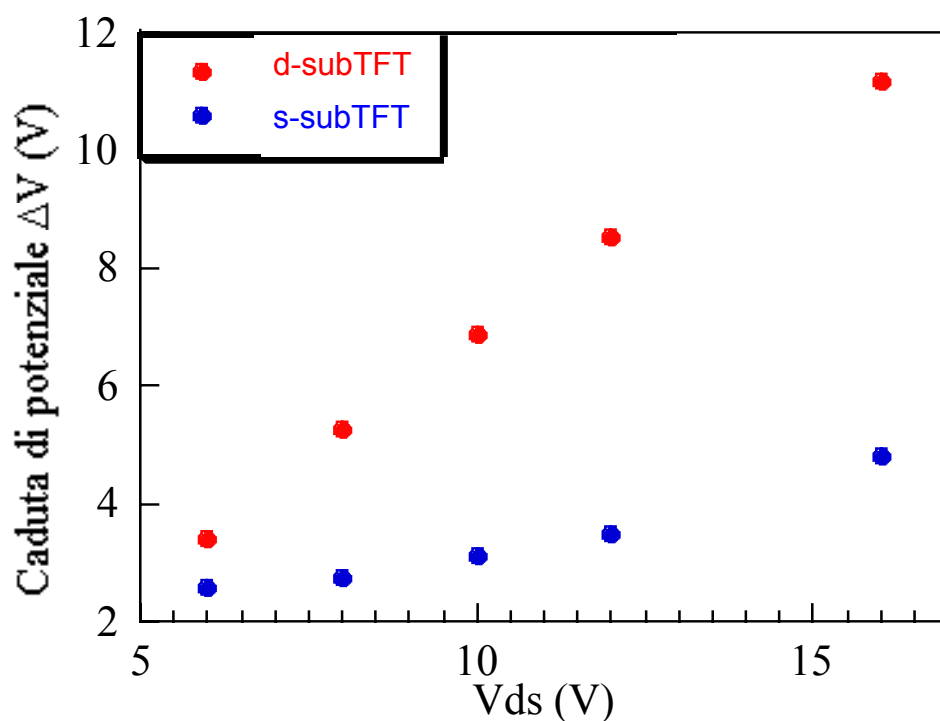


Figura 4.15 Caduta di potenziale sui singoli transistor s-subTFT ($L_1=8\mu\text{m}$) e d-subTFT ($L_2=2\mu\text{m}$).

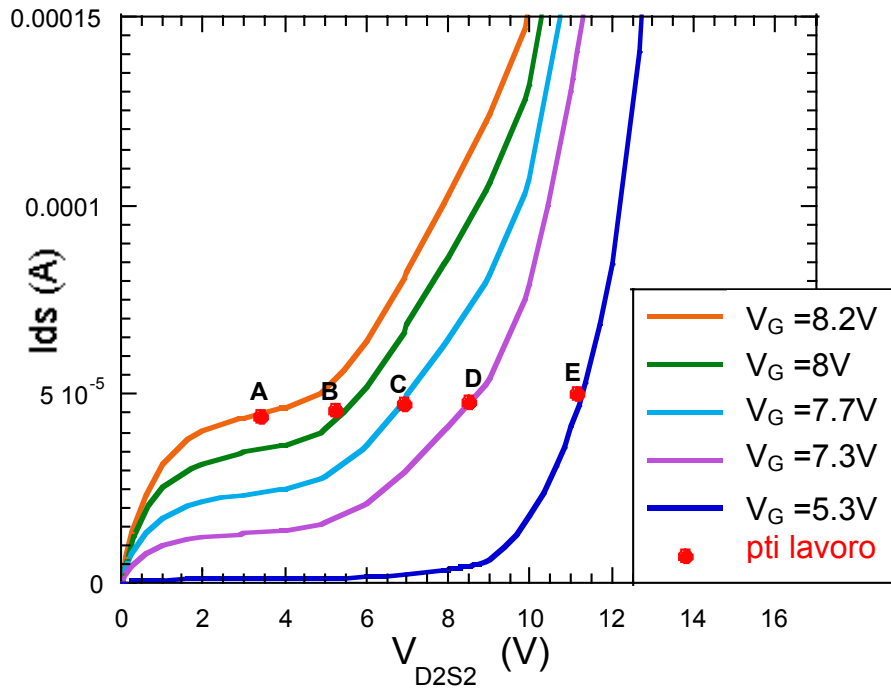


Figura 4.16 Caratteristiche di uscita del d-subTFT simulate a differenti tensioni di gate V_G , sulle quali sono stati sovrapposti i punti di lavoro ricavati nella figura 4.14b.

Finché il transistor intero è in saturazione, anche il d-subTFT è in tale regime (punto A); quando il dispositivo intero entra in regime di “kink” anche il d-subTFT andrà in “kink” (punti B, C, D, E). Si vede infatti in corrispondenza del punto B un leggero aumento della corrente (vedi fig. 4.14b). Contemporaneamente il s-subTFT, è in regime di saturazione (vedi fig. 4.14a), quindi limita il passaggio di corrente nel d-subTFT. Nei punti C, D, E il transistor corto va sempre più in regime di “kink” ma poiché il primo transistor continua a restare in zona di saturazione, la tensione $V_{G,S2}$ si deve aggiustare in modo da mantenere la corrente costante. Il punto di lavoro dovrà quindi spostarsi su differenti caratteristiche di uscita del transistor corto, caratterizzate da $V_{G,S2}$ sempre più bassi. Per valori di $V_{G,S2}$ intorno alla soglia dell’intero dispositivo $V_T = 5V$, il d-subTFT si spegne (punto E), e la conduzione è dovuta solamente all’effetto “kink”.

Viene ora studiato il caso in cui il primo transistor è quello corto da $2\mu m$ (s-subTFT), mentre il secondo quello vicino al drain è lungo $8\mu m$ (d-subTFT). Anche in questa configurazione la caduta di potenziale è maggiore per il transistor vicino al drain dell’intero dispositivo (vedi fig. 4.17).

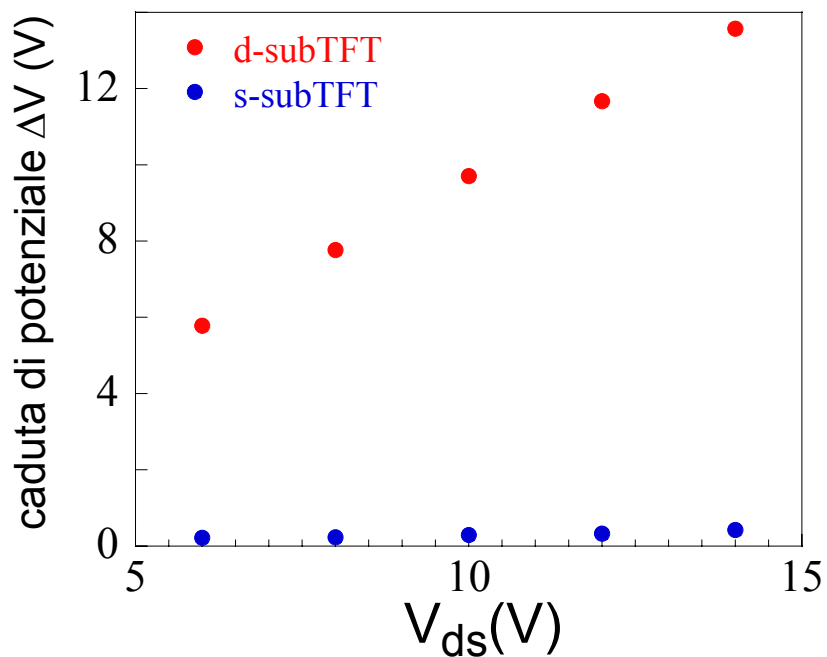


Figura 4.17 Caduta di potenziale sui singoli transistor s-subTFT ($L_1 = 2\mu m$) e d-subTFT ($L_2 = 8\mu m$).

Come nel caso precedente, vengono ricostruite le caratteristiche di uscita del dispositivo AFTFT con $L_2 = 8\mu m$ accoppiando i singoli transistor. In figura 4.18 viene mostrato l'ottimo accordo tra le caratteristiche di uscita del dispositivo intero e quello ricostruito.

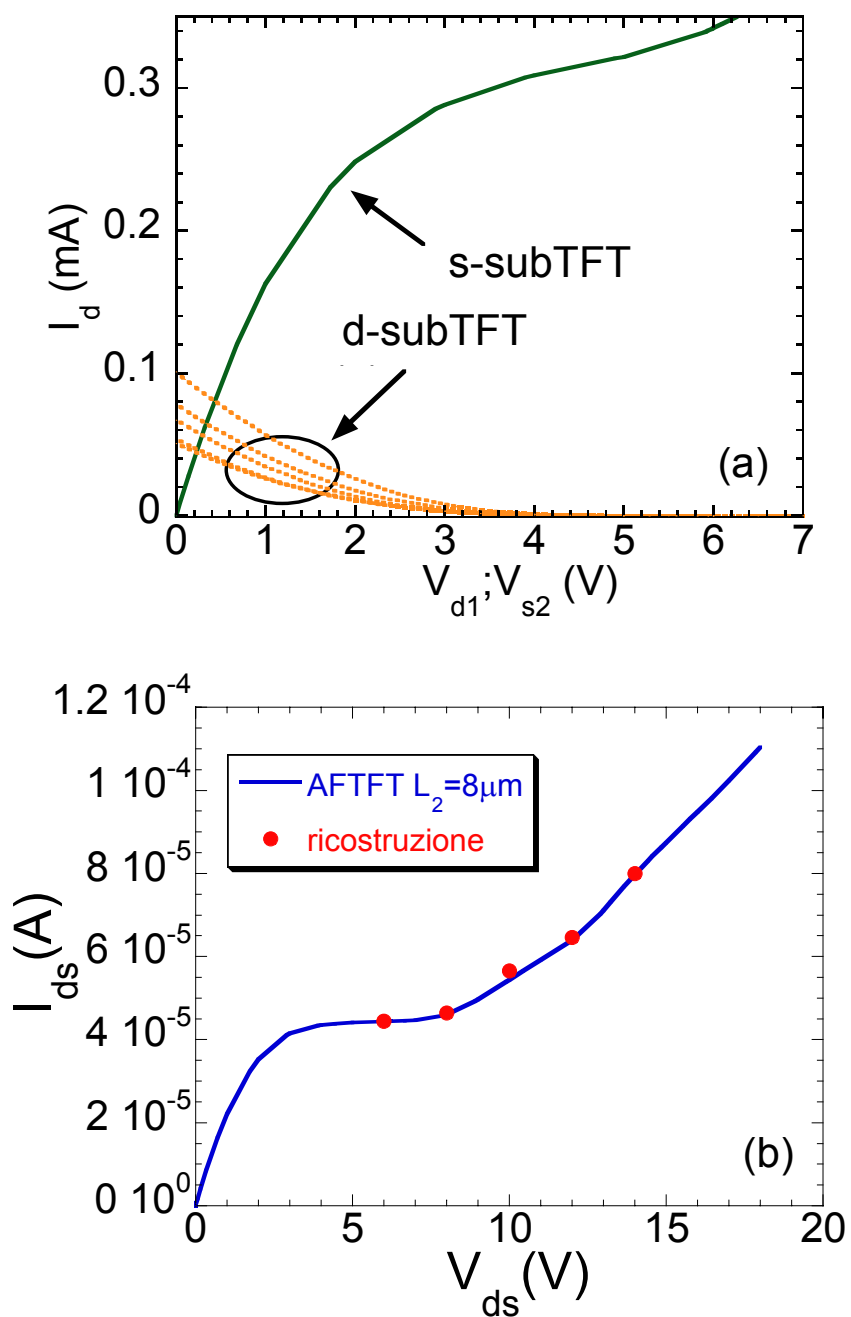


Figura 4.18 (a) Confronto della caratteristica di uscita I_D - V_{D1} del s-subTFT, $L_1 = 2 \mu m$, con gli andamenti I_D - V_{S2} a V_{D2} fissati (6, 8, 10, 12 e 14V) del d-subTFT, $L_2 = 8 \mu m$; (b) Ricostruzione della caratteristica di uscita del transistor AFTFT con $L_2 = 8 \mu m$. La tensione di gate utilizzata è $V_G = 7V$.

A differenza del caso precedente, il s-subTFT che ha il canale più corto pari a $2\mu m$, non è nella regione di saturazione, ma in regime lineare e non limita la corrente che fluisce nel secondo. Questo spiega l'aumento anomalo della corrente in un dispositivo AFTFT con $L_2 = 8\mu m$. Finora un'analisi circuitale del dispositivo AFTFT ci ha permesso di spiegare quantitativamente la differenza tra le caratteristiche di uscita nelle due configurazioni $L_2 = 8\mu m$ ed $L_2 = 2\mu m$ nella zona di "kink". Da un punto di vista qualitativo si può dire che la riduzione dell'effetto "kink" nell'AFTFT con $L_2=2\mu m$ è legato al confinamento delle lacune, generate per ionizzazione da impatto alla giunzione di drain, nel canale corto di lunghezza $2\mu m$. Infatti le lacune che raggiungono il contatto di source del transistor a canale corto, vengono qui ricombinate e pertanto viene inibita la loro propagazione nel transistor a canale lungo. In questo modo le lacune influenzano la corrente totale del dispositivo in una zona limitata al 20% della lunghezza totale del canale. Al contrario nel dispositivo AFTFT $L_2 = 8\mu m$, le lacune possono propagarsi in una frazione di canale più grande e il loro effetto sulla corrente totale del dispositivo è notevolmente maggiore (vedi fig. 4.8).

4.3.3 Simulazione 2-D dei dispositivi convenzionali nella regione di spegnimento (off) del transistor

Vengono ora analizzate le caratteristiche di OFF del dispositivo AFTFT con $L_2 = 2\mu m$. Il simulatore bidimensionale utilizzato è HFIELDS, un programma sviluppato presso il Dipartimento di Elettronica dell'Università di Bologna. Esso è in grado di simulare dispositivi a semiconduttore di qualsiasi forma geometrica. Risolve numericamente l'equazione di Poisson bidimensionale e le equazioni di continuità per gli elettroni e lacune dopo una opportuna discretizzazione delle stesse. La discretizzazione è basata sulla generazione di una griglia costituita da tanti elementi triangolari ravvicinati. Il programma di simulazione risolve le equazioni su ogni nodo, vertice del triangolo, mediante due metodi di risoluzione:

- la procedura iterativa di Gummel, che consiste nella soluzione consecutiva dell'equazione di Poisson e delle equazioni di continuità fin quando non si raggiunge la convergenza,

● il metodo di Newton-Raphson, dove l'intero insieme di 3N equazioni (con N numero di nodi) viene risolto simultaneamente tenendo conto dell'accoppiamento tra le variabili.

A differenza del programma DESSIS, HFIELDS dà la possibilità di simulare caratteristiche di trasferimento nella regione di spegnimento del transistor. E' infatti dotato dei meccanismi che regolano la corrente di "leakage", già descritti nel capitolo 2, come:

◆ il "Poole Frenkel" (PF), in cui la probabilità di emissione termica di un elettrone o una lacuna da uno stato di trappola è data da [1],

$$P_{em.term.} = A \exp\left(-\frac{E_i - \Delta E_i}{KT}\right) \quad (4.5)$$

◆ il "tunneling assistito da generazione termica" (TAT), in cui la probabilità di emissione termica di un elettrone (per la lacuna vale la stessa formula, basta considerare la banda di valenza E_V) da uno stato di trappola seguita da tunnel è data da [1],

$$P_{TOT} = AB \int_{E_t}^{E_C} \exp\left(-\frac{E - E_t}{KT}\right) \exp\left(-\frac{4}{3} \frac{(2m_e^*)^{\frac{1}{2}} (E_C - E)^{\frac{3}{2}}}{q\hbar F}\right) dE \quad (4.6)$$

◆ "tunneling tra bande" (BBT), in cui la generazione di elettroni e lacune è data da [1],

$$G_{BBT} = -C |F|^{\frac{5}{2}} D(|F|, E) \exp\left(-\frac{F_0}{F}\right) \quad (4.7)$$

I parametri utilizzati nelle simulazioni sono gli stessi precedentemente trovati per il regime di ON. In questo caso però, occorre determinare i parametri dei meccanismi che regolano la generazione di portatori in regime di off, quali il campo critico F_0 oltre il quale inizia il tunneling tra bande (BBT), la massa di tunnel per elettroni e lacuna m_{te} e m_{th} nel tunneling assistito da generazione termica (TAT), mentre per l'effetto "Poole-Frenkel" (PF) è importante il valore del campo elettrico di giunzione e la temperatura a cui lavora il dispositivo che supponiamo essere pari a $T=300K$. Sono state quindi simulate delle

caratteristiche di uscita I_D-V_{DS} in un intervallo compreso tra 0-10V e tensioni di gate negativa V_G . La scelta di simulare caratteristiche di uscita piuttosto che caratteristiche di trasferimento in un intervallo di V_G negative è stata fatta per aumentare le probabilità di convergenza dell'algoritmo del simulatore, infatti in questo modo il simulatore raggiunge gradualmente le alte tensioni di drain e quindi gli alti campi elettrici.

In figura 4.19 vengono mostrate rispettivamente, le caratteristiche di uscita simulate e sperimentali ad una tensione $V_G = -15.5V$, inoltre viene riportato il singolo contributo dei tre meccanismi sopra descritti.

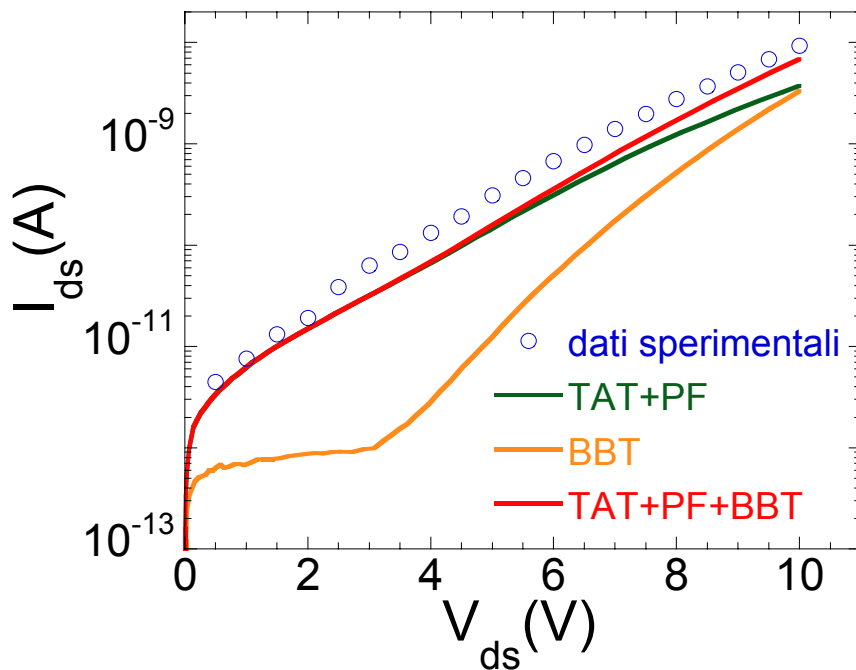


Figura 4.19 Confronto dati sperimentali e simulati delle caratteristiche di uscita in regime di off a $V_G = -15.5V$ del dispositivo convenzionale con lunghezza di canale $10\mu m$ e larghezza $20\mu m$. Vengono riportati i contributi alla corrente di spegnimento dei singoli meccanismi PF, TAT, BBT.

La figura evidenzia il buono accordo tra le caratteristiche simulate e sperimentali, inoltre si può notare come il contributo alla corrente di off dei meccanismi “*Poole-Frenkel*” e *tunneling assistito da generazione termica* aumenti al crescere della tensione di drain V_D . L’apporto del meccanismo di *tunneling tra bande* comincia ad essere rilevante a tensioni di drain intorno a 3V dove il campo elettrico alla giunzione di drain supera il campo critico F_0 . Nella tabella 3 sono riportati i parametri relativi al funzionamento del transistor in regione di OFF.

Massa di tunnel per elettroni e lacune	$m_{t,e} = 0.1$; $m_{t,h} = 0.1$
Campo critico	$F_0 = 8 \times 10^6 \text{ V/cm}$

Tabella 3 Parametri relativi al funzionamento del transistor nella regione di OFF.

4.3.4 Simulazione 2-D dei dispositivi AFTFT nella regione di spegnimento (off) del transistor

Gli stessi parametri utilizzati nella simulazione del dispositivo convenzionale (vedi Tab.3), vengono utilizzati per l'architettura AFTFT. In figura 4.20 sono confrontate le caratteristiche di uscita simulate e sperimentali di un transistor AFTFT con $L_2 = 2 \mu\text{m}$, per due tensioni di gate $V_G = -15.5 \text{ V}$ e $V_G = -6.5 \text{ V}$.

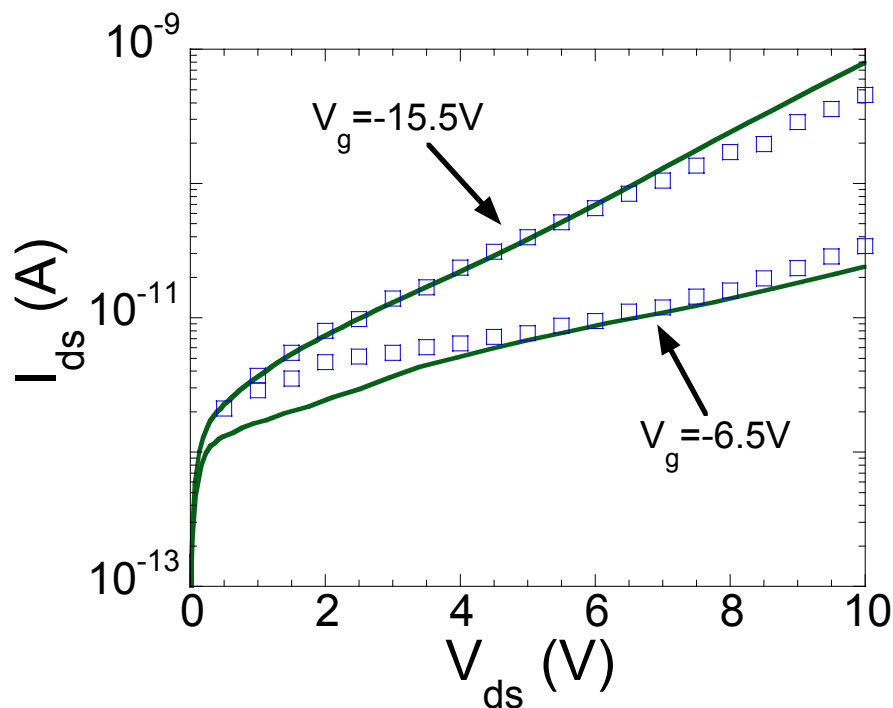


Figura 4.20 Confronto dati sperimentali (simboli) e simulati (linee) delle caratteristiche di uscita in regime di off a $V_G = -15.5 \text{ V}$ e $V_G = -6.5 \text{ V}$ di un dispositivo AFTFT con $L_2 = 2 \mu\text{m}$.

Anche in questo caso è evidente il buono accordo tra le caratteristiche simulate e sperimentali alle diverse tensioni di gate. Viene inoltre mostrato un confronto tra le

caratteristiche simulate del dispositivo convenzionale precedentemente analizzato ed AFTFT con $L_2 = 2\mu\text{m}$ a due tensioni di gate $V_G = -15.5\text{V}$ e $V_G = -6.5\text{V}$ (vedi fig. 4.21).

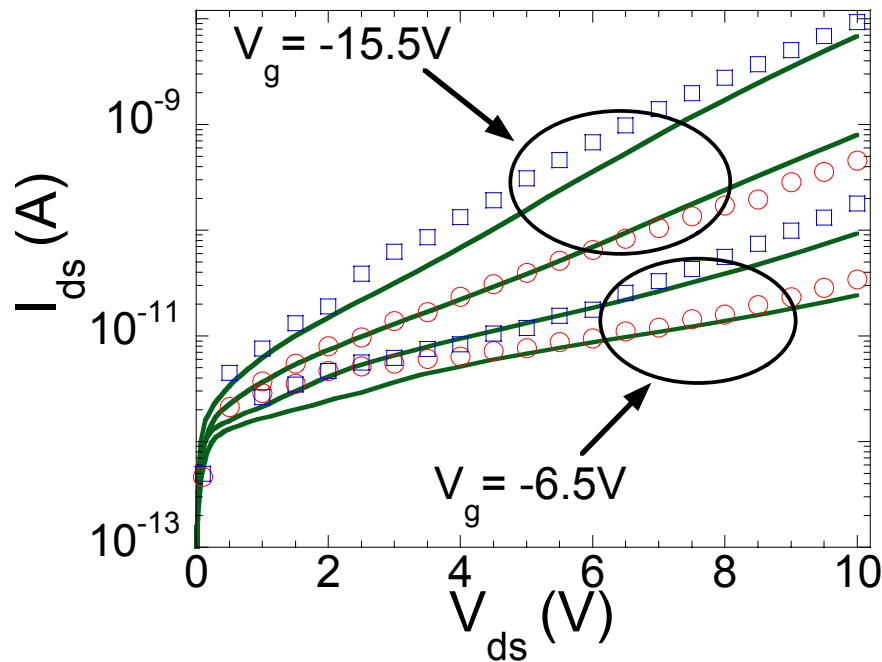


Figura 4.21 Off-current misurata in TFT convenzionali (cerchi) e AFTFT con $L_2 = 2\mu\text{m}$ (quadrati). Vengono anche riportate le rispettive caratteristiche simulate (linee).

Dalla figura si può notare che all'aumentare della tensione di drain, l'incremento della corrente nella regione di off del transistor è molto limitato nei dispositivi con architettura AFTFT, rispetto ai transistor in configurazione standard. Infatti il valore della corrente in un transistor AFTFT ad una polarizzazione pari a $V_G = -15,5\text{V}$ e $V_{DS} = 10\text{V}$, è almeno una decade più bassa rispetto a quella di un dispositivo convenzionale. Come già detto in precedenza, questo è un risultato molto importante, perché i TFT utilizzati nei circuiti digitali lavorano generalmente a tensioni di drain abbastanza elevate; è quindi necessario che il rapporto on/off rimanga almeno dell'ordine di 10^5 .

Per dare una spiegazione del perché un dispositivo AFTFT con $L_2 = 2\mu\text{m}$ ha una corrente più bassa rispetto ad un transistor convenzionale ad alte tensioni di drain, vengono analizzate in dettaglio tutti i risultati forniti dalle simulazioni numeriche. In figura 4.22 viene riportato l'andamento del potenziale all'interfaccia canale-ossido di gate per un dispositivo convenzionale ed AFTFT ad una polarizzazione pari a $V_{DS} = 10\text{V}$ e $V_G = -15.5\text{V}$. La figura mostra come nel transistor in configurazione standard il potenziale cade

unicamente sulla giunzione di drain polarizzata in inversa mentre nell'AFTFT, la caduta di potenziale è ripartita su due giunzioni polarizzate in inversa. Questo andamento del potenziale si riflette naturalmente nella distribuzione del campo elettrico (vedi fig. 4.23), dove viene illustrato il campo elettrico longitudinale, parallelo alla corrente, per la stessa polarizzazione $V_{DS} = 10V$ e $V_G = -15.5V$. Come si può notare il valore massimo del campo elettrico nell'AFTFT è più basso rispetto a quello di un dispositivo convenzionale. Questo comporta una riduzione della generazione di coppie elettrone-lacuna indotta dai tre meccanismi "field enhanced" (*tunneling tra bande*, *tunneling assistito da generazione termica* e "*Poole-Frenkel*") e conseguentemente della corrente che scorre nell'AFTFT. Nelle figure 4.24 e 4.25 vengono mostrati gli andamenti della generazione di coppie elettrone-lacuna nelle due diverse architetture dovute al tunneling assistito da generazione termica (meccanismo predominante); è evidente che una minore generazione è presente nel dispositivo AFTFT.

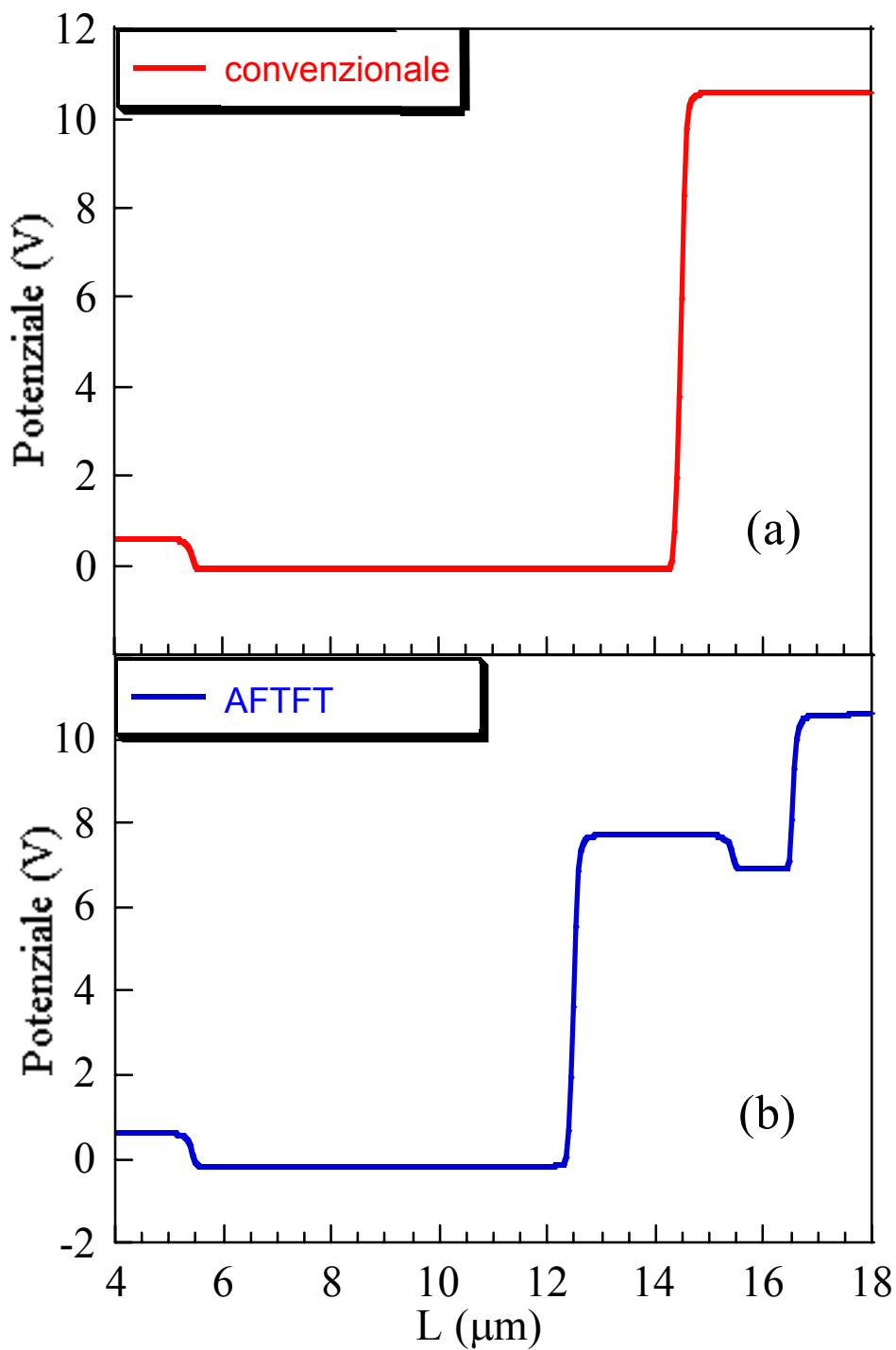


Figura 4.22 Andamento del potenziale all'interfaccia ossido di gate-canale, per un dispositivo (a) convenzionale e (b) AFTFT con $L_2 = 2 \mu\text{m}$.

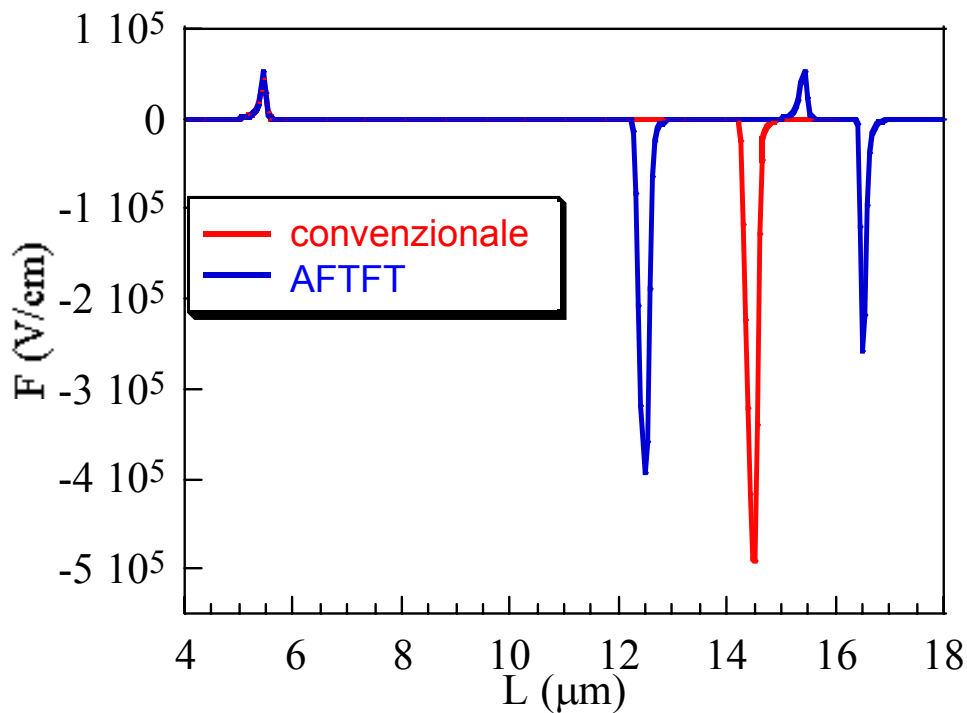


Figura 4.23 Andamento del campo elettrico parallelo alla corrente all'interfaccia ossido di gate-canale, per un dispositivo convenzionale ed AFTFT con $L_2 = 2 \mu m$.

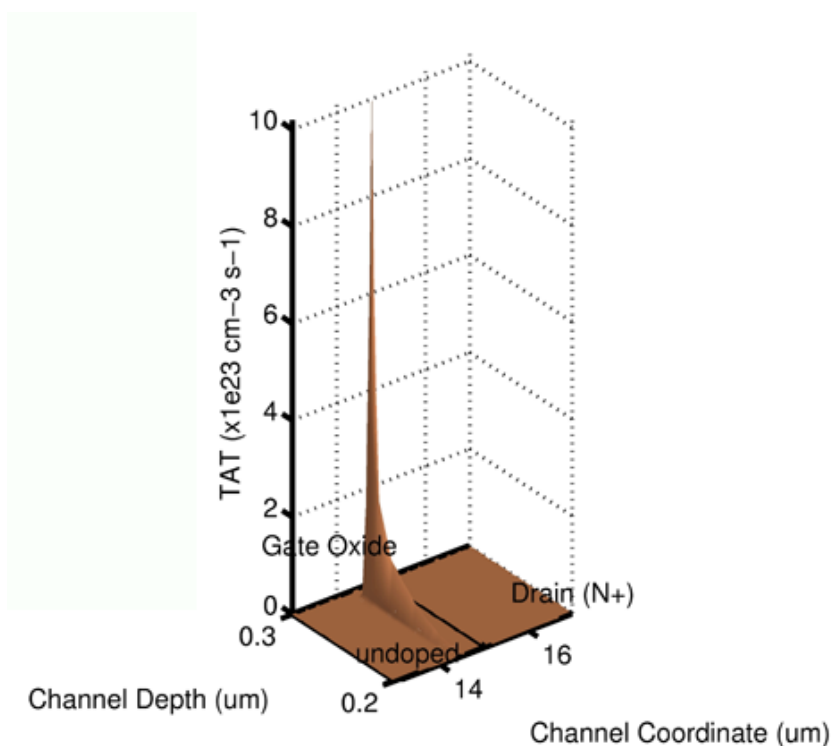


Figura 4.24 Andamento della generazione di coppie elettrone-lacuna alla giunzione di drain nel dispositivo convenzionale.

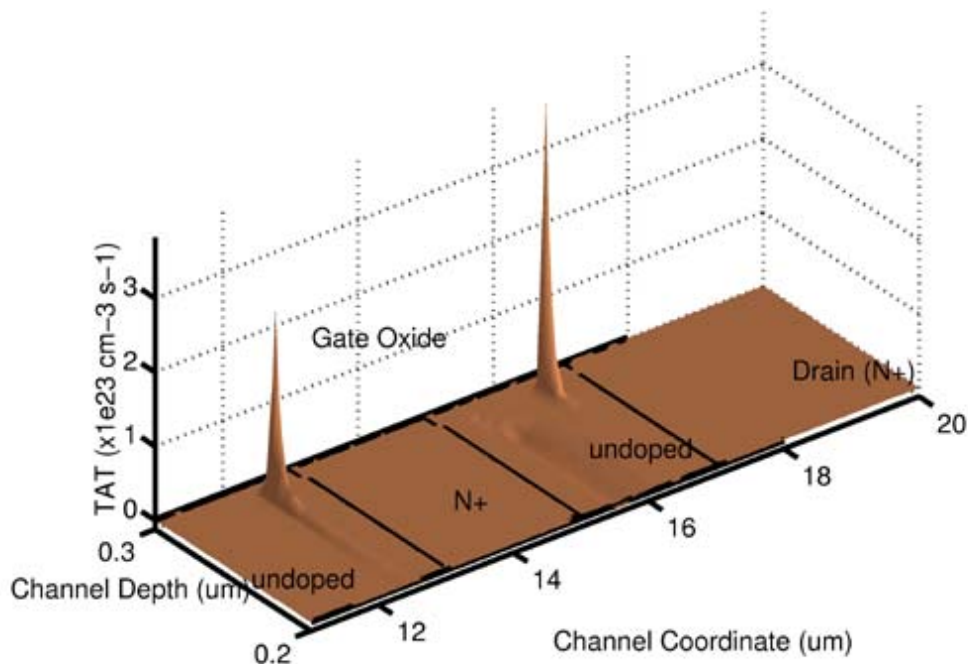


Figura 4.25 Andamento della generazione di coppie elettrone-lacuna alle due giunzioni polarizzate in inversa, quella di drain e quella interna tra il canale lungo $8\mu m$ e la zona drogata n^+ , nel dispositivo AFTFT con $L_2 = 2\mu m$.

Nell'analisi svolta in precedenza per i dispositivi AFTFT in regime di accensione del transistor (on) si era notata una enorme differenza nelle caratteristiche di uscita sperimentali nel caso in cui la regione drogata era posta ad una distanza $L_2 = 2\mu m$ ed $L_2 = 8\mu m$. Gli andamenti erano stati poi confermati dalle simulazioni e spiegati con il modello a due transistor. Ora ci proponiamo di analizzare le differenze delle due configurazioni in regime di off. Sono state quindi simulate delle caratteristiche di uscita I_D - V_{DS} in un intervallo compreso tra $0-10V$ e tensioni di gate negativa pari a $V_G = -15,5V$. Per facilitare la convergenza dell'algoritmo del simulatore, è stata utilizzato un valore più alto della massa di tunnel per elettroni e lacune nel *tunneling assistito da generazione termica*, pari a $m_{te} = m_{th} = 0.15$; gli altri parametri sono rimasti invariati. I risultati ottenuti sono riportati nella seguente figura (vedi fig.4.26).

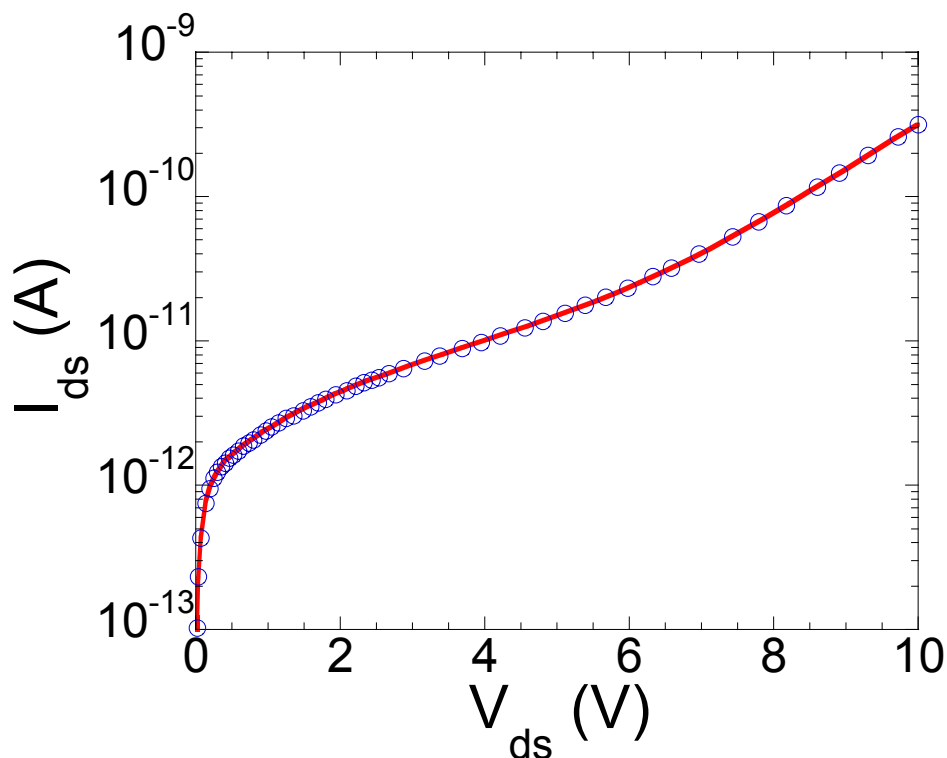


Figura 4.26 Confronto delle caratteristiche di uscita simulate in regime di off ($V_G = -15.5V$) dei dispositivi AFTFT con $L_2 = 2\mu m$ (linea) ed $L_2 = 8\mu m$ (cerchi). Il valore della massa di tunnel utilizzato nelle simulazioni è $m_{te} = m_{th} = 0.15$.

Come si evince dalla figura le caratteristiche di uscita per le due configurazioni sono simili. Questo risultato evidenzia il fatto che in regime di off non è importante la posizione della zona drogata all'interno del canale, ma l'importante è frazionare il canale in modo che la caduta di potenziale si distribuisca su più giunzioni e il valore massimo del campo elettrico venga così ridotto. La situazione in regime di spegnimento (off) è quindi molto diversa da quella in regime di accensione (on) ma questo era plausibile in quanto in regime di on dove la conduzione è data dagli elettroni, le lacune generate per ionizzazione da impatto ai due elettrodi di drain D_1 e D_2 dei due singoli transistor, s-subTFT e d-subTFT, giocano un ruolo fondamentale. Infatti le lacune danno luogo all'effetto PBT che incrementa notevolmente la corrente; mentre in regime di off dove la conduzione è dovuta alle lacune, gli elettroni non hanno lo stesso ruolo che le lacune avevano in regime di on perché non vi è un analogo dell'effetto PBT. Il ruolo degli elettroni in regime di off è infatti molto marginale; consideriamo l'integrale della generazione di coppie elettrone-

lacuna dovuta ai tre meccanismi “field enhanced” nella zona intorno alla giunzione di drain in un dispositivo AFTFT con $L_2 = 2\mu\text{m}$ (vedi fig. 4.27).

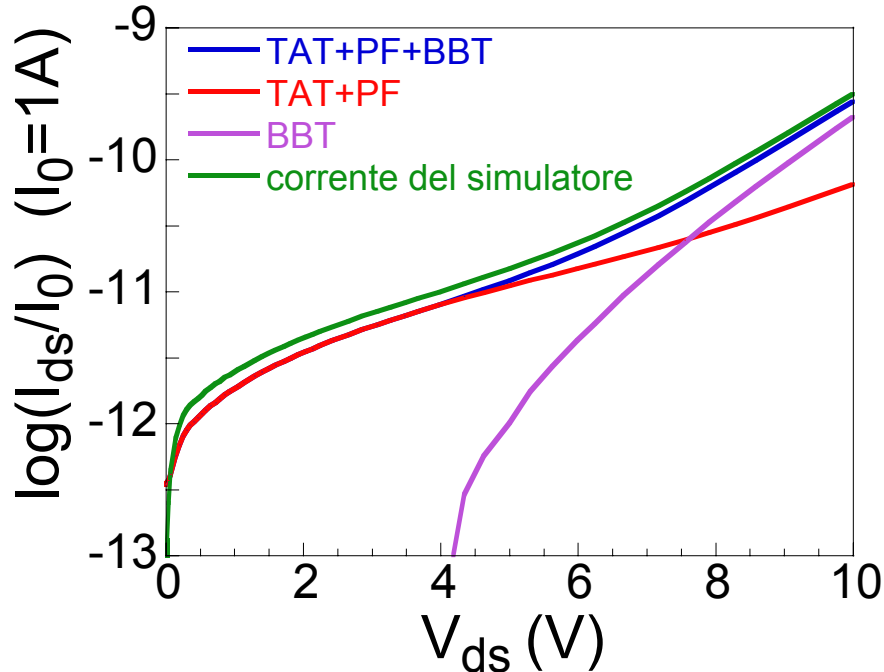


Figura 4.27 Confronto tra la corrente fornita dal simulatore e l’integrale della generazione di coppie elettrone-lacuna dovute ai vari meccanismi: tunneling tra bande (BBT), tunneling assistito da generazione termica (TAT) più “Poole Frenkel” (PF) che si hanno alla giunzione di drain di un dispositivo AFTFT con $L_2 = 2\mu\text{m}$. La polarizzazione utilizzata è $V_G = -15.5\text{V}$.

Dalla figura è evidente che l’integrale della generazione non è esattamente uguale al valore della corrente fornita dal simulatore, come ci si potrebbe aspettare, ma è leggermente inferiore. Per spiegare questa discrepanza, è stato analizzato l’andamento della concentrazione di elettroni nel retrocanale per una polarizzazione pari a $V_{DS} = 10\text{V}$ e $V_G = -15.5\text{V}$. In figura 4.28 si nota un evidente iniezione di elettroni dalla zona drogata n^+ all’interno del canale corto di lunghezza $2\mu\text{m}$ e una iniezione di elettroni dal source, polarizzato leggermente in diretta, verso il canale lungo $8\mu\text{m}$.

L'iniezione di questi elettroni è significativa solamente nel canale corto dove gli elettroni iniettati dalla zona drogata vengono raccolti al drain.

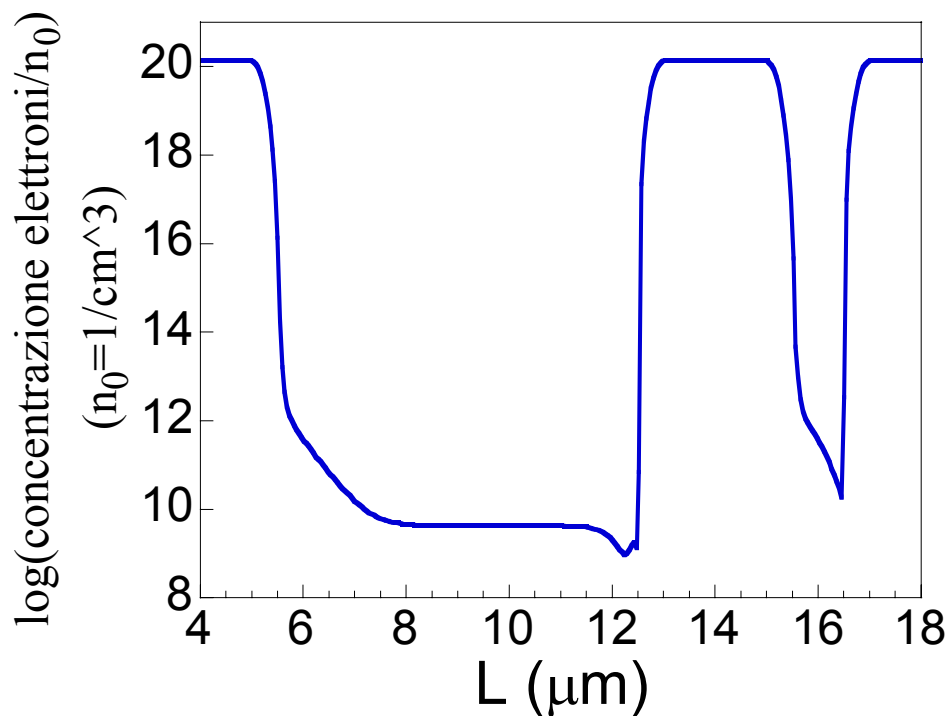


Figura 4.28 Concentrazione di elettroni all'interfaccia canale-substrato.

Al contrario gli elettroni iniettati nel canale lungo $8 \mu\text{m}$ vengono intrappolati dagli stati di trappola e non contribuiscono alla corrente. Quanto detto è riportato in figura 4.29 dove viene illustrato l'andamento della corrente di elettroni e lacune nell'intero dispositivo.

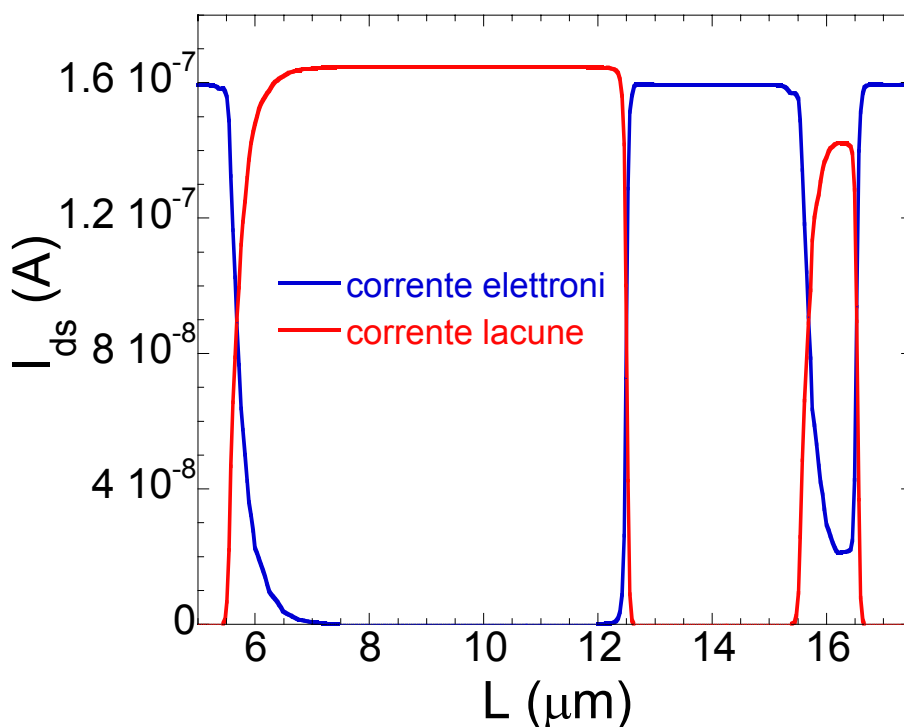


Figura 4.29 Corrente di elettroni e lacune ad una polarizzazione pari a $V_G = -15.5V$ e $V_{DS} = 10V$.

E' quindi evidente che la corrente nel canale corto è data sia dagli elettroni iniettati dalla zona drogata n^+ che dalle lacune generate dalla giunzione di drain, mentre nel canale lungo $8\mu m$ la corrente è data dalle sole lacune generate dalla giunzione interna, posizionata tra il canale lungo e la zona drogata interna al canale, polarizzata in inversa. Siccome la corrente totale nel dispositivo deve essere costante, la giunzione interna al canale dovrà generare di più rispetto alla giunzione di drain, e l'integrale della generazione nella zona intorno alla giunzione interna darà l'esatto valore della corrente fornita dal simulatore. In figura 4.30 viene quindi illustrato l'ottimo accordo tra l'andamento dell'integrale della generazione e la corrente fornita dal simulatore.

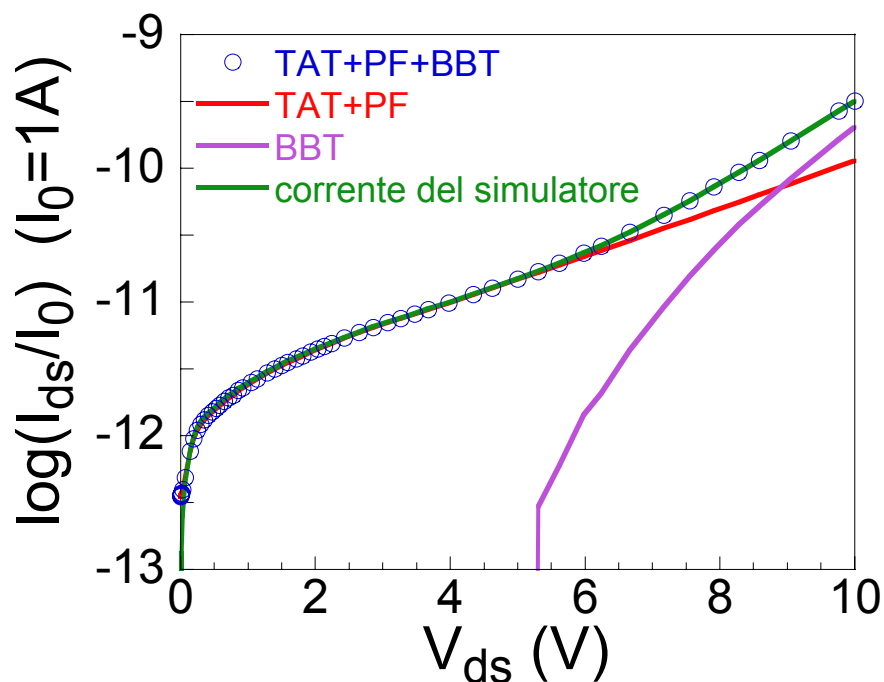


Figura 4.30 Confronto tra la corrente fornita dal simulatore e l'integrale della generazione di coppie elettrone-lacuna dovuta ai vari meccanismi: tunneling tra bande (BBT), tunneling assistito da generazione termica (TAT) e "Poole Frenkel" (PF) che si hanno alla giunzione interna di un dispositivo AFTFT con $L_2 = 2\mu m$. La polarizzazione utilizzata è $V_G = -15.5V$.

Il discorso fatto sino ad ora per un transistor AFTFT con $L_2 = 2\mu m$, vale anche per un dispositivo con $L_2 = 8\mu m$; naturalmente l'iniezione di elettroni nel canale corto è dovuta al source e la giunzione che genera di più in questo caso, è la giunzione di drain. In figura 4.31 viene mostrato l'andamento della corrente fornita dal simulatore e dell'integrale della generazione nella zona di drain.

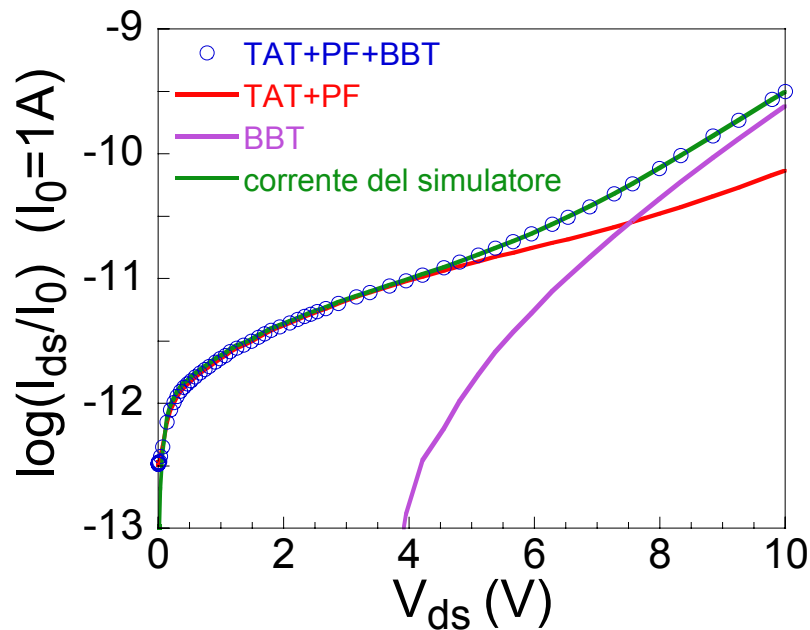


Figura 4.31 Confronto tra la corrente fornita dal simulatore e l'integrale della generazione di coppie elettrone-lacuna dovute ai vari meccanismi: tunneling tra bande (BBT), tunneling assistito da generazione termica (TAT) più "Poole Frenkel" (PF) che si hanno alla giunzione di drain per un dispositivo AFTFT con $L_2 = 8\mu m$. La polarizzazione utilizzata è $V_G = -15.5V$.

4.4 Stabilità elettrica dei dispositivi convenzionali ed AFTFT

Nelle diverse applicazioni dei TFT in polisilicio, come display a cristalli liquidi (AMLCD), o a diodi organici (AMOLED), le tensioni di polarizzazione tendono ad essere piuttosto elevate, pertanto i dispositivi operano in condizioni di elevati campi elettrici. Questo comporta un degrado elettrico delle caratteristiche del dispositivo dovuto al fenomeno degli hot carrier. In questo paragrafo saranno illustrate le misure di stress elettrico relative ai transistor convenzionali ed AFTFT; le misure sono state effettuate alla soglia del dispositivo dove la ionizzazione da impatto è massima ed a diversi valori della tensione di drain.

In figura 4.32 vengono mostrate le caratteristiche di trasferimento di un transistor convenzionale stressato a $V_g(\text{stress}) = V_t$ e $V_{ds}(\text{stress}) = 18V$ per un tempo di 50000s. Come si può notare vi è un forte degrado della trasconduttanza dovuta alla formazione di stati interfacciali, vicino alla giunzione di drain, che agiscono come una resistenza in serie al

canale. Le caratteristiche di uscite mostrate in figura 4.33 evidenziano un comune punto d'incrocio, che contraddistingue due regioni abbastanza nette: a basse V_{ds} si nota un abbattimento della corrente dovuta alla resistenza introdotta dalla presenza di stati interfacciali, mentre ad alte tensioni, dove si ha un aumento della ionizzazione da impatto causato dalla presenza di stati interfacciali alla giunzione di drain, si ottiene un aumento della corrente di kink [2]-[3].

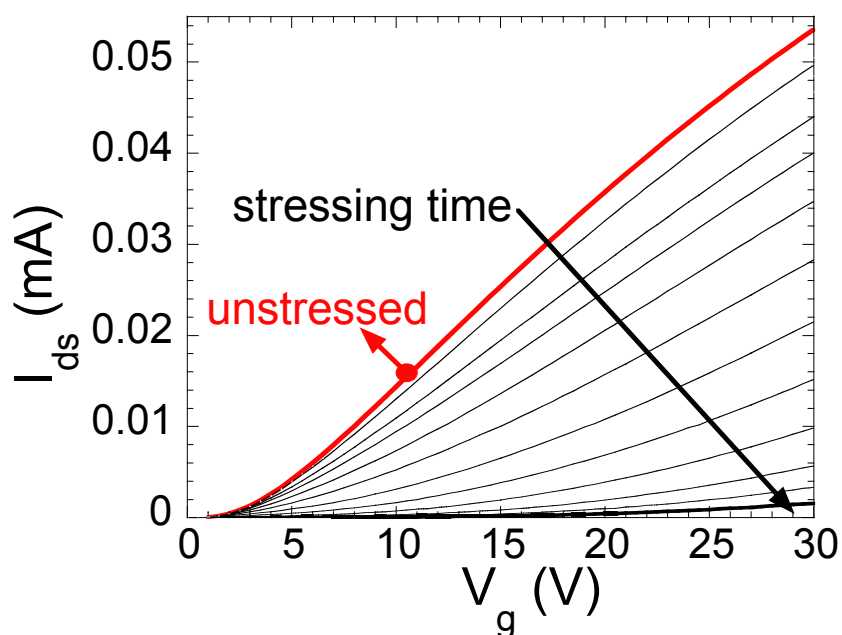


Figura 4.32 Caratteristiche di trasferimento di TFT con architettura convenzionale misurate, a bassa V_{ds} (0.1V), prima e dopo differenti tempi di stress (0-50000s). Condizioni di stress: $V_g(\text{stress})=V_t$ e $V_{ds}(\text{stress})=18V$.

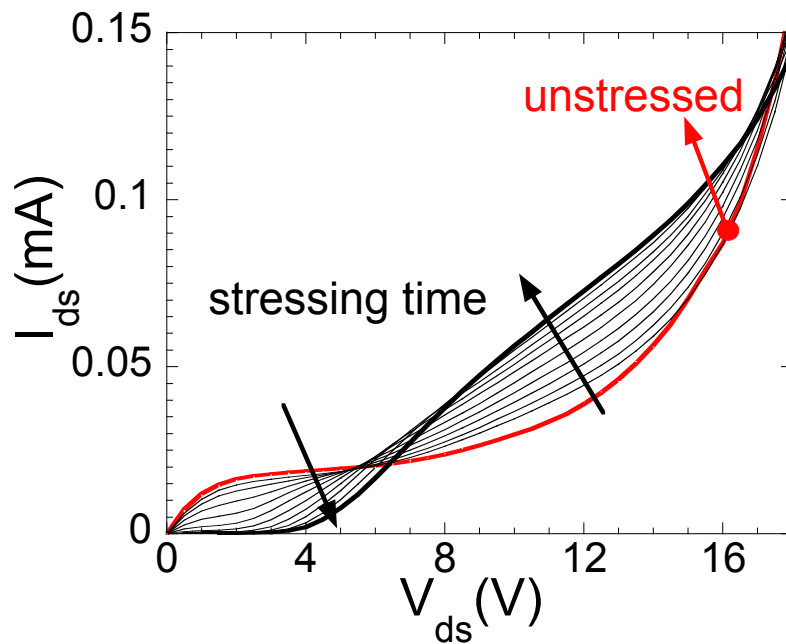


Figura 4.33 Caratteristiche di uscita di TFT con architettura convenzionale misurate, a $V_g=V_t$, prima e dopo differenti tempi di stress (0-50000s). Condizioni di stress: $V_g(\text{stress})=V_t$ e $V_{ds}(\text{stress})=18\text{V}$.

Le caratteristiche di trasferimento e di uscita di dispositivi AFTFT misurate a diversi tempi di stress a $V_g(\text{stress})=V_t$ e $V_{ds}(\text{stress})=10, 18, 25\text{V}$ vengono mostrate nelle figure 4.34 e 4.35. Come si può vedere dalla figura 4.34a e 4.35a, lo stress a $V_{ds}=10\text{V}$ lascia le caratteristiche pressoché invariate. Aumentando la $V_{ds}(\text{stress})$ si ottiene un progressivo degrado delle caratteristiche elettriche, infatti per $V_{ds}=18\text{V}$ è evidente un degrado della trasconduttanza (4.34b) che si riflette in una riduzione della corrente nella regione lineare e intorno al pinch-off nelle caratteristiche di uscita (4.35b). Inoltre confrontando le figure 4.34b e 4.35b con 4.32 e 4.33 si può vedere che una struttura AFTFT è molto più stabile di un dispositivo convenzionale alle stesse condizioni di stress. In particolare è evidente che la corrente di drain dopo il pinch-off (regione di saturazione) rimane inalterata dopo lo stress (vedi fig. 4.35b). A tensioni di drain più elevate $V_{ds}=25\text{V}$, la trasconduttanza è fortemente degradata (vedi fig. 4.34c) e la corrente di drain nelle caratteristiche di uscita è sostanzialmente ridotta per $V_{ds}<7\text{V}$ e $V_{ds}>20\text{V}$, ma rimane stabile nel regime di saturazione, $7\text{V}<V_{ds}<20\text{V}$.

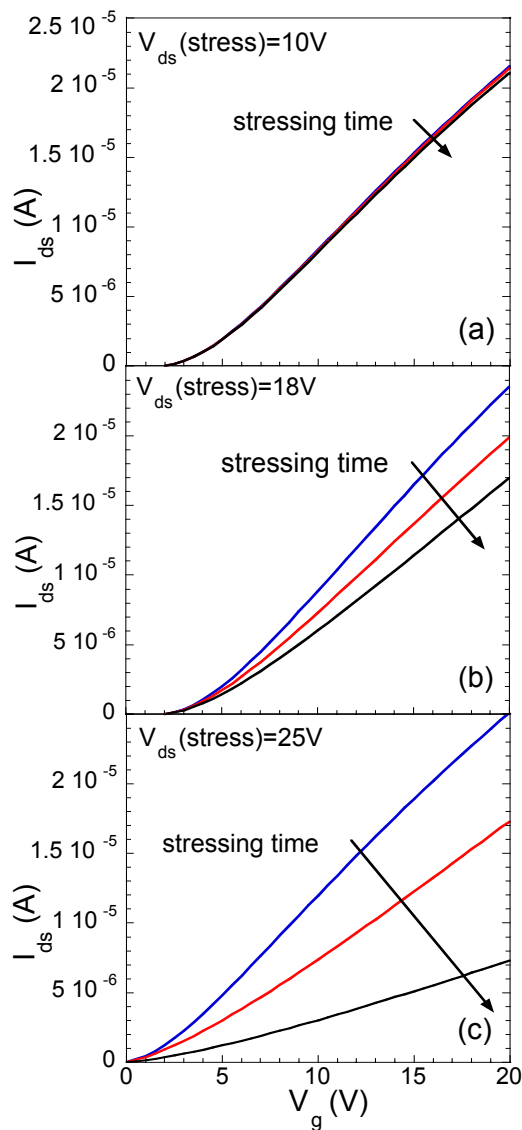


Figura 4.34 Caratteristiche di trasferimento di TFT con architettura AFTFT misurate, a bassa V_{ds} (0.1V), prima e dopo differenti tempi di stress (0-50000s). Condizioni di stress: $V_g(\text{stress})=V_t$ e $V_{ds}(\text{stress})$ come indicato.

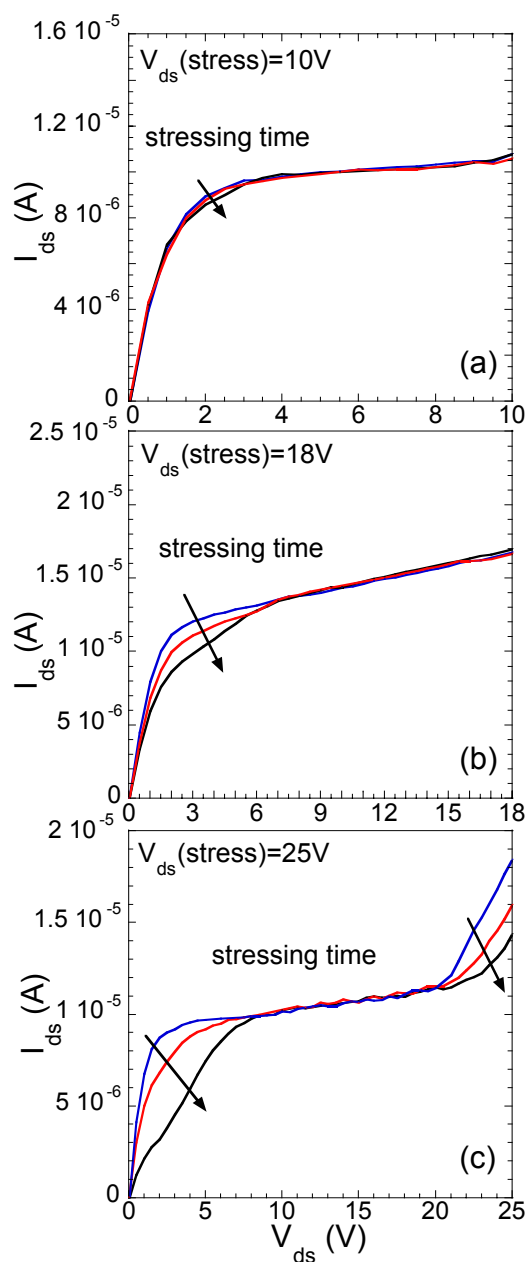


Figura 4.35 Caratteristiche di uscita di TFT con architettura AFTFT misurate, a $V_g=V_t$, prima e dopo differenti tempi di stress (0-50000s). Condizioni di stress: $V_g(\text{stress})=V_t$ e $V_{ds}(\text{stress})$ come indicato.

Per analizzare più in dettaglio l'andamento dello stress nei dispositivi AFTFT è stata realizzata una struttura di test che permette di contattare la regione n^+ flottante all'interno del canale, in modo da misurare singolarmente le caratteristiche elettriche dei due sub-TFT.

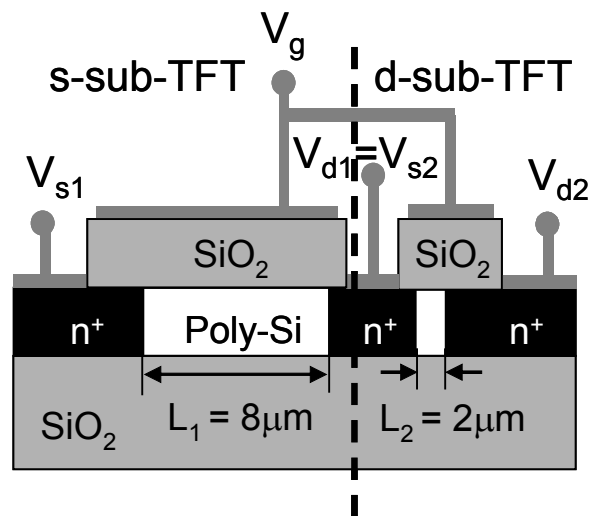


Figura 4.36 Schematizzazione della struttura AFTFT di test, che permette di accedere direttamente ai due sub-TFT, s-sub-TFT ($L_1=8\mu\text{m}$) e d-sub-TFT ($L_2=2\mu\text{m}$).

Le caratteristiche di trasferimento dei due sub-TFT misurate prima e dopo lo stress effettuato alle stesse condizioni precedentemente utilizzate vengono mostrate in figura 4.37. Si può notare che a $V_{ds}(\text{stress})=10\text{V}$ (vedi fig. 4.37a) il s-subTFT rimane inalterato, mentre il d-subTFT si degrada leggermente. A $V_{ds}(\text{stress})=18\text{V}$ la corrente del d-subTFT è fortemente degradata divenendo confrontabile a quella del s-subTFT (vedi fig. 4.37b) e le caratteristiche di trasferimento dell'AFTFT iniziano a degradarsi (vedi fig. 4.34b). In generale si può dire che la serie dei due sub-TFT si comporta, a basse V_{ds} , come la serie di due resistenze e che la corrente nell'AFTFT inizia ad essere influenzata dal degrado del d-subTFT quando la sua resistenza di canale diventa paragonabile a quella del s-subTFT.

La stabilità della regione di saturazione nell'AFTFT è invece dovuta al fatto che ad elevate V_{ds} il s-subTFT si trova in regime di saturazione, perché la maggior parte della V_{ds} applicata è assorbita dal d-subTFT, e quindi limita la corrente che fluisce nel transistor vicino al drain. Inoltre il s-subTFT non è interessato da fenomeni di hot carrier durante lo stress a $V_{ds}(\text{stress})=18\text{V}$ (vedi fig. 4.37b) e quindi variazioni della caduta di potenziale, indotti dagli hot carrier, nel d-subTFT muovono il punto di lavoro del s-subTFT sulla sua inalterata regione di saturazione mantenendo così la corrente nell'AFTFT molto stabile.

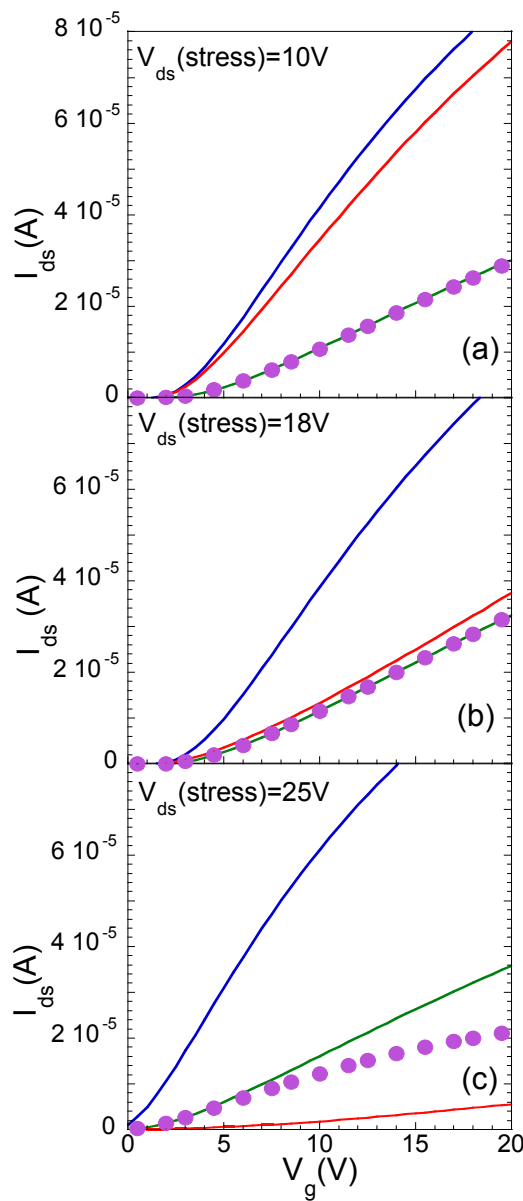


Figura 4.37 Caratteristiche di trasferimento misurate a bassa V_{ds} (0.1V) per s-subTFT prima dello stress (linea verde) e dopo 50000s (cerchi) e per d-subTFT prima dello stress (linea blu) e dopo 50000s (linea rossa). Condizioni di stress: $V_g(\text{stress})=V_t$ e $V_{ds}(\text{stress})$ come indicato.

Per polarizzazioni di stress più elevate $V_{ds}(\text{stress})=25\text{V}$ le caratteristiche di uscita mostrano oltre $V_{ds}=20\text{V}$ un aumento di corrente triggerato dalla ionizzazione da impatto al drain del s-subTFT. Infatti ad elevate tensioni di drain il potenziale V_{dl} assume un valore abbastanza elevato da innescare l'effetto kink. In queste condizioni di polarizzazione si osserva una drastica riduzione della corrente nel d-subTFT accompagnata da un leggero degrado del s-

subTFT (vedi fig. 4.37c). Anche in questo caso nonostante il degrado del d-sub-TFT la regione di saturazione ($7V < V_{ds} < 20V$) rimane abbastanza stabile. Per investigare quantitativamente il fenomeno della stabilità nell'AFTFT abbiamo effettuato uno stress elettrico a $V_{ds}(\text{stress})=15V$ analizzando lo stress del d-subTFT. In particolare è stato monitorato il valore del potenziale $V_{s2}=V_{d1}$ durante lo stress. E' stato trovato che il valore $V_{ds1}=V_{s1}-V_{d1}$ diminuisce durante lo stress passando da 5.5V prima dello stress a 5.35V dopo 10000s. Tale variazione di V_{ds1} è dovuto solo al degrado indotto da hot carrier nel d-subTFT, infatti in queste condizioni di polarizzazione il s-subTFT rimane stabile.

La variazione di V_{ds1} comporta uno spostamento del punto di lavoro dell'AFTFT nella regione di saturazione del s-subTFT, mantenendo la corrente di drain ad un fissato valore (vedi inset fig. 4.38). La variazione di V_{d1} (V_{s2}) indotto dallo stress, incrementa nel d-subTFT le differenze di potenziale $V_{ds2}=V_{d2}-V_{s2}$ e la $V_{gs2}=V_g-V_{s2}$. Tale incremento è necessario per mantenere la corrente che fluisce nel d-subTFT (degradato dal fenomeno HCE) al valore fissato dal s-subTFT (vedi fig. 4.38).

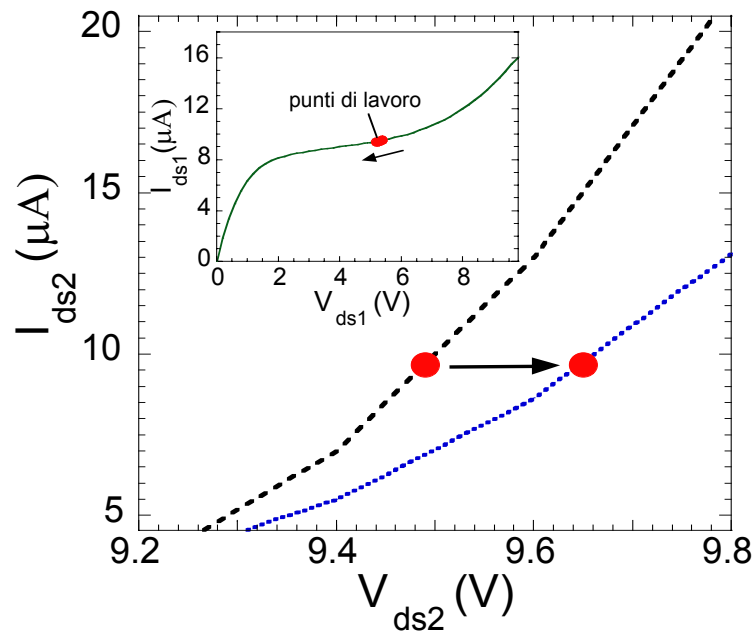


Figura 4.38 Variazione del punto di lavoro nel d-subTFT dovuta al degrado del dispositivo durante lo stress. Nell'inset è evidente che tale variazione si posiziona nella regione di saturazione del s-subTFT.

Bibliografia

- [1] L. Colalongo, M. Valdinoci, G. Baccarani, P. Migliorato, G. Taillarda, and C. Reita, *Solid State Electronics* (1997) 627.
- [2] L. Mariucci, G. Fortunato, R. Carluccio, A. Pecora, S. Giovannini, F. Massussi, L. Colalongo and M. Valdinoci, *J. Appl. Phys.* 84, 2341 (1998).
- [3] A. Valletta, L. Mariucci, A. Pecora, G. Fortunato, J. R. Ayres, and S. D. Brotherton, *Thin Solid Films* 427, 117 (2003).