Capitolo 3

Realizzazione e caratterizzazione di TFT a canale n con architettura convenzionale

In questo capitolo verrà illustrato dettagliatamente il processo di fabbricazione e la caratterizzazione elettrica di transistor a film sottile a canale n a silicio policristallino (TFT) con architettura convenzionale. I dispositivi realizzati sono stati fabbricati interamente presso l'Istituto di fotonica e nanotecnologie (IFN-CNR) dove è presente una *camera pulita* di classe 1000, che è un ambiente deumidificato ripulito da polveri a temperatura costante, circa 20°*C*.

3.1 Processo di fabbricazione dei TFT con contatti di source e drain definiti mediante rimozione selettiva dello strato drogato

Il processo convenzionale per la realizzazione dei transistor a film sottile a silicio policristallino è del tutto analogo a quello utilizzato nella tecnologia SOI (Silicon On Insulator). Esso prevede l'impiantazione ionica per il drogaggio delle regioni di source e drain, seguita da annealing termico per l'attivazione del drogante. Nella seguente figura (vedi fig. 3.1) vengono riportate le principali fasi del processo.

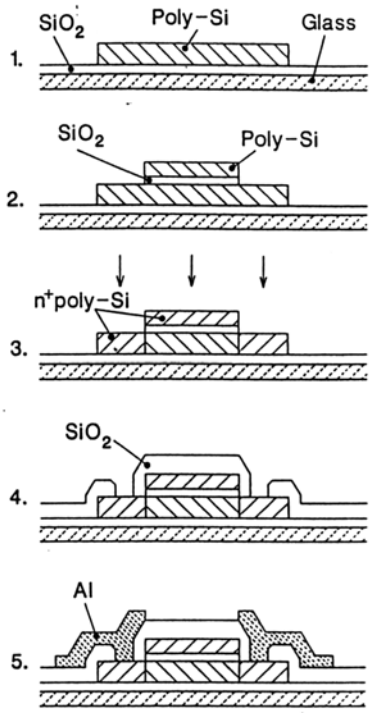

Figura 3.1 Fasi del processo di fabbricazione convenzionale di TFT a canale n di silicio policristallino.

In questo lavoro si è sviluppato un processo innovativo, molto più semplice, in cui il drogante n^+, viene depositato direttamente mediante PECVD (plasma enhanced chemical vapor deposition), su uno strato di silicio amorfo, e poi diffuso e attivato per mezzo di irraggiamento laser. In questo modo si elimina l'impiantazione ionica e si semplifica notevolmente il processo.

Inoltre con questo processo si ottengono delle giunzioni di source e drain, con un profilo di drogaggio graduale, che risulta particolarmente adatto al contenimento dei campi elettrici e di tutti i fenomeni legati ad esso, *l'effetto "kink"*, *l'effetto dei portatori caldi* e *la corrente di "leakage"*.

Il processo di fabbricazione dei TFT a silicio policristallino consta di diverse fasi di lavoro (vedi fig. 3.2):

1. deposizione di un doppio strato costituito da un film di silicio amorfo intrinseco e da uno drogato su un substrato di silicio cristallino ossidato termicamente,
2. definizione dei contatti drogati source e drain mediante rimozione selettiva del drogante,
3. deidrogenazione del silicio amorfo intrinseco e drogato,

4-5. irraggiamento e attivazione del drogante in un unico step,

6. deposizione dell'ossido di gate e definizione delle via-hole,

7. deposizione dell'alluminio, definizione dei contatti metallici e conseguente annealing per migliorare le caratteristiche dell'ossido e dell'interfaccia semiconduttore/isolante.

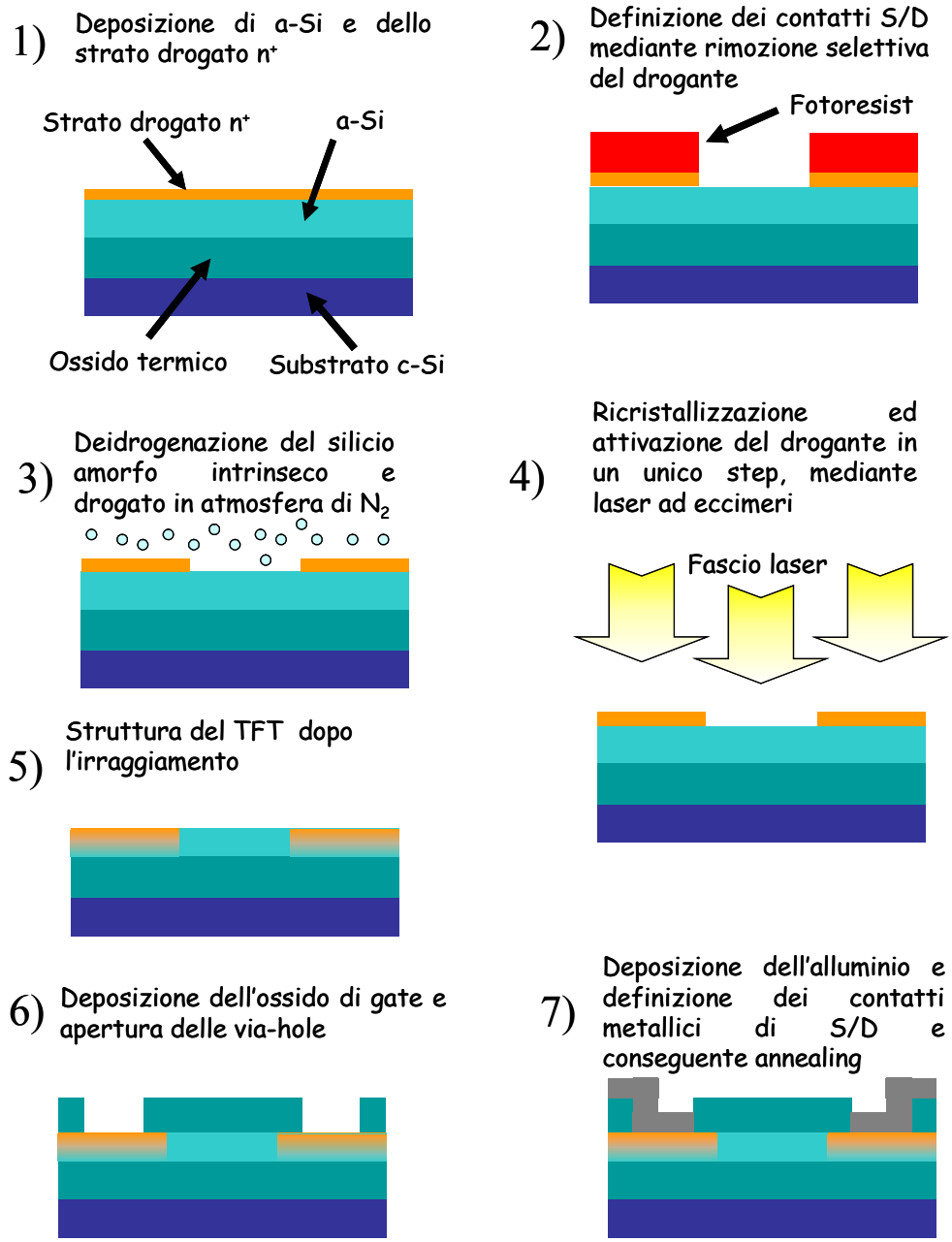

Figura 3.2 Fasi del processo di fabbricazione dei TFT con architettura convenzionale a canale n a silicio policristallino, realizzabile mediante uso della sola tecnologia PECVD e della ricristallizzazione laser.

3.1.1 Deposizione di silicio amorfo intrinseco e drogato

Il primo passo per la fabbricazione di un TFT in polisilicio è quello di depositare mediante PECVD (Plasma Enhanced Chemical Vapor Deposition), un doppio strato di silicio amorfo (*a-Si*) 100*nm* e 25*nm* di silicio drogato n^+. Il substrato di silicio utilizzato viene precedentemente ossidato termicamente mediante cottura in presenza di vapori di H_2O per circa 6 ore ad una temperatura di 950°*C*.

Nella tecnica PECVD la deposizione avviene a causa delle reazioni chimiche tra le specie gassose che compongono il plasma (gas rarefatto di molecole ionizzate, elettroni liberi e molecole neutre sostenuti da un campo elettrico alternato applicato esternamente). In condizione di bassa pressione il cammino libero medio degli elettroni è tale da fargli acquistare energia sufficiente per innescare processi di ionizzazione e dissociazione dei gas presenti. Si vengono così a creare delle specie chimiche, dette *radicali*, che presentano legami non saturi e a contatto col substrato reagiscono, dando luogo alla deposizione (vedi fig. 3.3).

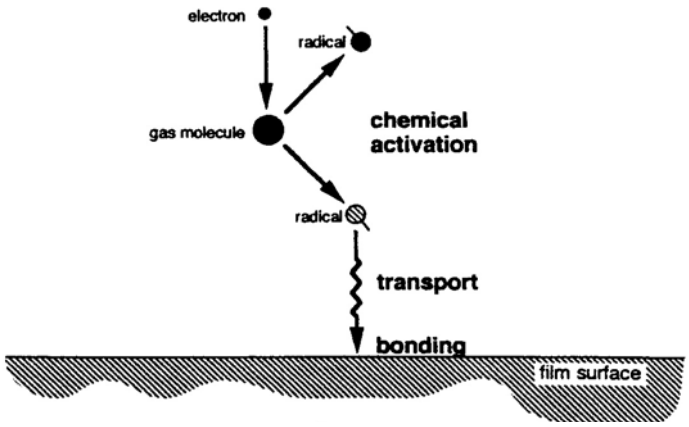

Figura 3.3 Rappresentazione schematica del processo di deposizione.

Le temperature di deposizione nel PECVD sono molto inferiori rispetto a quelle utilizzate in altre tecniche, circa 250-300°C, perché l'energia richiesta per la dissociazione dei gas è data dall'energia elettrica del campo elettrico applicato, al contrario di quanto avviene nella tecnica LPCVD dove l'unica fonte energetica è quella termica e le temperature di deposizione sono più alte, circa 600°*C*.

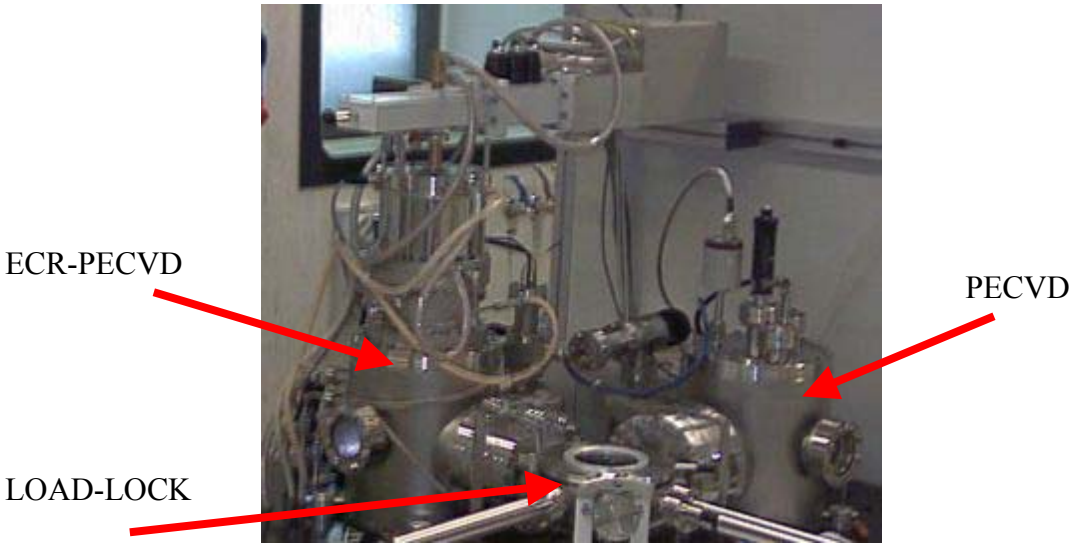

Figura 3.4 Impianto PECVD utilizzato per la deposizione del silicio amorfo; è visibile anche la camera di deposizione ECR-PECVD e la camera di caricamento load-lock.

L'impianto PECVD per la deposizione di silicio amorfo presente in istituto (vedi fig. 3.4) è composto da una camera di deposizione ad elettrodi piani e paralleli, di distanza variabile. L'elettrodo superiore a potenziale negativo (catodo) è collegato ad un generatore di tensione a radiofrequenza (*RF*) che lavora a 13,56*MHz*, con una potenza regolabile tra 0 e 300*W* mentre l'altro elettrodo (anodo) sul quale avviene la deposizione, è collegato a massa. Durante la deposizione è fondamentale che la potenza della radiofrequenza applicata sia totalmente trasmessa al plasma, ovvero che non vi sia alcuna riflessione di potenza; il generatore è quindi dotato di una matching network automatica per la minimizzazione della potenza riflessa. Sull'elettrodo positivo è posto un riscaldatore in grado di portare il substrato fino a 500°*C* effettivi. La camera di deposizione è mantenuta in vuoto da una pompa turbomolecolare, è infatti fondamentale che prima della deposizione il vuoto sia molto elevato almeno dell'ordine di 10^{-7}*mbar* per evitare possibili contaminazioni. Il vuoto preliminare è rilevato da un misuratore di ultra alto vuoto (UHV, Ultra Hig Vacuum) ion gauge. Durante la deposizione, la pressione in camera è determinata dall'apertura di una valvola throttle controllata da un regolatore esterno, che può funzionare sia in modo automatico che manuale.

La camera di deposizione è collegata, tramite una valvola gate, ad una camera per il caricamento: il "load lock" (LL) (vedi fig. 3.4). Nel LL il vuoto preliminare viene

realizzato da una pompa rotativa. Raggiunta una pressione inferiore a 10^{-2} mbar, il campione caricato nel LL è trasferito in camera.

L'apparato è fornito di sette linee di gas: O_2, H_2, N_2, CF_4, He, NH_3 e SiH_4. Ogni linea è controllata da un flussimetro automatico, che misura la portata in centimetri cubi al minuto in condizioni standard di pressione (*sccm*). Il circuito delle linee è tale che i gas percorrano un tratto comune di linea, nel quale vengono miscelati, prima dell'unico ingresso in camera posto tra i due elettrodi.

Le condizioni per depositare 100*nm* di silicio amorfo sono riportate nella seguente tabella.

SiH_4 (sccm)	T (°C)	P (Torr)	RF (W)	t (minuti)
30	240	0.6	3	6

Tabella 1 Parametri utilizzati per la deposizione PECVD di silicio amorfo.

La successiva deposizione dello strato drogato viene effettuata in un PECVD dedicato alle sole specie droganti per evitare contaminazioni dello strato attivo di silicio amorfo.

L'apparato di deposizione presente in istituto (vedi fig. 3.5) è composto da una camera di reazione ad elettrodi piani circolari del diametro di 25*cm*, uguali e paralleli tra loro.

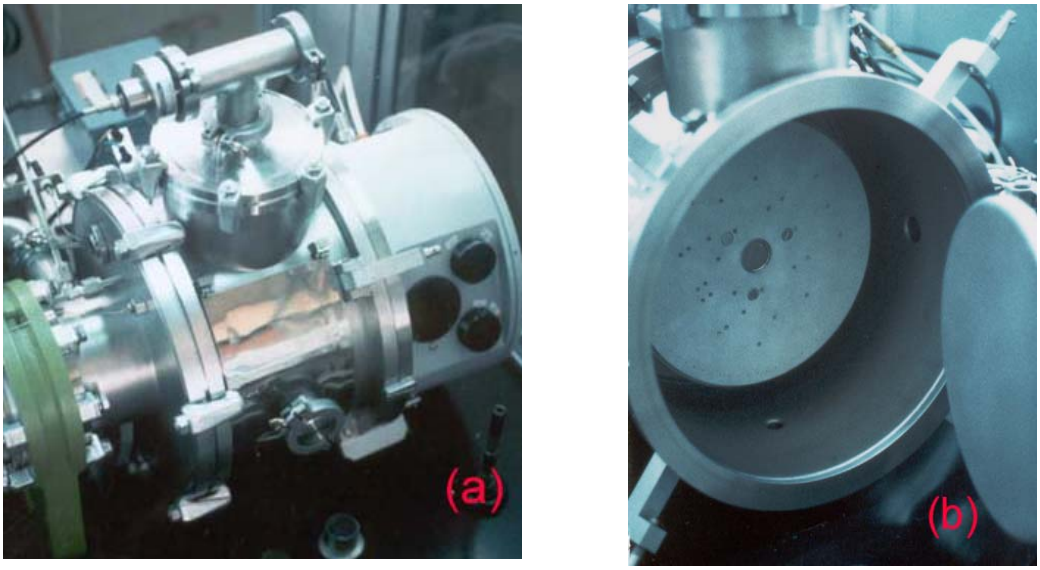

Figura 3.5 (a) Immagine esterna della camera PECVD, (b) Parte interna della camera PECVD in cui è visibile il piattello portacampioni.

Vi sono 6 linee di gas (*SiH_4, N_2O, SiH_4 + PH_3, He, B_2H_6, NH_3*) controllate da una serie di attuatori e di regolatori di flusso automatici. I gas utilizzati durante la deposizione vengono miscelati in un apposito serbatoio (*manifold*) prima di entrare nella camera. Da qui vengono trasferiti, mediante un'unica linea, nella zona posteriore del piattello portacampioni dove è stata ricavata una camera di espansione da cui i gas possono diffondere uniformemente nella camera attraverso un sistema di fori presenti sulla corona del piattello (vedi fig. 3.6).

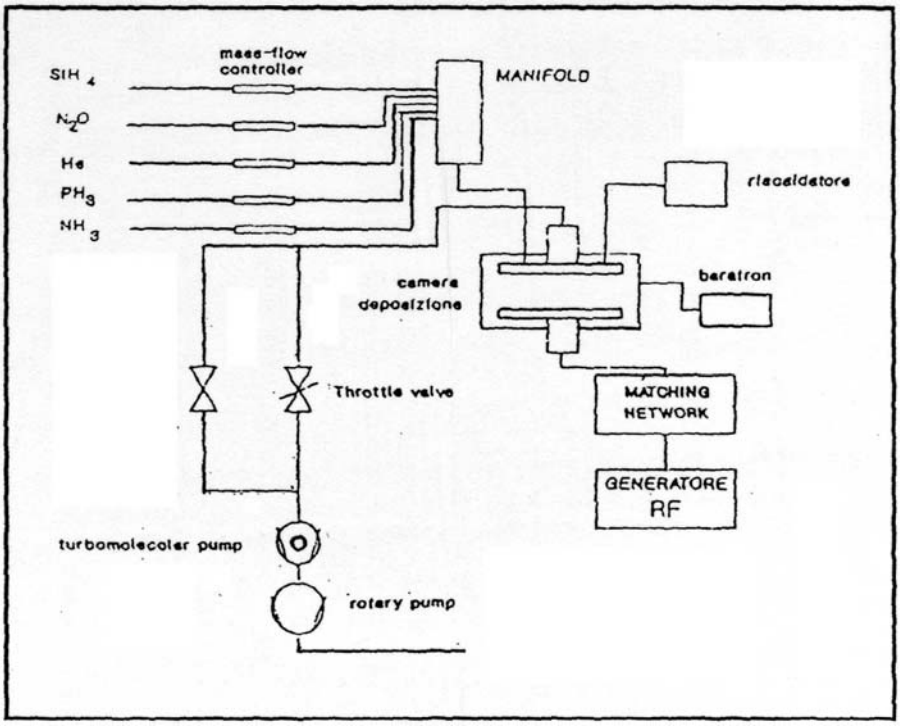

Figura 3.6 Schema di funzionamento dell'impianto di deposizione PECVD dedicato alle specie droganti.

La miscela di gas utilizzata per la deposizione dello strato di silicio amorfo drogato n^+ è mostrata in tabella (vedi Tab. 2).

PH_3 (sccm)	**He** (sccm)	**T** (°C)	**P** (mbar)	**RF** (W)	**t** (minuti)
13.2	37.0	120.0	0.7	6.0	3

Tabella 2 Parametri utilizzati per la deposizione PECVD del silicio amorfo drogato n^+.

3.1.2 Definizione dei contatti source e drain

La definizione dei contatti source e drain avviene mediante litografia ottica. La litografia ottica o fotolitografia è un processo che viene comunemente impiegato nella realizzazione dei dispositivi elettronici. Esso dà la possibilità di trasferire sul substrato delle geometrie disegnate su maschere di vetro o quarzo. L'elemento essenziale della fotolitografia è il resist, composto organico la cui struttura e solubilità variano con l'esposizione alla luce ultravioletta (*UV*).

Esistono due tipi di resist: negativo e positivo come mostrato in figura 3.7; quello negativo diventa insolubile allo sviluppo quando viene esposto alla luce *UV* mentre quello positivo diventa solubile quando viene esposto.

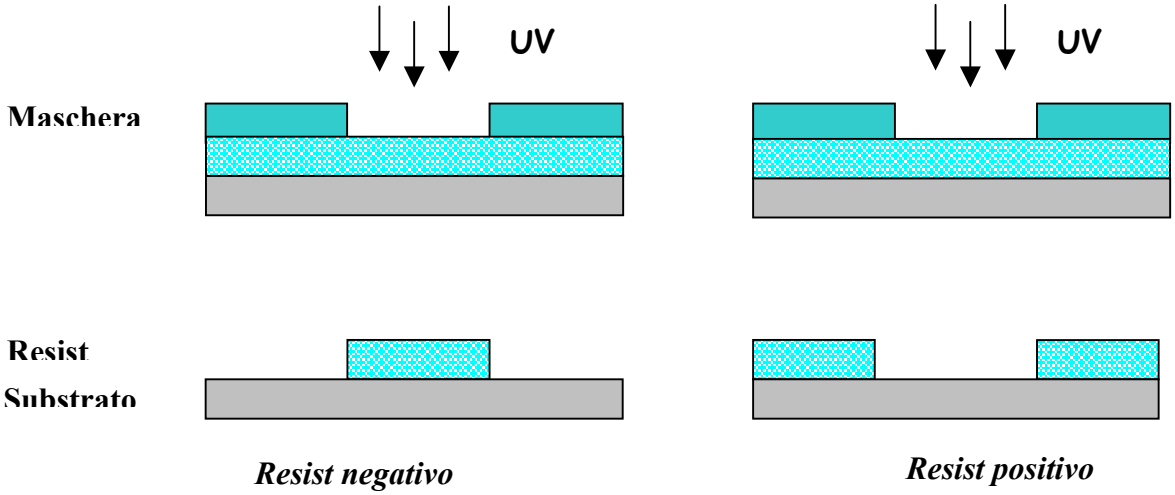

Figura 3.7 Diverso comportamento del resist negativo e positivo dopo l'esposizione alla radiazione UV.

L'esposizione del campione alla radiazione *UV* viene fatta mediante una macchina, detta "mask-aligner" che permette di allineare le diverse maschere utilizzate nella fabbricazione del dispositivo. Il modello di mask-aligner presente in istituto (vedi fig. 3.8) è costituito da una lampada a mercurio che lavora a 365*nm* e permette una risoluzione fino a 0.7μm. E' dotato di un sistema computerizzato per la scelta dei parametri di esposizione: tempo di esposizione, distanza e tipo di contatto tra campione e maschera.

Figura 3.8 Mask-Aligner utilizzato per i processi litografici.

Inoltre il mask-aligner è provvisto dell'opzione "split-field", che consente di osservare al microscopio due parti distinte del campione contemporaneamente, e di micromanipolatori che permettono di ruotare e traslare sia il microscopio che la maschera in modo da poter allineare il campione con le varie maschere.

Il processo di definizione dei contatti drogati di source e drain è composto da diversi passi:

Il primo passo è la preparazione del wafer di silicio per l'esposizione del resist alla radiazione ultravioletta. Si fa "degasare" il wafer, su cui è stato precedentemente depositato il doppio strato di silicio amorfo intrinseco e drogato, in forno per circa 1 ora. Successivamente si ricopre l'intero wafer di resist positivo S1813. Questo strato viene poi reso uniforme e dello spessore desiderato facendo ruotare il wafer su di un'apposita apparecchiatura, lo "spinner". In questo modo è possibile ottenere spessori diversi a seconda delle esigenze, agendo sulla durata e sulla velocità della rotazione. Nel nostro caso si fa ruotare il wafer ad una velocità di 4000*giri/minuto* per 60*s* e si ottiene uno spessore di circa 1.3μm. Lo strato di resist viene poi precotto (soft-baking) su un piastra riscaldata (hot plate) a 90°*C* per un tempo di 5' in modo da stabilizzare lo spessore e favorire l'aderenza agli strati sottostanti. A questo punto il wafer viene esposto alla radiazione UV mediante il

"mask-aligner". L'esposizione viene fatta con una maschera di vetro, sulla quale è riportato il disegno dei contatti di source e drain, per un tempo di 9s ad una potenza di 11.2mW/cm^2 in modalità "hard-contact". A questo punto entra in gioco la parte innovativa del processo di fabbricazione ossia la rimozione selettiva del drogante e la realizzazione di profili graduali alle giunzioni di source e drain. Si è infatti sperimentato che strati pesantemente drogati (1% di PH_3) depositati a bassa temperatura (120°C) sono rimossi efficacemente dallo stesso sviluppo del fotoresist (MF319) (vedi fig. 3.9), con una velocità di attacco media di circa 9.2 nm/min. Attraverso misure di AFM è possibile inoltre analizzare il profilo del film in prossimità della zona attaccata, come illustrato in figura 3.10. Come si può notare il profilo risulta graduale con una zona di transizione dell'ordine di 0,5μm.

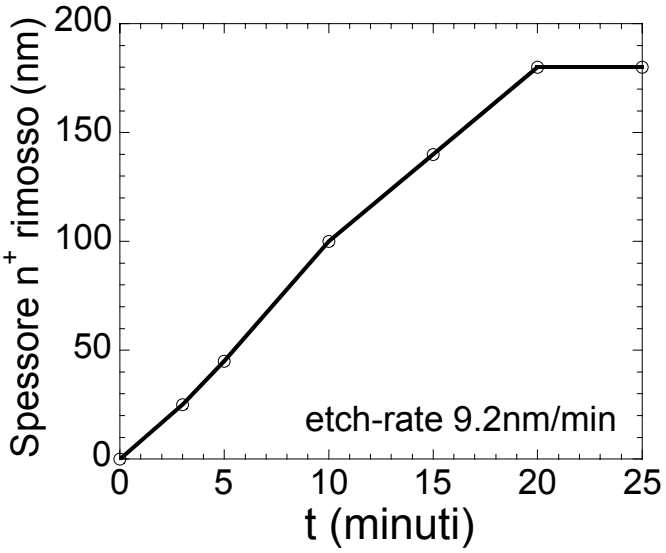

Figura 3.9 Strato di silicio amorfo drogato n^+ rimosso dallo sviluppo del fotoresist MF319 a diversi tempi di attacco.

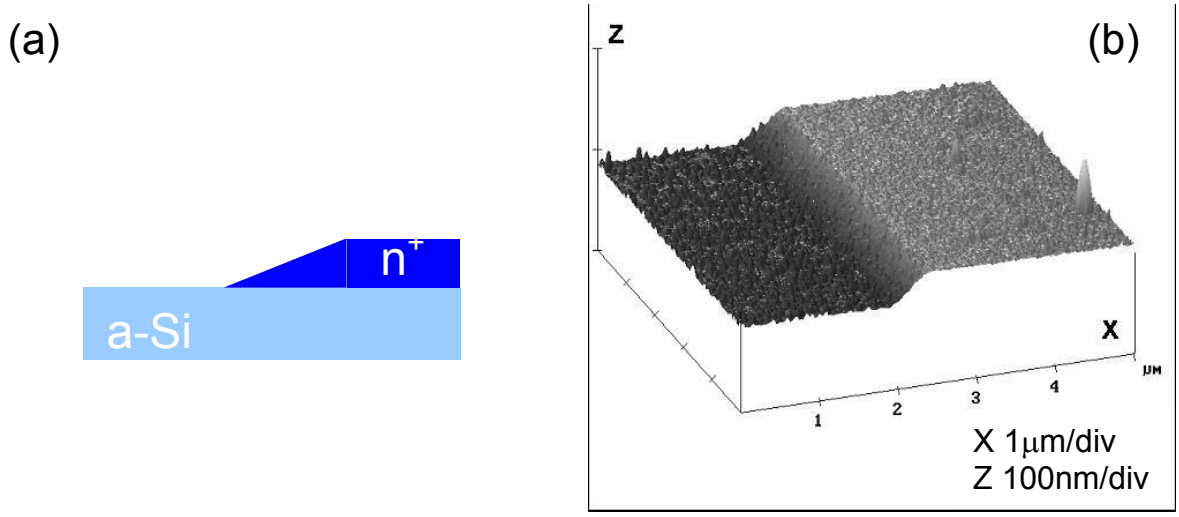

Figura 3.10 (a) Schematizzazione del profilo graduale dello strato di silicio amorfo drogato n^+, (b) Immagine AFM del profilo graduale dello strato drogato, ottenuto dopo un attacco mediante MF319 per t=5'.

Tale profilo graduale nasce dalla diversa velocità di rimozione del fotoresist e del silicio amorfo drogato: infatti essendo la velocità di rimozione laterale del resist non esposto, mediante sviluppo MF319, pari a 80*nm/min* (vedi fig. 3.11), il profilo del resist arretra rispetto al bordo della zona esposta, scoprendo progressivamente zone di silicio drogato (vedi fig. 3.12a e b). Pertanto il profilo graduale del silicio drogato è direttamente collegato alla rimozione nelle due direzioni del fotoresist e del silicio drogato e, in linea di principio, tale profilo risulta controllabile attraverso la variazione delle velocità di rimozione dei due strati.

E' importante notare che lo sviluppo del fotoresist non attacca in modo apprezzabile il silicio amorfo intrinseco depositato mediante PECVD a 240°C. Infatti non è stato possibile misurare, mediante AFM, apprezzabili riduzioni dello spessore dei film (<1*nm*, sensibilità della misura AFM) per tempi di attacco fino a 90 min. Pertanto la selettività del processo di rimozione del silicio drogato rispetto a quello intrinseco risulta estremamente elevata, $R_{n+}/R_{a\text{-}Si} > 8000$, dove R è la etch-rate.

Questo dà la possibilità di sviluppare il fotoresist e nello stesso tempo di rimuovere lo strato drogato n^+ sopra il canale senza attaccare quindi il silicio amorfo sottostante.

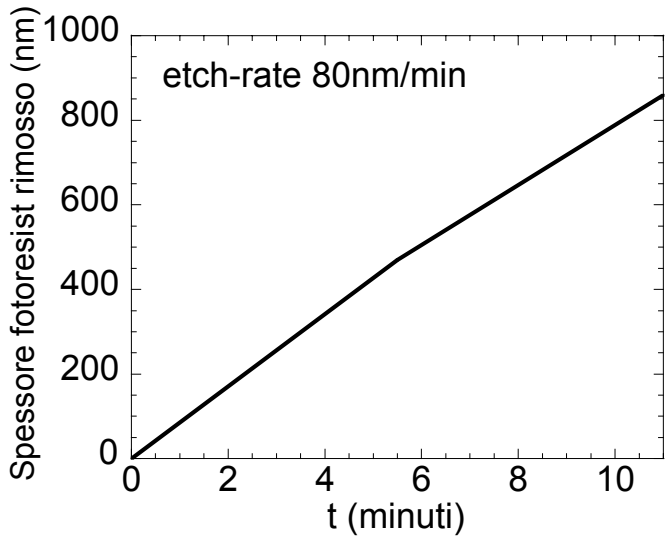

Figura 3.11 Strato di fotoresist non esposto rimosso dallo sviluppo MF319 a diversi tempi di attacco.

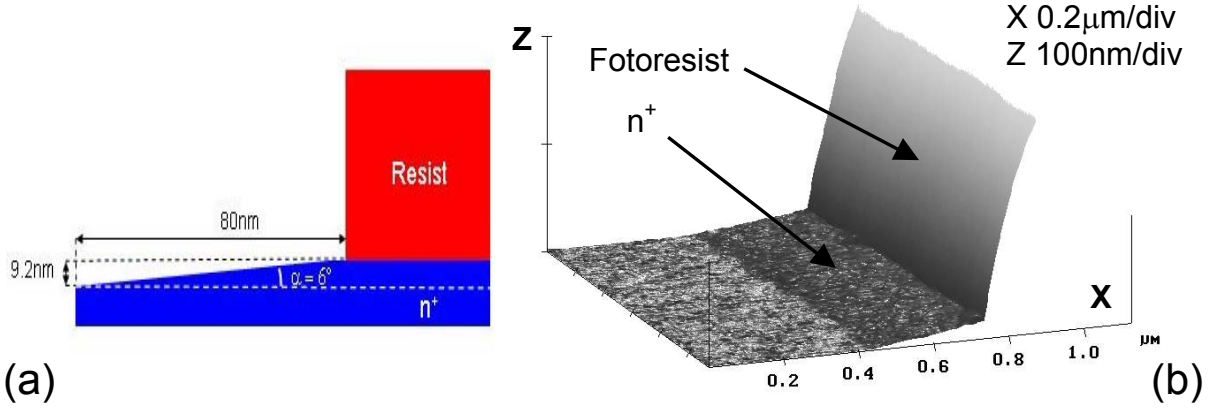

Figura 3.12 (a) Schematizzazione dell'effetto di arretramento del fotoresist ottenuto durante l'attacco dello strato drogato n^+ mediante lo sviluppo MF319 per t=1', (b) Immagine AFM relativa all'arretramento del fotoresist ottenuto dopo un attacco di 5'.

E' ovvio aspettarsi che il profilo graduale dello strato drogato si rifletta, dopo il trattamento laser, in un analogo profilo graduale ulteriormente allargato dall'effetto fusione/ricrescita indotto dal laser e valutabile nell'ordine del centinaio di *nm*. Questo profilo di drogaggio graduale dei contatti di source e drain riduce notevolmente i campi elettrici alle giunzioni contenendo tutti i fenomeni legati al campo ("field-enhanced"), come *l'effetto" kink"*, *l'effetto dei portatori caldi* e *la corrente di "leakage"*.

3.1.3 Deidrogenazione e irraggiamento del silicio amorfo

Prima di sottoporre il campione all'irraggiamento laser è necessario far evolvere l'idrogeno contenuto nel silicio amorfo, tipicamente in quantità pari al 10%, mantenendo il campione alla temperatura di 500°*C* per circa 8 *ore* in flusso d'azoto.

L'irraggiamento laser del silicio amorfo viene fatto in istituto mediante un sistema costituito da un laser ad eccimeri funzionante con una miscela di gas XeCl che emette ad una lunghezza d'onda $\lambda = 308nm$, da un banco ottico e da una camera da vuoto, in cui si colloca il campione da irraggiare (vedi fig. 3.13). L'intera camera è fissata su un carrello, che permette di effettuare movimenti micrometrici, con risoluzione di $1\mu m$, lungo le direzioni X e Y. Il fascio laser viene indirizzato attraverso un sistema ottico sul campione, il quale è tenuto ad una pressione di circa $5*10^{-7}mbar$ da una pompa turbomolecolare e riscaldato fino ad una temperatura di 500°*C*. Una parte del fascio viene trasmessa, mediante uno specchio semitrasparente, ad un bolometro che misura l'intensità del fascio laser. Il segnale del bolometro è poi letto da un oscilloscopio digitale. Il laser è comandato da un sistema computerizzato che permette di impostare tutti i parametri necessari per l'irraggiamento.

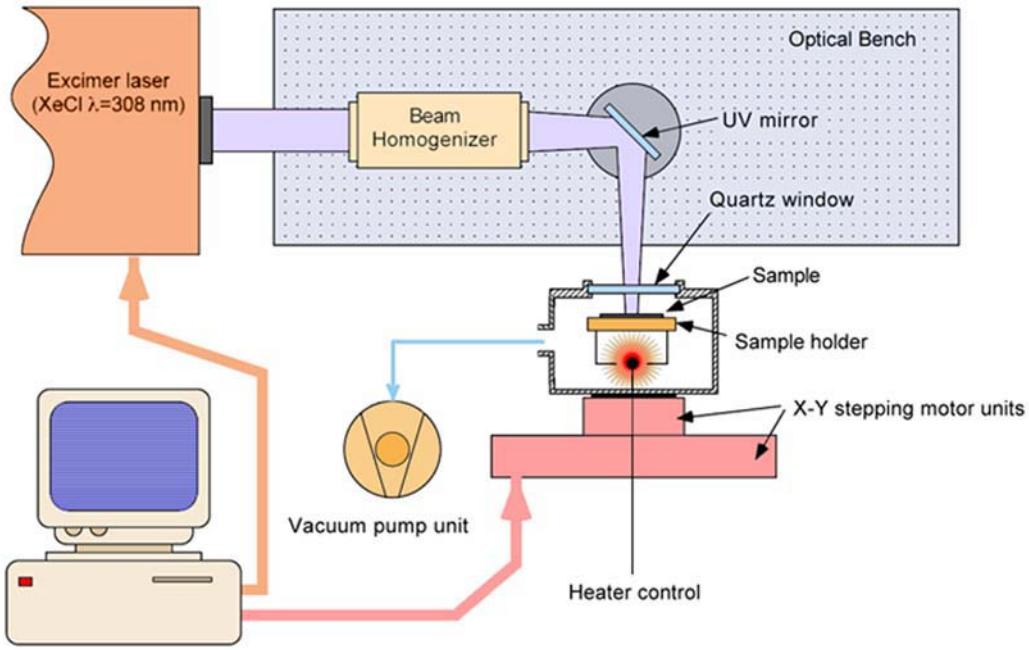

Figura 3.13 Schema dell'apparato utilizzato per l'irraggiamento laser.

In figura 3.14 è mostrata la distribuzione spaziale della densità di energia di un singolo colpo laser. Il profilo del fascio generato dal sistema ottico è piuttosto omogeneo, in modo da facilitare l'innesco del regime di "super lateral growth" in tutta l'area investita dal fascio laser.

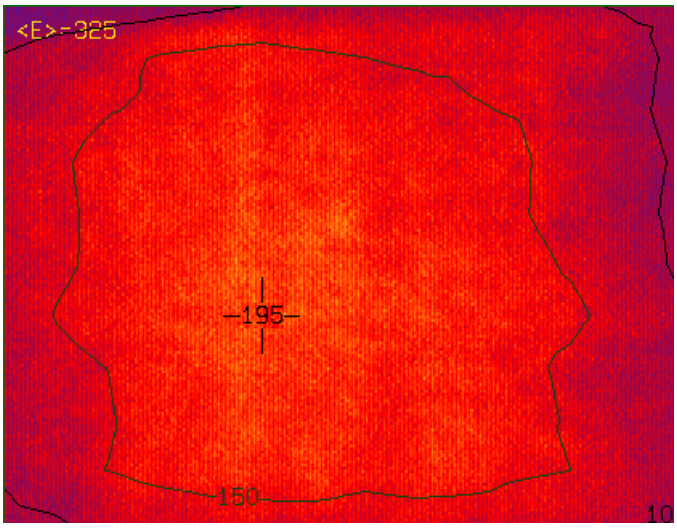

Figura 3.14 Densità di energia in due dimensioni del fascio laser.

Una delle caratteristiche interessanti del nostro processo è la possibilità di utilizzare un singolo trattamento laser per ricristallizzare il silicio amorfo nella zona di canale e contemporaneamente attivare il drogante presente nelle regioni di source e di drain.
Nel nostro caso l'irraggiamento è stato eseguito a differenti intensità del fascio laser in modo da avere dei dispositivi con differenti mobilità ad effetto campo. Si riporta nella seguente tabella l'energia d'irraggiamento utilizzata.

	E (mJ/cm^2)
Regime 1	480
Regime 2	470
Regime 3	460
Regime 4	450

Tabella 3 Energia utilizzata nei quattro regimi d'irraggiamento.

In figura 3.15 vengono mostrate le immagine SEM dei grani ottenuti in corrispondenza dei regimi 1 e 4 riportati nella tabella 3. La figura 3.15a mostra il materiale ricristallizzato a

più alta energia $E \approx E_{SLG}$ (regime1). Si notano infatti grani di buone dimensioni, comprese tra i 0.5μm e 2μm, tipiche della "super lateral growth". La figura 3.15b illustra il materiale irraggiato ad una densità di energia $E < E_{SLG}$ (regime4); in questo caso si ottengono dimensioni dei grani di 0.1÷0.4μm. In questo regime l'energia non è tale da rifondere quasi completamente la struttura microcristallina che si ha dopo la explosive crystallization e quindi innescare il regime di "super lateral growth"; di conseguenza i grani hanno dimensioni piuttosto ridotte. Si può inoltre notare una distribuzione dei grani abbastanza uniforme dei grani a differenza delle alte energie dove le dimensioni dei grani sono piuttosto disomogenee; ma questo è tipico del regime di SLG.

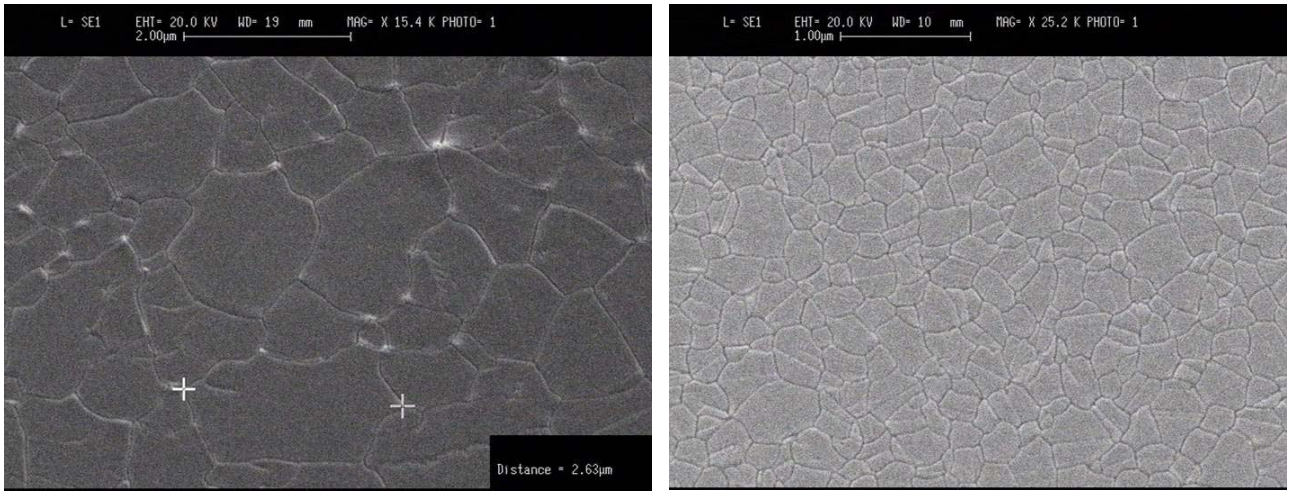

Figura 3.15 Immagine SEM del film di silicio policristallino irraggiato a densità di energia corrispondenti ai regimi 1 e 4 riportati nella tabella 3: (a) 480mJ/cm^2, (b) 450mJ/cm^2.

3.1.4 Definizione delle isole e attacco del silicio policristallino

Dopo aver ricristallizzato il silicio amorfo e attivato il drogante occorre definire e isolare i singoli dispositivi sul campione. Per far ciò, si realizzano delle isole di resist che ricoprono i contatti source, drain e la regione di canale di ogni dispositivo tramite litografia ottica.

Dopo aver definito le isole di resist è possibile rimuovere il silicio policristallino in modo da isolare i singoli dispositivi. Questo viene fatto mediante una macchina detta RIE

(Reactive ion etching), che dà la possibilità di rimuovere dei materiali sfruttando l'azione energetica degli ioni prodotti in un plasma. Le caratteristiche di questo attacco sono la selettività, dovuta ai gas utilizzati nel plasma, e l'elevata anisotropia, proprietà legata alle pressioni di lavoro e alla potenza utilizzata. Nel RIE presente in istituto (vedi fig. 3.16) vi sono quattro linee di gas (SF_6, CHF_3, CF_4, O_2) che permettono di rimuovere diversi materiali.

La rimozione del silicio policristallino viene fatta con una miscela di gas costituita da 100*sccm* di CF_4 e 10*sccm* di O_2 ad una pressione di 500*mTorr* (a pressioni così elevate si perde l'anisotropia dell'attacco) per un tempo di 9' ad una potenza *RF* di 35*W*

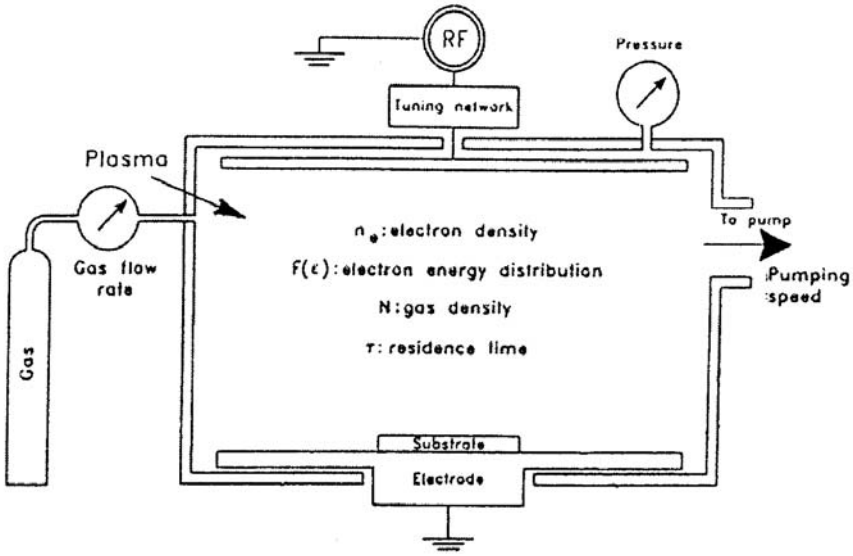

Figura 3.16 Schema di funzionamento del RIE.

3.1.5 Deposizione dell'ossido di gate e definizione delle via-hole

Il passo successivo alla realizzazione delle isole è la deposizione dell'isolante di gate. In un processo di fabbricazione a bassa temperatura, compatibile con i substrati in vetro utilizzati nelle applicazioni dei TFT nella LAM (vedi cap. 1), la qualità dell'isolante di gate, generalmente SiO_2, assume un aspetto di grande rilevanza. Studi recenti [1] hanno dimostrato che, diminuendo la temperatura di deposizione fino ai valori richiesti nelle applicazioni industriali, la qualità dell'ossido ottenibile da una deposizione convenzionale PECVD è generalmente piuttosto scarsa, sia in termini di proprietà elettriche, correnti di

perdite e tensione di breakdown, sia in termini di proprietà strutturali, densità di difetti, presenza di contaminazioni e qualità dell'interfaccia. Si è quindi sviluppato negli ultimi anni una nuova tecnologia per la realizzazione di ossidi a bassa temperatura, la ECR-PECVD (Electron Cyclotron Resonance-PECVD) (vedi fig. 3.17). Il processo di deposizione tramite ECR-PECVD costituisce un vero salto di qualità, in quanto consente la realizzazione di un ossido di gate con ottime proprietà elettriche a temperature al di sotto di quelle previste dalla tecnica PECVD. In una deposizione di questo tipo, il plasma è generato da un campo di microonde che va in risonanza con il moto degli elettroni sottoposti ad un campo magnetico, questi vengono fortemente accelerati in risonanza di ciclotrone, producendo così una forte dissociazione delle specie chimiche presenti nella camera di deposizione. Questo processo dà la possibilità di ottenere un plasma molto intenso che consente di realizzare ossidi di buona qualità anche a temperatura ambiente.

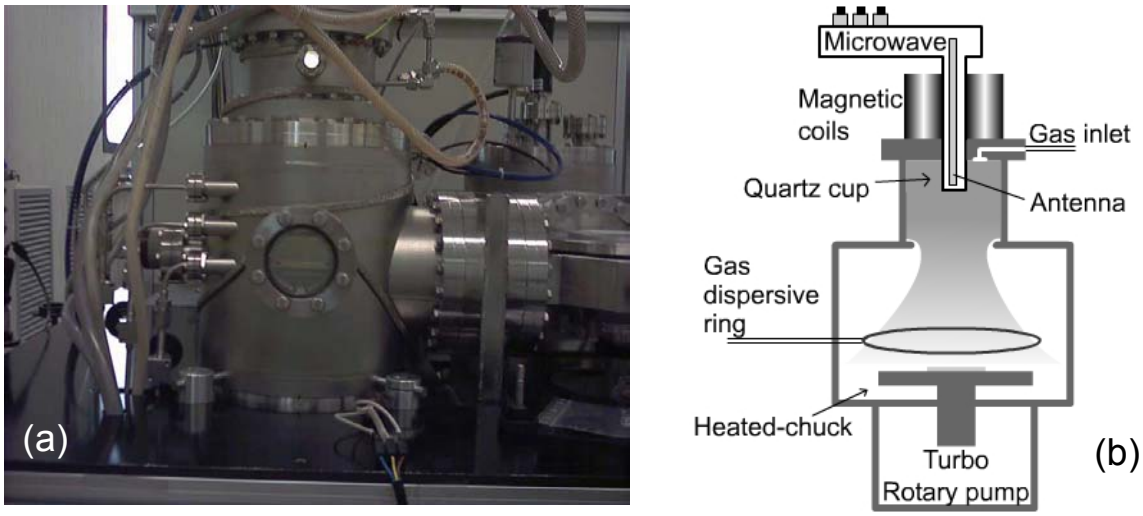

Figura 3.17 (a) Camera ECR-PECVD utilizzata per la deposizione dell'ossido di gate, (b) Schema di funzionamento della camera ECR-PECVD.

L'ECR-PECVD ha un sistema da vuoto del tutto analogo a quello del sistema PECVD descritto nel par. 3.1.1. Nella parte alta della camera (la testa della camera) vi è l'elettrodo negativo che è collegato a un generatore di microonde che lavora a 2.46 GHz ed eroga una potenza massima di 800W. La matching network del sistema è a controllo manuale.

Gli ingressi dei gas in camera sono due: uno in testa e l'altro in base. Quest'ultimo può essere scelto manualmente fra tre alternativi: due ingressi, uno in alto e uno in basso, diretti

in camera, ed il terzo al centro è un anello forato che circonda la parete della camera consentendo un ingresso uniforme del gas (vedi fig. 3.17b).

Prima della deposizione dell'ossido di gate, si effettua la pulizia della superficie attiva. Infatti l'interfaccia ossido-semiconduttore è piuttosto critica nei TFT poiché vi si generano stati interfacciali a seguito della formazione di dangling bonds. La procedura di pulizia della superficie prevede una serie di trattamenti chimici per la rimozione di eventuali contaminazioni. Di seguito è riportata la sequenza dei trattamenti effettuati:

1. *Acido Nitrico fumante* al 50 %, per 10'; l'acido nitrico rimuove efficacemente eventuali sostanze organiche presenti,
2. *Acido Fluoridrico* al 5%, per 15*s*; l'HF rimuove l'ossidazione prodotta dall'acido nitrico,
3. *Acido Solforico (50%) + Acqua Ossigenata* in rapporto 1:1, per 10'; anche questa soluzione rimuove residui organici.
4. *Acido Fluoridrico* al 5% per 15*s*; l'HF rimuove l'ossidazione prodotta dall'acido solforico e acqua ossigenata,
5. *Alcool Isopropilico bollente (IPA)* per 10'; l'IPA serve per la passivazione della superficie.

L'ossido di gate viene realizzato mediante una miscela di Silano, Elio e Ossigeno; lo spessore depositato è di circa 160*nm*. I parametri della deposizione sono riportati nella seguente tabella.

He (sccm)	**inlet**	**O_2** (sccm)	**inlet**	**SiH_4** (sccm)	**inlet**	**T** (°C)	**$P_{chamber}$** (mTorr)	**Potenza** (W)	**I_{magnet}** (A)	**t** (minuti)
10	anello	20	testa	0.4	anello	RT	3	400	5	90

Tabella 4 Parametri per la deposizione ECR-PECVD dell' ossido di gate.

I parametri della deposizione sono stati scelti in base ai risultati ottenuti da un consistente studio effettuato preliminarmente relativo alla caratterizzazione dell'ossido.

In seguito, saranno brevemente illustrati i risultati di tale studio:

Caratterizzazione Fisica dell'ossido:

La densità dei difetti, in particolare la presenza di buchi nell'ossido (*pinholes*), è stata investigata in funzione della temperatura di deposizione, tra RT e 270°C, e per due diversi valori della potenza delle microonde applicata (vedi fig. 3.18).

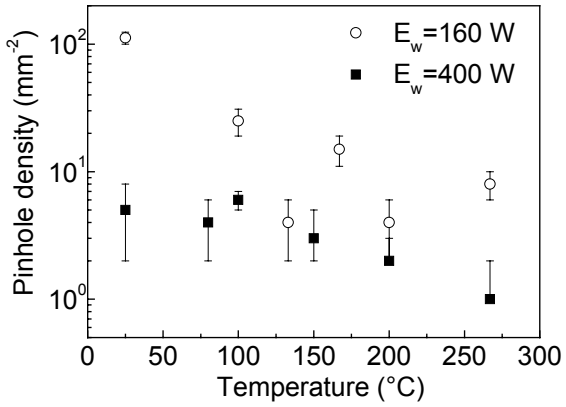

Figura 3.18 Densità dei pinholes nell'ossido (SiO_2) in funzione della temperatura del substrato e per due diverse potenze delle microonde E_W.

Come si vede in figura 3.18, la densità di pinholes è di circa un ordine di grandezza inferiore nel caso di E_W=400*W*, il che suggerisce che questo è il valore di potenza da utilizzare nella deposizione. Inoltre, ad alta potenza, si ottiene una densità di difetti approssimativamente costante (< 7 *pinholes/mm*^{2}) per ogni valore della temperatura, mentre a potenza più bassa la densità di pinholes aumenta sensibilmente al diminuire della temperatura di deposizione.

La composizione del film ed in particolare il contenuto di idrogeno in funzione della temperatura di deposizione, è stata valutata attraverso un indagine TDS (Thermal Desorption Spectroscopy) e poi confrontata con i risultati relativi all'ossido di silicio depositato per PECVD. I risultati sono illustrati in figura 3.19. Il contenuto di idrogeno nell'ossido ECR, dedotto dall'integrazione dello spettro (vedi fig. 3.19), è piuttosto basso (0.2%), e proviene da due picchi presumibilmente associati rispettivamente a gruppi H_2O (490°C) e gruppi OH (760°C) isolati. Inoltre non si osservano variazioni apprezzabili tra l'ossido depositato a temperatura ambiente (RT) e a 230°C. D'altra parte, nell'ossido PECVD, il contenuto di idrogeno è più alto, circa 0.8%.

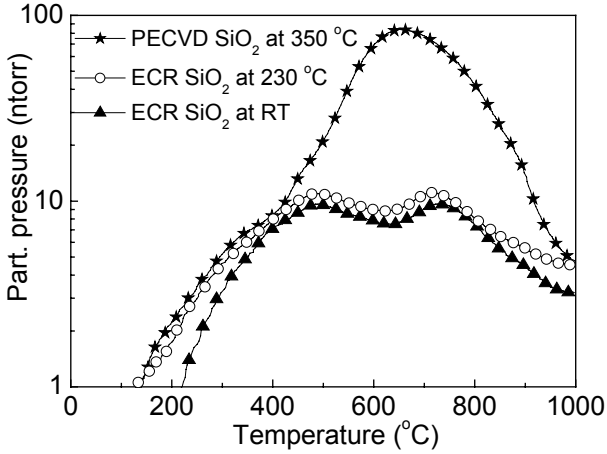

Figura 3.19 Confronto tra gli spettri TDS di ECR-SiO_2 depositato a temperatura ambiente (RT) e a 230°C, e di PECVD-SiO_2 depositato a 350°C.

Caratterizzazione Elettrica dell'ossido:

Le proprietà elettriche dell'ossido sono state ricavate dalla caratterizzazione di un capacitore MOS Al/SiO_2/Si (vedi cap. 2), realizzato depositando 100*nm* di ECR-SiO_2 a temperatura ambiente su un substrato di silicio debolmente drogato n (~10^{14} P/cm^3) di spessore 70 μm. I capacitori realizzati sono stati caratterizzati inizialmente attraverso una misura I-V quasi statica, i cui risultati sono riportati in figura 3.20. Come si vede, inizialmente la caratteristica è circa costante a un livello di corrente di spostamento pari a $10^{-12}A$. La successiva salita di corrente, relativa all'iniezione di carica, si manifesta in corrispondenza di valori campo elettrico di circa 6-7*MV/cm*, mentre il breakdown definitivo del dispositivo avviene in corrispondenza di campi elettrici sopra i 10*MV/cm*.

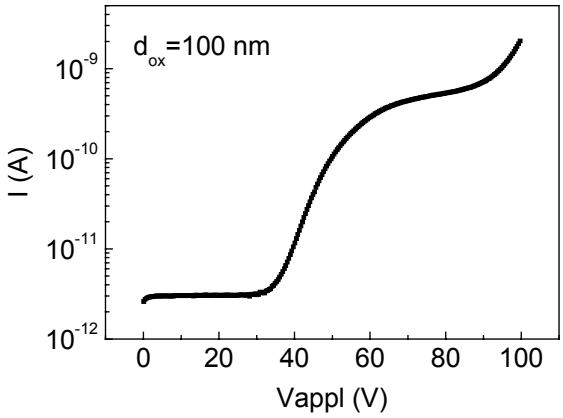

Figura 3.20 Caratteristica tensione corrente di un MOS realizzato con ossido ECR depositato a temperatura ambiente.

Successivamente, per valutare la qualità dell'interfaccia tra ossido e semiconduttore della struttura MOS, è stata effettuata l'analisi C-V ad alta e bassa frequenza (quasi-statica). Le caratteristiche C-V sono state analizzate in funzione di differenti temperature di annealing, di durata 30' in ciascun caso, allo scopo di valutarne l'effetto. Dall'analisi della C-V in corrispondenza della regione di svuotamento, è possibile ricavare il valore della densità degli stati interfacciali (vedi paragrafo 2.3.3), applicando il metodo di Khun [2] (vedi figura 3.21a). La figura 3.21b evidenzia che all'interfaccia ossido/semiconduttore si ha una densità degli stati interfacciali molto elevata, prima dell'annealing (as-deposited), mentre all'aumentare della temperatura, si ha una riduzione della densità degli stati. Con una temperatura di annealing di 450°C, si ottiene il miglior risultato, circa $6*10^{10}$ *stati/cm*^{2} *eV*.
In conclusione, è possibile ottenere un film di SiO_2, mediante ECR-PECVD, di buona qualità, sia strutturale che elettrica, depositando il film a temperatura ambiente con successivo annealing termico. I parametri ottenuti da questa analisi sono stati utilizzati per la deposizione dell'ossido di gate nel processo di fabbricazione dei TFT.

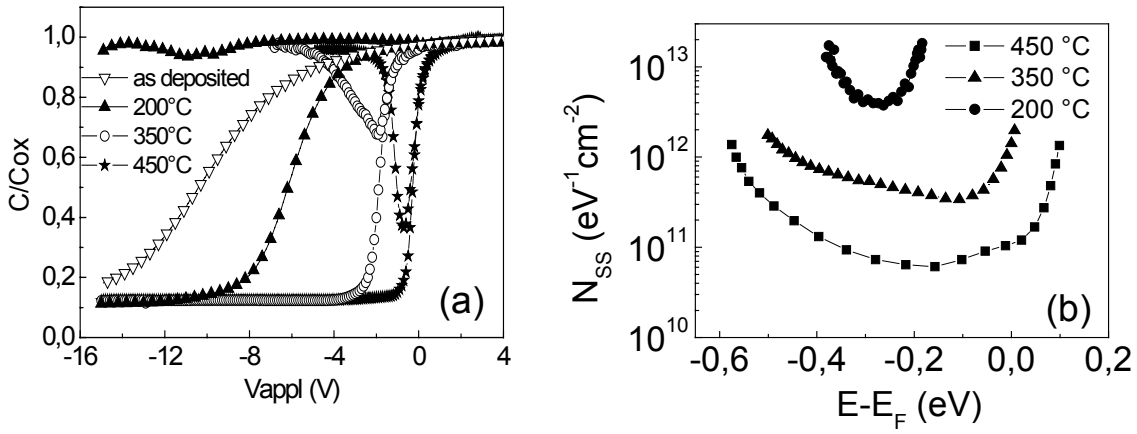

Figura 3.21 (a) Caratteristiche C-V ad alta e bassa frequenza (quasi-statiche), in funzione della temperatura di annealing, (b) Densità degli stati interfacciali dedotta dalle caratteristiche C-V, attraverso il metodo di Khun.

A questo punto vengono scavati dei fori nell'ossido in prossimità dei contatti di source e drain per poi depositarci l'alluminio. Questo viene fatto mediante fotolitografia, utilizzando un resist invertibile AZ5214, seguito da un attacco dell'ossido mediante una soluzione di acido fluoridrico bufferato BHF.

3.1.6 Deposizione di alluminio e definizione dei contatti metallici

La deposizione dell'alluminio viene fatta in una camera di deposizione composta essenzialmente da un crogiolo, posto nel fondo della camera, in cui viene posto il materiale da depositare e un piattello su cui vengono disposti i campioni. La camera è mantenuta sottovuoto ad una pressione di $1*10^{-6}$*mbar* con una pompa turbomolecolare. La deposizione avviene per evaporazione di un filo di Al+1%Si, mediante un'elevata corrente che attraversa il crogiolo e fonde l'alluminio per effetto joule. La durata della deposizione è di circa 2'.

L'ultimo passo è quello di definire tramite litografia ottica i contatti metallici di *source*, *drain* e *gate*. In questo caso si usa un resist positivo S1813 come nella litografia delle isole. La rimozione dell'alluminio nelle zone esterne ai contatti viene effettuata con una soluzione di acido fosforico, acido acetico, acido cloridrico e acqua deionizzata ed ha una durata di circa 10'. In figura 3.22 è mostrata una foto SEM della matrice di TFT realizzata.

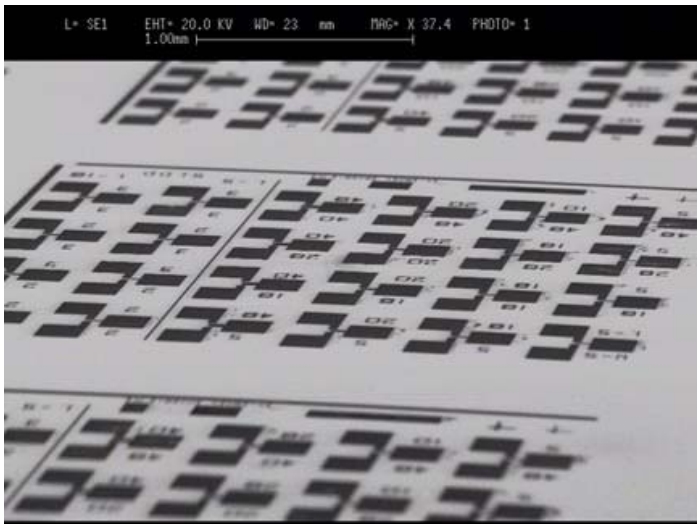

Figura 3.22 Matrice di TFT realizzata.

3.2 Analisi del processo di annealing termico mediante caratterizzazione elettrica dei dispositivi

I transistor così ottenuti sono ancora ricchi di difetti a causa di legami insaturi o distorti presenti all'interfaccia canale-ossido di gate e nel canale stesso. Per ridurre la densità di stati di trappola è stato messo a punto un processo di passivazione di tali stati mediante idrogenazione del film di polisilicio. Vengono quindi effettuati diversi "annealing" termici in forno in atmosfera di azoto variando la temperatura T (300, 350, 400 e 450°C) ed il tempo di annealing t (30' e 3h30'). Le misure elettriche sono state eseguite utilizzando il sistema di acquisizione illustrato in figura 3.23.

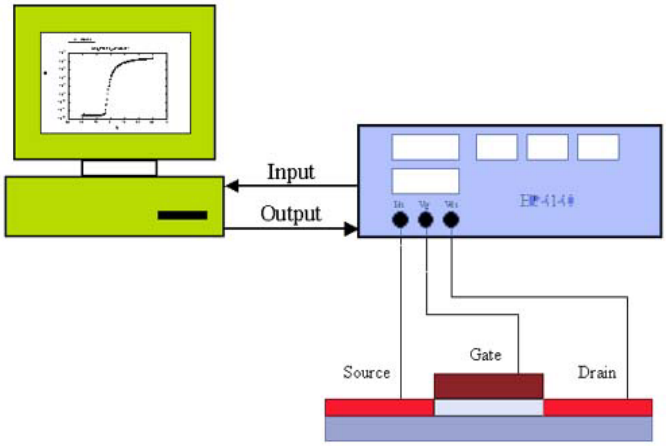

Figura 3.23 Apparato utilizzato per la caratterizzazione dei dispositivi.

Tale apparato consiste di uno strumento HP4140B, in grado di fornire una tensione costante o variabile nel tempo e di misurare correnti molto basse dell'ordine dei $10^{-13}A$. La polarizzazione e la lettura viene effettuata con una scheda d'acquisizione della National Instruments IEEE 488 mediante un programma in ambiente LabView. Esso consente di impostare tutti i parametri necessari per una misura I-V_G o I-V_{DS} come la V_{DS}, la V_G, l'intervallo di misura, l'intervallo di tempo tra due acquisizioni, ecc..

Le misure vengono fatte con un sistema di sonde, montate su micromanipolatori, che danno la possibilità di posizionare le tre punte con precisione sui contatti di source, drain e gate con l'ausilio di un microscopio (vedi fig. 3.24).

Figura 3.24 Immagine dello strumento di misura utilizzato, in cui sono visibili i micromanipolatori che pilotano le tre punte.

Nella figura 3.25 sono mostrate le caratteristiche di trasferimento I_D-V_G misurate a V_{DS}=0.1V di alcuni dispositivi sottoposti ad un trattamento termico in N_2 a differenti temperature per un tempo t pari a 30'. I dispositivi analizzati hanno una larghezza e lunghezza di canale pari a 20μm, e sono stati irraggiati ad un'energia pari a 480mJ/cm^2 (regime 1). Dall'andamento della I_D-V_G nella regione lineare, è possibile ricavare sia la mobilità ad effetto campo che la tensione di soglia, utilizzando la relazione 2.36 del paragrafo 2.4 valida per $V_{DS} < V_G - V_T$,

$$I_D = \frac{W \mu_n \varepsilon_{ox}}{2Ld}\left[2\left(V_G - V_T\right)V_{DS}\right] \tag{3.1}$$

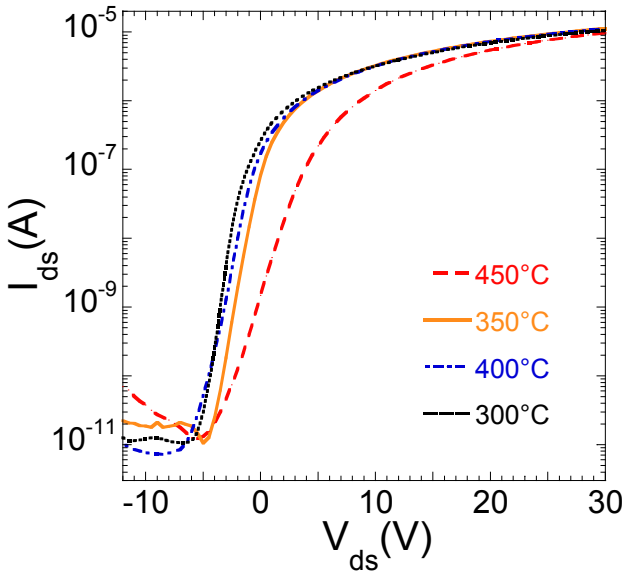

Figura 3.25 Caratteristiche di trasferimento di TFT con larghezza e lunghezza di canale W=L=20μm sottoposti ad un trattamento termico in N_2 a differenti temperature per un tempo t pari a 30'.

In tabella 5 vengono riportati i parametri principali delle caratteristiche di trasferimento sopra riportate, come mobilità, tensione di soglia e pendenza sottosoglia.

T (°C)	V_T (V)	μ (cm^2/Vs)	Pendenza sottosoglia (V/decade)
300	1.6	170	0.9
350	1.8	198	0.9
400	1.7	185	1.3
450	7	190	1.9

Tabella 5 Parametri elettrici dei TFT, ottenuti dopo un trattamento termico a differenti temperature per un tempo t pari a 30'.

Questi risultati mostrano che:

- per temperature elevate, 450°*C*, si ha un elevata pendenza sottosoglia, probabilmente dovuta alla rottura di legami Si-H all'interfaccia semiconduttore/isolante durante il processo di annealing.

- A 300°C si ottengono dispositivi con mobilità minore rispetto a quelli trattati a più alte temperature.
- la temperatura ideale risulta essere 350°*C*, è infatti evidente che i TFT hanno una migliore pendenza sottosoglia, una tensione di soglia abbastanza contenuta, tra 1.6 e 1.8*V* ed una buona mobilità.

E' stato poi analizzato l'andamento delle caratteristiche elettriche dei dispositivi dopo trattamenti termici prolungati fino a 3h30' per le diverse temperature ed anche 9h30' ore per T=350°*C*. I risultati sono riportati nella seguente tabella

	T 450°C		**T 400°C**		**T 350°C**			**T 300°C**	
	t 30'	t 210'	t 30'	t 210'	t 30'	t 210'	t 570'	t 30'	t 210'
μ (cm^2/Vs)	190	178	187	180	198	198	198	174	178
V_T (V)	7	10	1.8	4.5	1.7	3.5	4.2	1.6	3
Pendenza sottosoglia (V/decade)	1.8	2	1.3	1.3	0.9	0.8	0.8	0.9	0.8

Tabella 6 Parametri elettrici dei TFT, ottenuti dopo un trattamento termico a differenti tempi e temperature.

Dai dati sopra riportati è possibile vedere come all'aumentare del tempo di annealing la mobilità diminuisce per T=400 e 450°C mentre rimane pressoché invariata per temperature di annealing inferiori. Si può notare un leggero miglioramento della pendenza sottosoglia per le temperature 300 e 350°*C* mentre un lieve peggioramento si osserva a T=450°C probabilmente dovuto alla rottura di legami Si-H all'interfaccia semiconduttore/isolante. Tale rottura combinata ad una possibile ridistribuzione o desorbimento di ioni mobili all'interno dell'ossido, da luogo ad un forte incremento della tensione di soglia, circa 3V. Nelle figure 3.26 e 3.27 vengono mostrate le caratteristiche di trasferimento dopo un annealing di 30' e 3h30' a T=350°*C*.

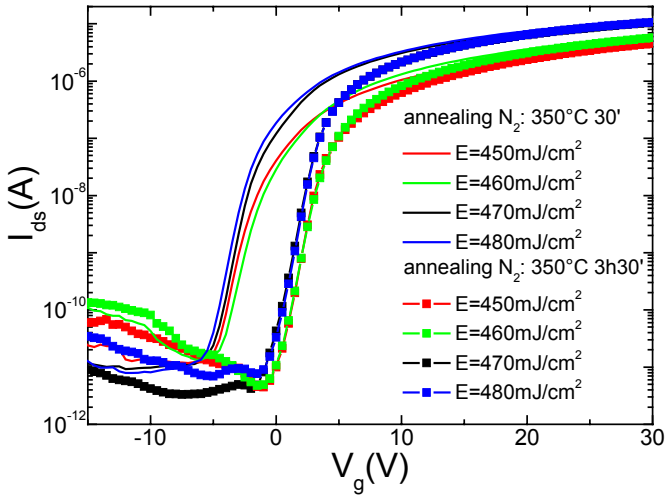

Figura 3.26 Caratteristiche di trasferimento (scala semilog) di TFT con W=L= 20μm irraggiati a diverse energie e sottoposti ad un trattamento termico a T=350°C per 30' e 3h30'.

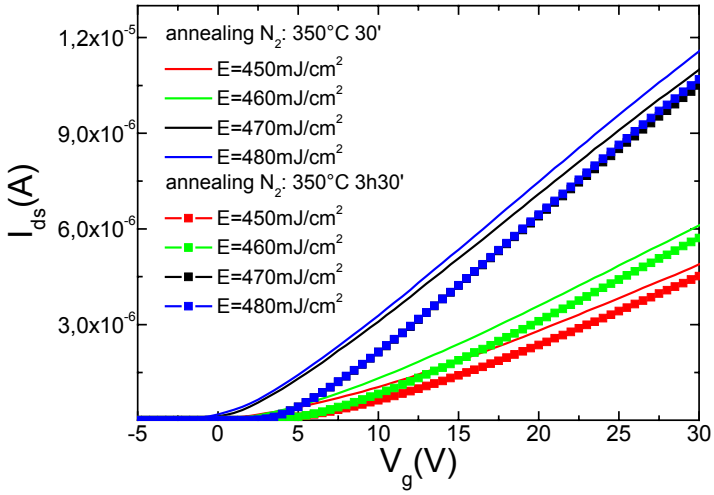

Figura 3.27 Caratteristiche di trasferimento (scala lineare) di TFT con W=L= 20μm irraggiati a diverse energie e sottoposti ad un trattamento termico in N_2 a T=350°C per 30' e 3h30'.

Il comportamento dei dispositivi realizzati è stato ulteriormente analizzato attraverso le caratteristiche di uscita misurate a differenti valori della tensione di gate, in particolare $V_G \geq V_T$. In questo tipo di analisi, sono stati utilizzati dispositivi sottoposti ad un annealing di 30' a T=350°*C*. Le misure hanno evidenziato la presenza di un aumento anomalo della corrente, l'effetto kink, per tensioni di polarizzazione molto elevate V_{DS} > 25V (vedi fig. 3.28). L'abbattimento di tale effetto è legato alla diminuzione del campo elettrico alla

giunzione di drain, dovuta al profilo graduale ottenuto con il processo di rimozione selettiva del drogante.

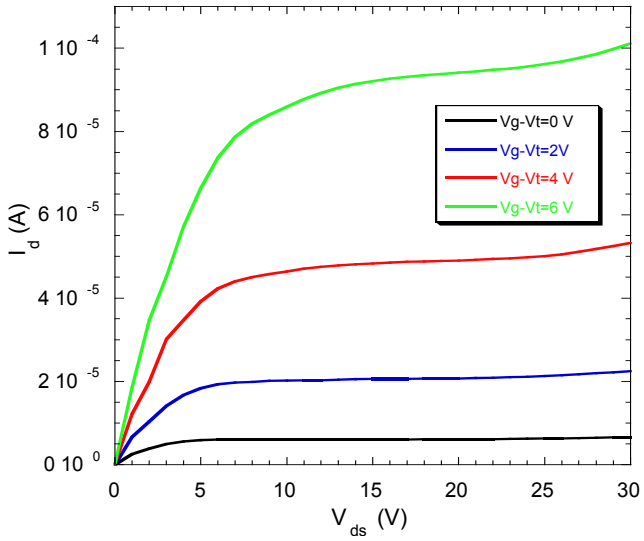

Figura 3.28 Caratteristiche di uscita di TFT, con W=L=20μm, irraggiati ad alta energia (regime 1).

3.3 Analisi della stabilità dei dispositivi

Nelle applicazioni dei poly-Si TFT nei circuiti di indirizzamento dei display a cristalli liquidi (AMLCD), o a diodi organici (AMOLED), le tensioni di polarizzazione tendono ad essere piuttosto elevate, pertanto i dispositivi operano in condizioni di elevati campi elettrici con conseguente degrado delle caratteristiche elettriche all'aumentare del tempo di lavoro. E' stata quindi fatta un'analisi dettagliata del comportamento dei dispositivi realizzati (annealing t=30' e T=350°C), in presenza di elevati campi elettrici mediante misure di "stress". In questo tipo di analisi, si mantiene il transistor in opportune condizioni di polarizzazione per tempi prolungati e si studiano le variazioni delle caratteristiche di uscita e di trasferimento in funzione del tempo.

Le misure sono state effettuate ad una tensione di gate pari alla soglia dei dispositivi e due diverse tensioni di drain V_{ds}. Inoltre sono state fatte delle misure ad una tensione di gate maggiore della soglia, a V_{ds} elevata, in modo da avere correnti elevate e verificare la presenza di fenomeni dovuti all'intrappolamento di carica nell'ossido o al riscaldamento del dispositivo.

Misure di stress alla tensione di soglia:

Le misure di stress effettuate alla tensione di soglia del dispositivo (W=L=20μm) evidenziano una buona stabilità dei dispositivi realizzati. In particolare per V_{ds}(stress)=12.5 e V_g(stress)=V_t le caratteristiche di trasferimento (vedi fig. 3.29) non mostrano alcun degrado, in particolare la regione di ON del dispositivo (vedi fig. 3.29a) non mostra alcuna riduzione di corrente all'aumentare del tempo di stress. Generalmente questo effetto è legato alla formazione di stati di trappola (dovuti all'effetto degli Hot Carrier) in prossimità del drain all'interfaccia semiconduttore/isolante che funzionano come una resistenza in serie al canale e né diminuiscono la conduttanza. Anche le caratteristiche di uscita non mostrano cambiamenti apprezzabili sia a basse V_{ds} (regione lineare) che nella regione di saturazione del dispositivo (vedi fig 3.30). In quest'ultima zona si nota un leggero abbassamento del livello di saturazione dovuto probabilmente all'intrappolamento di carica negativa all'interfaccia semiconduttore/isolante che determina un aumento della soglia del dispositivo di qualche decina di mV.

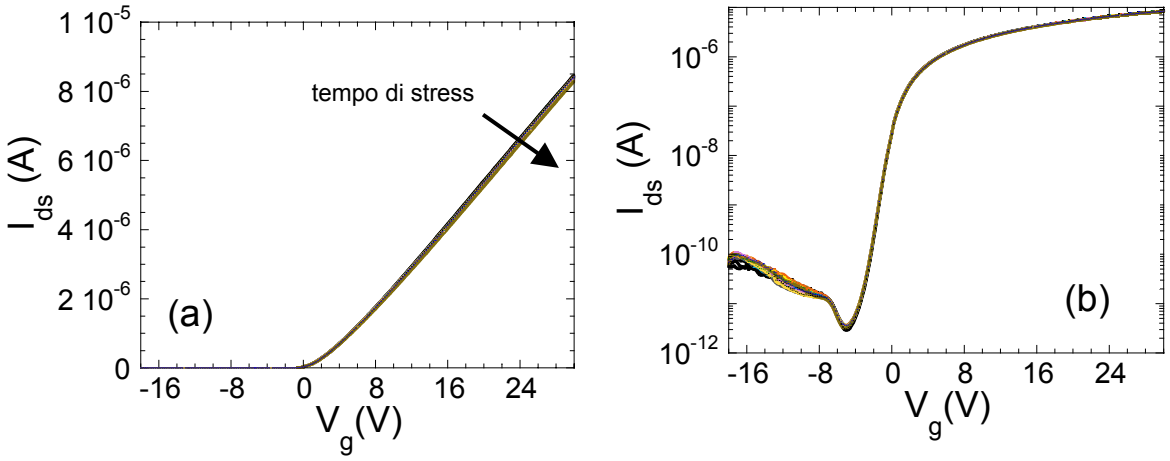

Figura 3.29 Caratteristiche di trasferimento trasferimento (a) scala lineare (b) scala semilog, misurate a bassa V_{ds} (0.1V) prima e durante lo stress elettrico a V_g(stress)=V_t, V_{ds}(stress) =12.5V per t=10000s.

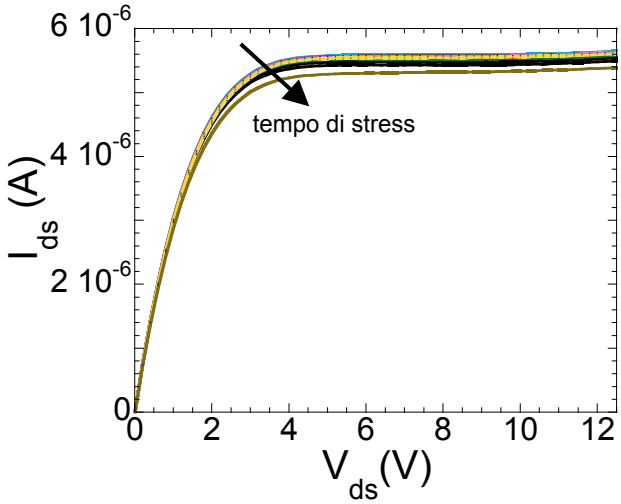

Figura 3.30 Caratteristiche di uscita misurate a V_g=V_g(stress) prima e durante lo stress elettrico a V_g(stress)=V_t, V_{ds}(stress) =12.5V per t=10000s.

I dispositivi hanno fin qui evidenziato una buona stabilità elettrica, ora ci proponiamo di verificare questo andamento anche a più alte V_{ds}(stress). Sono state quindi effettuate misure di stress ad una tensione di drain molto elevata, pari a 20V, in modo che il dispositivo (W=L=20μm) sia in regime di kink. Le caratteristiche di trasferimento mostrano una notevole diminuzione della corrente in regime di ON dovuto alla formazione di stati di trappola generati dai portatori caldi (vedi fig. 3.31).

Il degrado osservato nelle caratteristiche di trasferimento si riflette nelle zona lineare delle caratteristiche di uscita (vedi fig. 3.32) dove è visibile una sensibile riduzione della corrente. Nella zona di kink la caratteristica rimane pressoché invariata. Anche in questo caso si nota un leggero abbassamento del livello di saturazione causato dall'intrappolamento di carica negativa all'interfaccia semiconduttore/isolante .

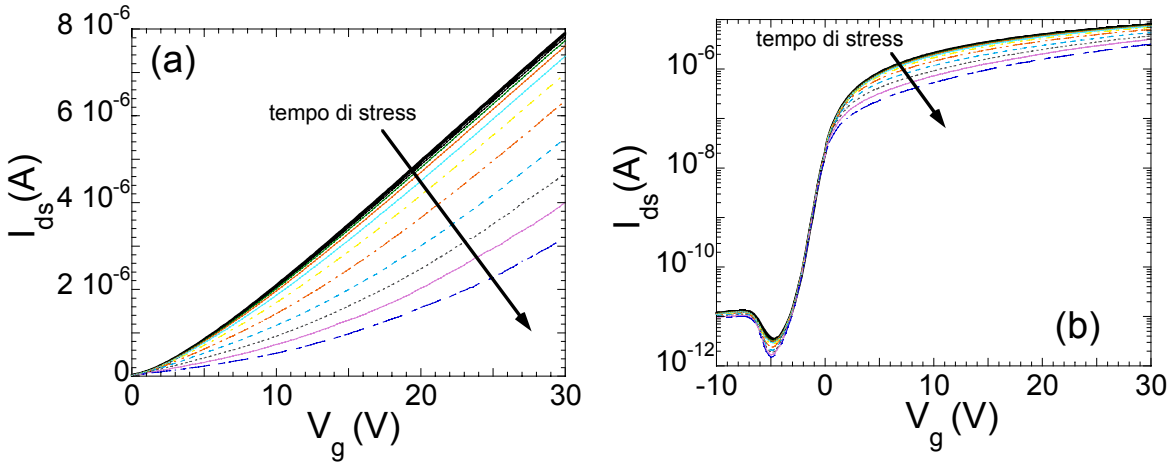

Figura 3.31 Caratteristiche di trasferimento (a) scala lineare (b) scala semilog, misurate a bassa V_{ds} (0.1V) prima e durante lo stress elettrico a V_g(stress)=V_t, V_{ds}(stress) =20V per t=10000s.

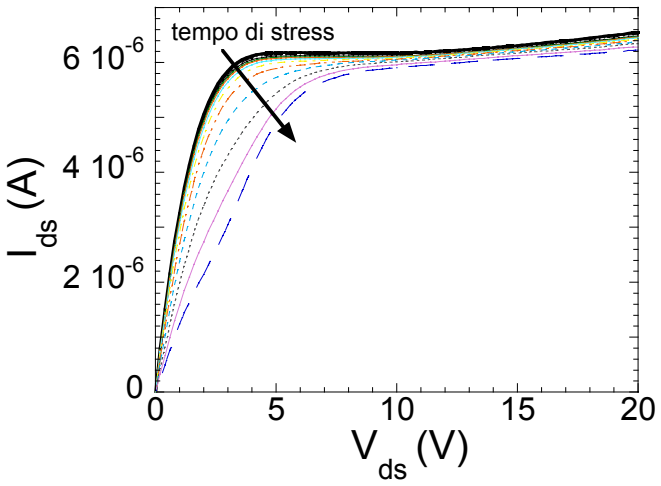

Figura 3.32 Caratteristiche di uscita misurate a V_g=V_g(stress) prima e durante lo stress elettrico a V_g(stress)=V_t, V_{ds}(stress) =20V per t=10000s.

Misure di stress ad elevata tensione di gate:

Un ulteriore analisi dello stress dei dispositivi (W=L=20µm) è stata effettuata in un regime di polarizzazione completamente differente dal precedente, si è infatti scelta una tensione di gate V_g(stress) molto elevata pari a 30V ed una V_{ds}(stress) < V_g(stress)-V_t pari a 20V in modo da minimizzare l'effetto degli hot carrier ed aumentare la corrente nel dispositivo.

Tale aumento può dar luogo ad un riscaldamento del dispositivo per effetto joule (self-heating) con conseguente rottura dei legami Si-H all'interfaccia semiconduttore-isolante, che comporta un aumento degli stati di trappola e quindi della tensione di soglia del transistor [3]. Nei dispositivi analizzati questo effetto non si è riscontrato, infatti le caratteristiche di trasferimento (vedi fig. 3.33a) non evidenziano una variazione della tensione di soglia. Anche le caratteristiche di uscita non mostrano nessun cambio del livello di saturazione tipico di una variazione della soglia del dispositivo.

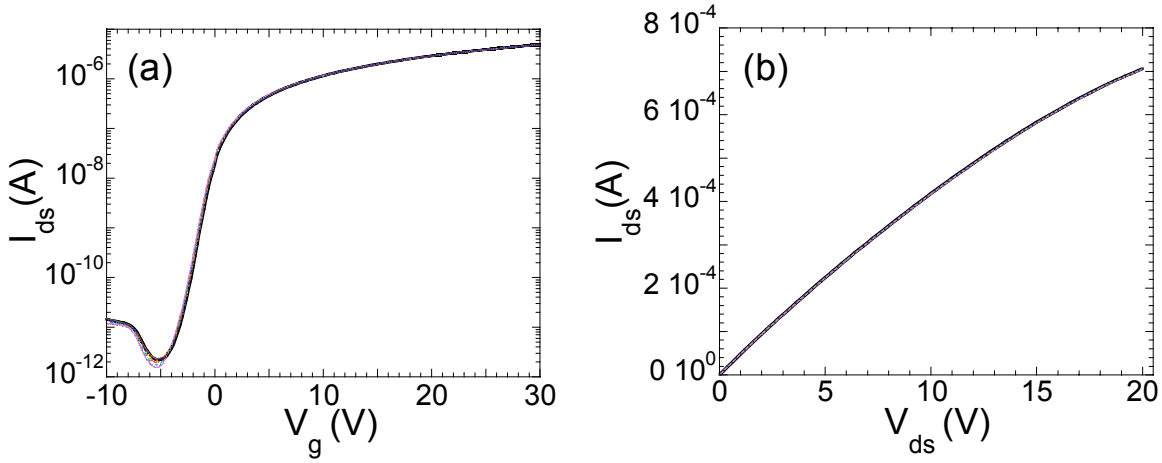

Figura 3.33 (a) Caratteristiche di trasferimento, misurate a bassa V_{ds} (0.1V), (b) Caratteristiche di uscita misurate a V_g=V_g(stress), prima e durante lo stress elettrico a V_g(stress)=30V, V_{ds}(stress) =20V per t=10000s.

Bibliografia

[1] Batey J. And Tierney E., J. Appl. Phys. 60, 3136 (1986).

[2] Kuhn M., Solid-State Electronics, Vol.13, pp. 873-886, (1970).

[3] S.Inoue, M.Kimura, T.Shimoda, Jpn.J.Appl.Phys 42 (2003) 1168.