CAPITOLO 2

Caratteristiche elettriche dei TFT a silicio policristallino

Il transistor a film sottile a silicio policristallino (TFT) è un dispositivo a tre terminali costituito da un substrato isolante, tipicamente vetro o ossido di silicio (SiO_2), sul quale vengono realizzate:

- due regioni di tipo n^+ o p^+, il source e il drain,
- una regione di polisilicio intrinseco, che funziona come canale, e uno strato di ossido di silicio sul quale è definito un contatto metallico detto gate (vedi fig. 2.1).

Un TFT può quindi essere schematizzato da un diodo *MOS* (metal oxide semiconductor) con semiconduttore a struttura policristallina, più due giunzioni n^+*-intrinseco* o p^+*-intrinseco* posizionate sotto l'ossido di gate.

In questo capitolo verrà prima analizzato il funzionamento del diodo MOS nel caso ideale [1], in cui il semiconduttore e l'ossido di gate sono privi di difetti, e poi nel caso reale dove vengono considerati alcuni fattori fisici che ne influenzano le caratteristiche elettriche. In seguito verrà trattato il comportamento del TFT in diverse condizioni di polarizzazione; verranno poi discussi i fenomeni legati agli alti campi elettrici presenti alla giunzione di drain sia in regime di accensione del transistor (on) *"effetto kink"*, *"effetto dei portatori caldi"* che nella regione di spegnimento del transistor (off) *"tunneling tra bande"*, *"tunneling assistito da generazione termica"*, *"Poole Frenkel"*.

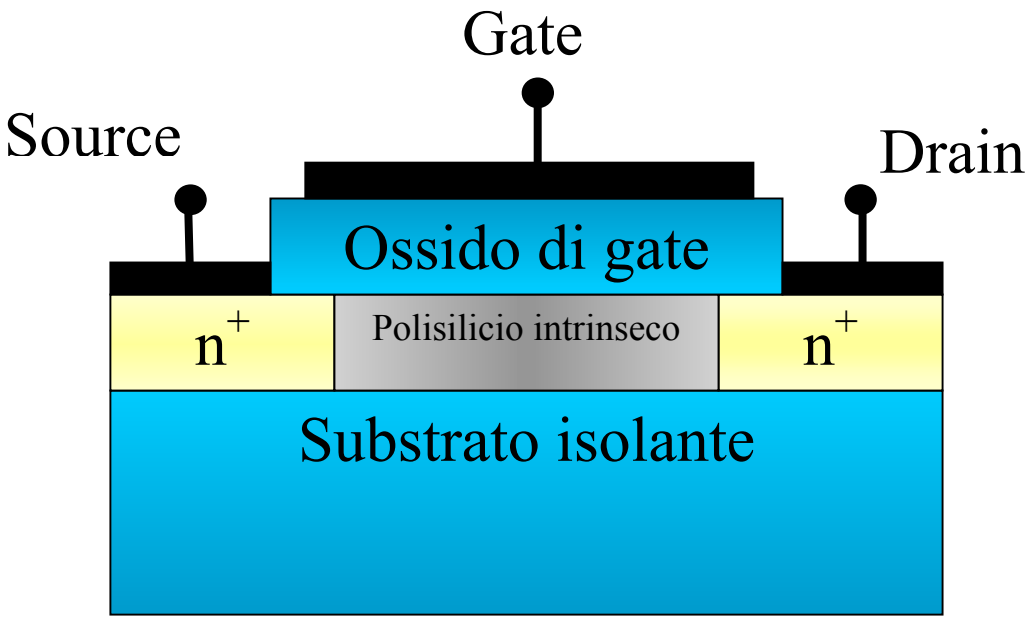

Figura 2.1 Schematizzazione bidimensionale di un transistor a film sottile in polisilicio.

2.1 Diodo MOS ideale

Un diodo MOS è un capacitore costituito da due armature una semiconduttrice e l'altra metallica che racchiudono uno strato di isolante, generalmente ossido di silicio SiO_2 [1] (vedi fig. 2.2).

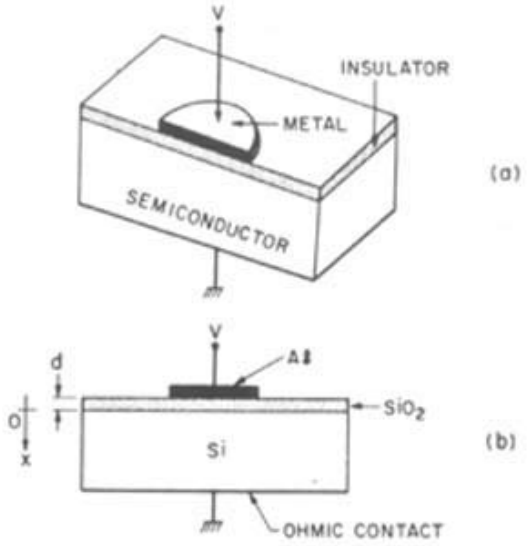

Figura 2.2 (a) Vista prospettica di un diodo MOS, (b) Sezione trasversale di un diodo MOS.

In figura 2.3 viene mostrato l'andamento delle bande di una struttura MOS ideale con semiconduttore di tipo *p* in cui vengono definite tutte le grandezze caratteristiche, come le funzioni di lavoro del metallo $(q\phi_m)$ e del semiconduttore $(q\phi_s)$, l'affinità elettronica del semiconduttore $(q\chi)$ e la differenza tra il livello di Fermi intrinseco E_i ed estrinseco E_F $(q\psi_B)$.

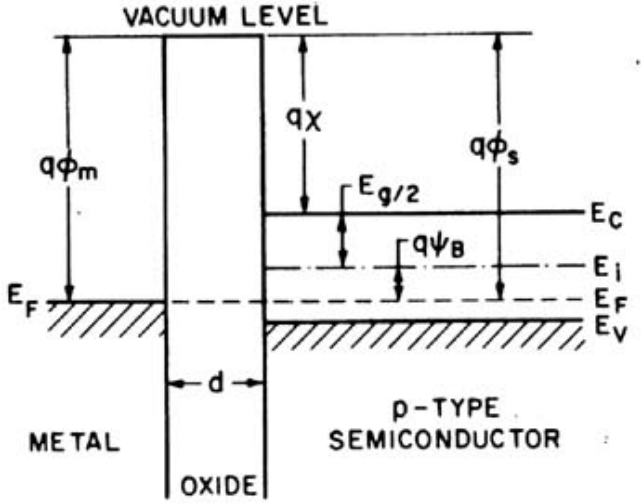

Figura 2.3 Diagramma delle bande di energia di un diodo MOS ideale per V=0.

Per definizione un MOS viene detto ideale se sono verificate le seguenti condizioni:

- in assenza di polarizzazione esterna la differenza di energia tra la funzione di lavoro del metallo $q\phi_m$ e la funzione lavoro del semiconduttore $q\phi_s$ è nulla, ossia

$$q\phi_{ms} = \left(q\phi_m - q\phi_s\right) = q\phi_m - \left(q\chi + \frac{E_g}{2} + q\psi_B\right) = 0. \tag{2.1}$$

  In questa ipotesi le bande di energia sono piatte quando non vi è tensione applicata all'elettrodo metallico (elettrodo di gate),
- lo strato di semiconduttore con struttura policristallina viene considerato privo di difetti come il silicio cristallino,
- l'ossido di gate è un isolante perfetto, privo di difetti, quindi non si ha trasporto di carica in polarizzazione continua.

Polarizzando un MOS ideale con tensioni positive o negative, si possono verificare tre casi: **accumulazione**, **svuotamento**, **inversione**.

1) **Accumulazione ($V_G < 0$):**

Applicando una tensione negativa all'elettrodo di gate, le bande risultano incurvate verso l'alto in prossimità del semiconduttore, come illustrato in figura 2.4,

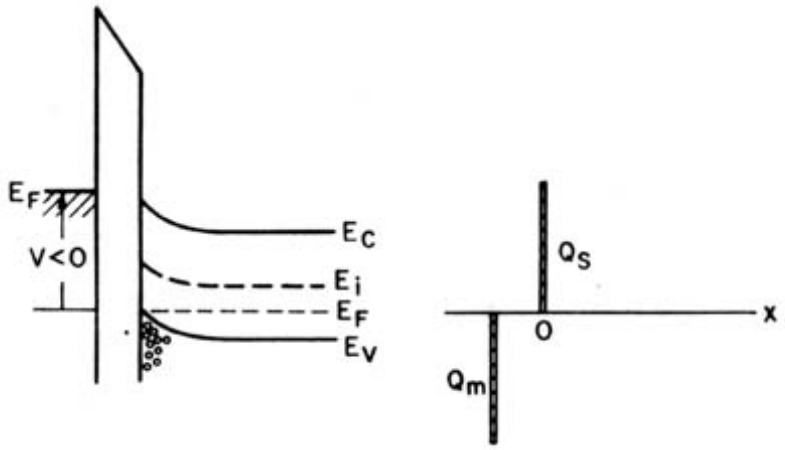

Figura 2.4 Accumulazione in un diodo MOS.

La curvatura verso l'alto delle bande di energia produce un incremento della differenza di energia tra il livello di Fermi intrinseco ed estrinseco ($E_i - E_F$) > 0 con conseguente aumento della concentrazione di lacune all'interfaccia ossido-semiconduttore, essendo quest'ultima data dalla relazione:

$$p_p = n_i \exp\left(\frac{E_i - E_F}{KT}\right) \tag{2.2}$$

dove

n_i = numero di portatori intrinseci.

2) **Svuotamento ($V_G > 0$):**

Quando si applica una piccola tensione positiva, le bande di energia si incurvano verso il basso e si verifica una diminuzione della differenza $E_i - E_F$ fino ad annullarsi, con conseguente svuotamento dei portatori maggioritari, in questo caso lacune, (vedi fig. 2.5).

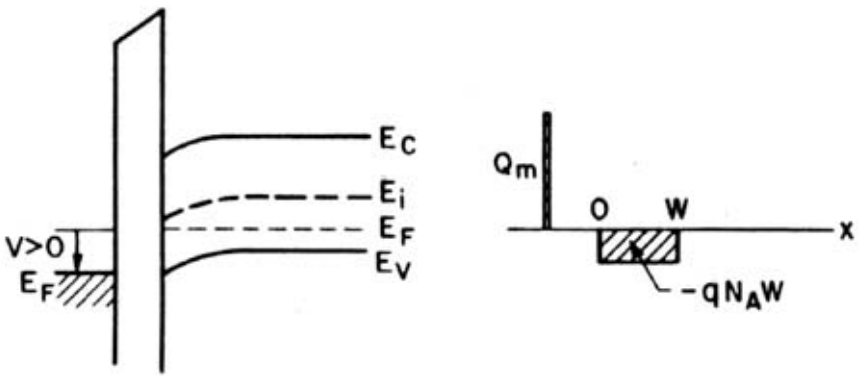

Figura 2.5 Svuotamento in un diodo MOS.

Nel caso $E_i = E_F$, sia la densità di lacune che quella di elettroni sulla superficie del semiconduttore adiacente l'ossido, si annulla e la carica spaziale è rappresentata dagli accettori ionizzati N_A,

$$Q_{SC} = -qN_A W \tag{2.3}$$

dove:

W è la dimensione della regione di svuotamento superficiale.

3) **Inversione ($V_G >> 0$):**

Polarizzando con una tensione positiva più elevata, le bande di energia si incurvano sempre di più sino a che, come mostrato in figura 2.6 il livello intrinseco E_i oltrepassa il livello di fermi E_F, allora $(E_i - E_F) < 0$. In questo caso la concentrazione di elettroni all'interfaccia, data dalla relazione (2.4), supera il valore n_i mentre la concentrazione di lacune diventa inferiore ad n_i; si viene così a creare un'inversione di popolazione all'interfaccia ossido-semiconduttore.

$$n_p = n_i \exp\left(\frac{E_F - E_i}{KT}\right) \tag{2.4}$$

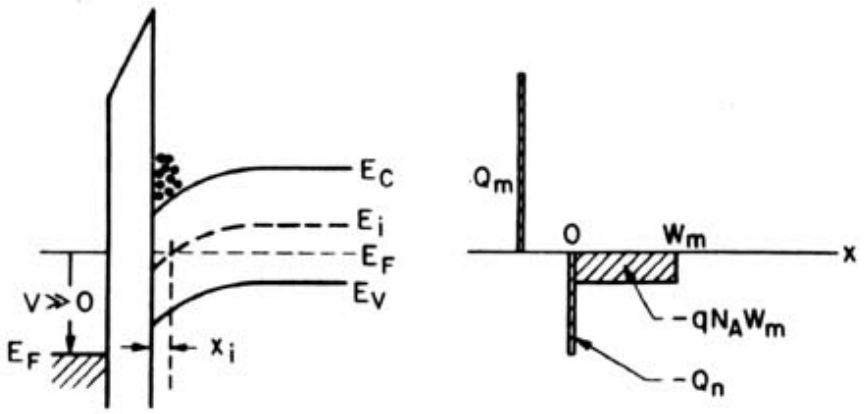

Figura 2.6 Inversione in un diodo MOS.

Pertanto in condizioni di forte inversione, la carica per unità di area nel semiconduttore è data da:

$$Q_S = Q_n + Q_{SC} = Q_n - qN_A W_m \tag{2.5}$$

dove W_m è la dimensione massima della regione di svuotamento superficiale.

In figura 2.7 è mostrato in dettaglio lo schema a bande in prossimità della superficie. Il potenziale ψ è misurato rispetto al livello di Fermi intrinseco, ed è nullo per definizione, lontano dall'interfaccia; sulla superficie vale $\psi = \psi_s$, noto come potenziale di superficie.

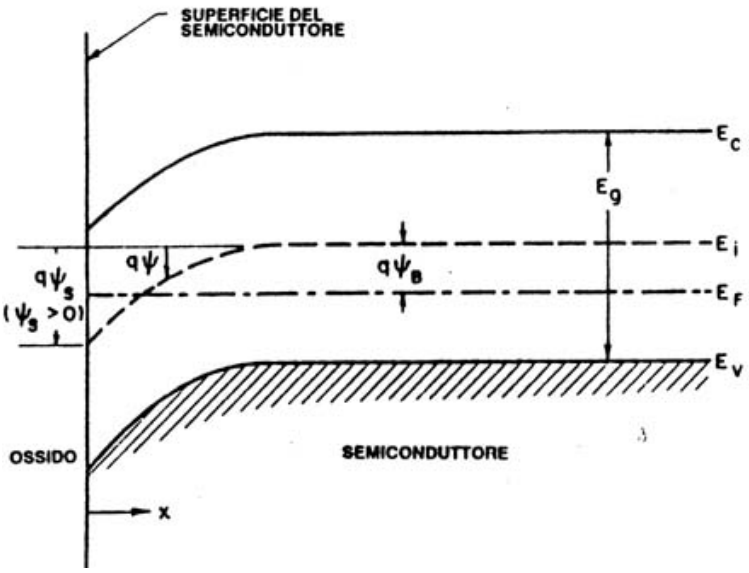

Figura 2.7 Dettaglio delle bande di energia di un MOS.

Come si evince dalla figura si ha inversione di popolazione quando $\psi_s > \psi_B$. Un buon criterio per stabilire l'esatto valore di ψ_s è quello di supporre una densità di elettroni alla superficie n_s uguale alla concentrazione di drogante ionizzato nel substrato N_A, ($n_s = N_A$). Questa condizione dà luogo ad un potenziale di superficie pari a:

$$\psi_s = 2\psi_B = \frac{2KT}{q}\ln\left(\frac{N_A}{n_i}\right) \tag{2.6}$$

La tensione di gate necessaria per il processo di inversione è detta tensione di soglia V_T, ed è data da:

$$V_T = V_{ox} + \psi_s\left(inv\right) \tag{2.7}$$

dove V_{ox} è la differenza di potenziale ai capi dell'ossido,

$$V_{ox} = F_{ox}d = \frac{|Q_s|d}{\varepsilon_{ox}} = \frac{|Q_s|}{C_{ox}} \tag{2.8}$$

con

F_{ox} = intensità del campo nell'ossido,

$C_{ox} = \frac{\varepsilon_{ox}}{d} =$ capacità per unità di area dell'ossido, (d = spessore dell'ossido, ε_{ox} = costante dielettrica dell'ossido)

Si ha quindi:

$$V_T = \frac{qN_AW_m}{C_{ox}} + \psi_s\left(inv\right) = \frac{\sqrt{2\varepsilon_s qN_A(2\psi_B)}}{C_{ox}} + 2\psi_B \tag{2.9}$$

2.2 Caratteristica C-V di un MOS ideale

La capacità totale C per unità di area di un MOS ideale è data dalla serie di due capacità: la capacità fissa dell'ossido C_{ox} e quella variabile dello strato di svuotamento nel semiconduttore C_s (vedi fig. 2.8) [1],

$$C = \frac{C_{ox} C_s}{C_{ox} + C_s} \tag{2.10}$$

dove,

$C_{ox} = \varepsilon_{ox}/d$ capacità per unità di area (F/cm^2) (2.11)

$C_s = \varepsilon_s/W$ capacità per unità di area (F/cm^2) (2.12)

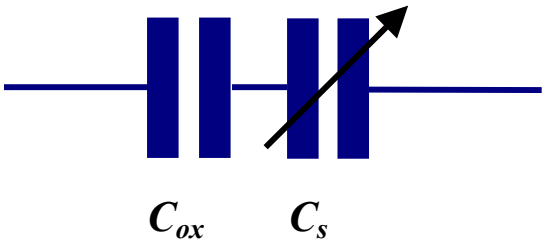

Figura 2.8 Connessione in serie della capacità del semiconduttore C_s e dell'ossido C_{ox}

Come già visto in precedenza, un dispositivo MOS può trovarsi in tre diverse condizioni di polarizzazione: **accumulazione**, **svuotamento**, **inversione**; nelle quali la capacità in funzione della tensione di gate assume valori diversi in base alla frequenza del segnale applicato.

1) **Accumulazione ($V_G < 0$):**

Applicando una tensione continua minore di zero, come un segnale a rampa, si ha un accumulo dei portatori maggioritari, in questo caso lacune, all'interfaccia ossido-semiconduttore. Sommando poi un segnale alternato alla rampa, il dispositivo risponde aggiungendo o sottraendo una quantità di carica ΔQ ai due lati dell'ossido (vedi fig. 2.9).

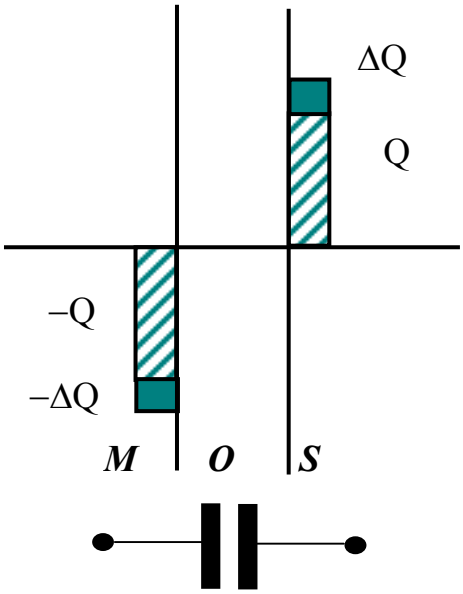

Figura 2.9 Fluttuazione della carica ΔQ in un capacitore MOS, dovuto all'applicazione di un segnale alternato ac; condizione di accumulazione $V_G < 0$.

Questo effetto è visibile a bassa ed alta frequenza, fino ad un valore massimo ω_{max}, dopo il quale i portatori maggioritari non riescono più a seguire le variazioni del segnale applicato. Tale valore è quindi determinato dal tempo di risposta dei maggioritari ad una perturbazione esterna, detto anche costante di tempo τ. Quest'ultima è dell'ordine di $10^{-10} \div 10^{-13}$ s, quindi per segnali con frequenza compresa tra $(10 \div 10^{7})Hz$, è possibile vedere l'effetto di accumulazione e sottrazione della carica ΔQ ai lati dell'isolante come avviene in un condensatore a facce piane e parallele. La capacità è quindi indipendente dalla frequenza ed è data dalla relazione,

$$C_{accumulazione} = C_{ox}A = (\varepsilon_{ox}A)/d \qquad (2.13)$$

dove,

A = area dell'elettrodo di gate.

d = spessore dell'ossido di gate.

2) **Svuotamento ($V_G > 0$):**

In questo caso inizia un processo di svuotamento dei portatori maggioritari in una zona larga W adiacente all'interfaccia ossido-semiconduttore (vedi fig. 2.10). Come nel caso precedente sono coinvolti solo portatori maggioritari, quindi la capacità che si ottiene con un segnale ad alta o bassa frequenza è lo stessa.

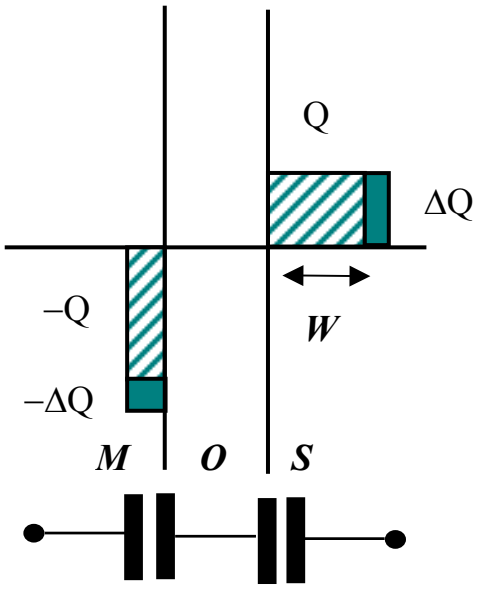

Figura 2.10 Fluttuazione della carica *ΔQ* in un capacitore MOS, dovuto all'applicazione di un segnale alternato ac; condizione di svuotamento $V_G > 0$.

L'effetto del segnale alternato è quello di produrre un'oscillazione di carica positiva *ΔQ* all'interfaccia metallo-ossido e di carica negativa *ΔQ* all'interfaccia ossido-semiconduttore attraverso una fluttuazione della larghezza *W* della regione di svuotamento. La capacità totale è data dalla somma di due capacità, $C_{ox}A$ e C_sA,

$$C_{svuotamento} = \frac{C_{ox}A \times C_sA}{C_{ox}A + C_sA} = \frac{C_{ox}A}{1 + WX_0} \tag{2.14}$$

dove:

$X_o = \varepsilon_{ox}/d\varepsilon_s$

3) **Inversione ($V_G >> 0$):**

Aumentando la tensione continua applicata, un grande numero di portatori minoritari migrano verso l'interfaccia ossido-semiconduttore e la regione svuotamento raggiunge il suo valore massimo W_T. A differenza dei casi precedenti, la capacità totale a bassa ed alta frequenza assume valori diversi, è quindi necessario uno studio separato.

- $\omega \to 0$:

A frequenze basse, circa 10*Hz*, corrispondenti a periodi *T* elevati, le cariche minoritarie hanno il tempo di generarsi o ricombinarsi; in questo modo si ha un'oscillazione della carica mobile ΔQ in funzione del segnale alternato in prossimità dell'interfaccia metallo-ossido e ossido-semiconduttore (vedi fig. 2.11) e la capacità totale è simile a quella di un condensatore piano,

$$C_{\omega \to 0} = C_{ox}.$$

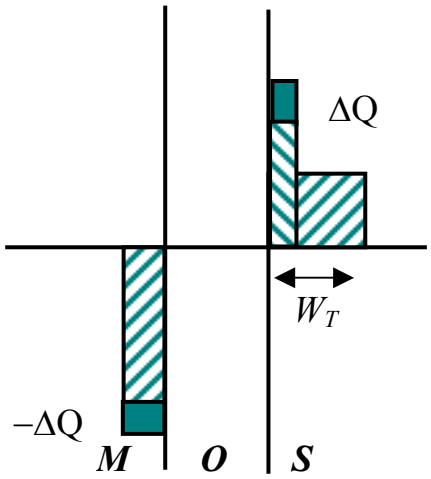

Figura 2.11 Fluttuazione della carica ΔQ in un capacitore MOS, dovuto all'applicazione di un segnale alternato ac a bassa frequenza; condizione di inversione $V_G >> 0$.

- $\omega \to \infty$:

Per frequenze alte, dell'ordine dei 10*MHz*, i processi di generazione e ricombinazione non sono in grado di seguire le variazioni del segnale alternato, quindi il numero di portatori minoritari durante l'inversione rimane bloccato ai valori fissati dalla componente continua del segnale. Per bilanciare la carica indotta nel metallo si hanno delle oscillazioni di carica

fissa ΔQ al bordo della regione di svuotamento intorno al valore W_T (vedi fig. 2.12) e la capacità è data dalla serie di due capacità:

$$C_{\omega\to\infty} = \frac{C_{ox}A \times C_s A}{C_{ox}A + C_s A} = \frac{C_{ox}}{1 + W_T X_0}. \tag{2.15}$$

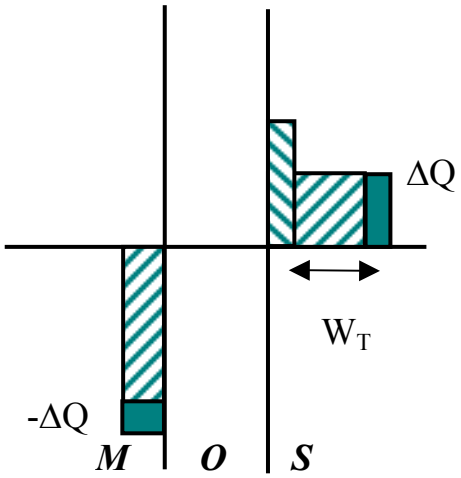

Figura 2.12 Fluttuazione della carica ΔQ in un capacitore MOS, dovuto all'applicazione di un segnale alternato ac ad alta frequenza; condizione di inversione $V_G >> 0$.

L'andamento della capacità in funzione della tensione applicata nei tre casi sopra descritti **accumulazione**, **svuotamento**, **inversione**, è rappresentata nella seguente figura (vedi fig. 2.13):

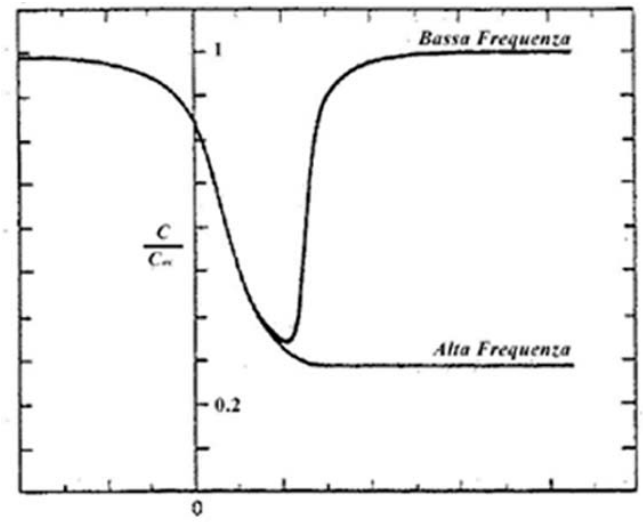

Figura 2.13 Andamenti *C-V* di un dispositivo MOS ideale di tipo *p* ad alta e bassa frequenza.

2.3 Diodo MOS reale

A differenza del caso ideale, le caratteristiche elettriche di un MOS reale sono fortemente influenzate da alcuni fattori fisici, quali:

- la differenza tra le funzioni lavoro del metallo e del semiconduttore,
- la carica fissa e mobile nell'ossido,
- gli stati di trappola nel semiconduttore e all'interfaccia ossido di gate-semiconduttore.

2.3.1 Differenza tra le funzioni lavoro del metallo e del semiconduttore

Nel caso in cui il metallo e il semiconduttore hanno differenti funzioni lavoro $q\phi_{ms} = q\phi_m - q\phi_s \neq 0$, il livello di Fermi nel metallo non è allineato con quello del semiconduttore. All'equilibrio termodinamico il livello di Fermi deve essere però costante e il livello di vuoto continuo, pertanto le bande del semiconduttore si incurvano verso il basso in modo da recuperare la differenza tra le funzioni lavoro [1]. In questo modo il metallo si carica positivamente e il semiconduttore negativamente (vedi fig. 2.14).

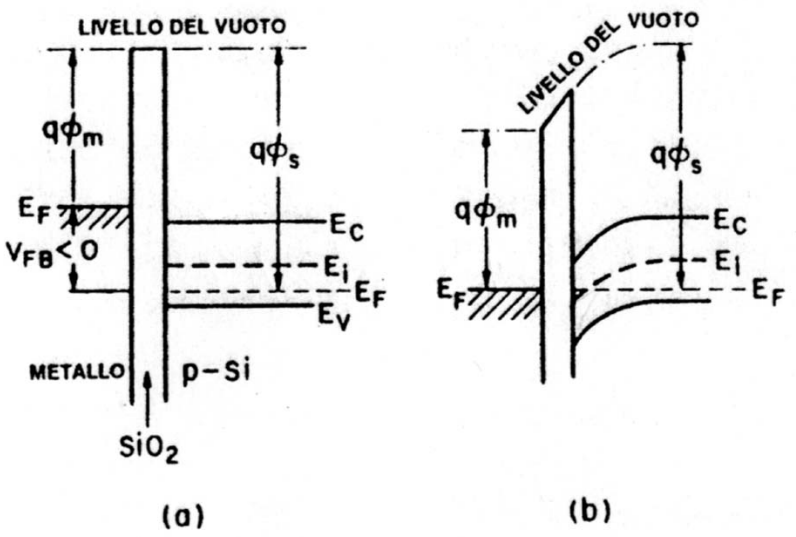

Figura 2.14 Diagramma delle bande di energia in un diodo MOS reale in cui il metallo e il semiconduttore (di tipo *p*) hanno differenti funzioni di lavoro. (a) Caso di non equilibrio termodinamico, (b) Caso di equilibrio termodinamico.

Per raggiungere la condizione di bande piatte, condizione per cui non vi è carica indotta nel semiconduttore, si deve applicare una tensione negativa al metallo pari alla differenza tra le funzioni di lavoro ($q\phi_m$ - $q\phi_s$). Questa tensione viene definita "tensione di bande piatte", $V_{FB} = \phi_{ms} < 0$.

L'effetto della differenza tra le funzioni di lavoro è quello di traslare verso tensioni negative le caratteristiche *C-V* di una quantità pari a $\Delta V_G = V_G - V_G^{'} = V_{FB}$ (vedi fig. 2.15), dove:

V_G = tensione di gate nel caso MOS reale,

$V_G^{'}$ = tensione di gate nel caso di MOS ideale.

In questo caso la tensione di soglia diventa:

$$V_T = V_T^{'} + V_{FB} = V_T^{'} + \phi_{ms} . \tag{2.16}$$

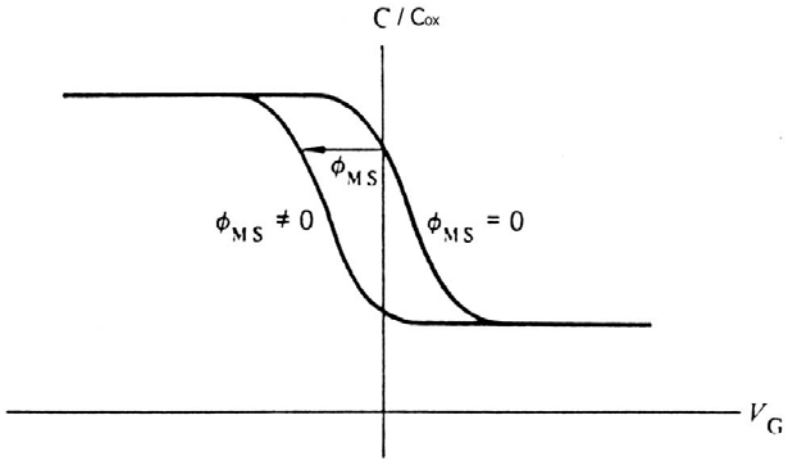

Figura 2.15 Confronto tra le caratteristiche *C-V* di un MOS di tipo p ad alta frequenza nel caso ideale e reale, considerando la differenza tra le funzioni di lavoro del metallo e del semiconduttore diversa da zero [1].

2.3.2 Carica fissa e mobile nell'ossido

La carica fissa nell'ossido Q_f è localizzata entro 3-5*nm* dall'interfaccia Si-SiO_2. La formazione di tale carica è dovuta alla presenza di alcuni ioni positivi di silicio in prossimità dell'interfaccia provenienti da legami insaturi del silicio (*Si-O* o *Si-Si*). Essa dipende dalle condizioni in cui è avvenuta la deposizione dell'ossido e il processo di

annealing. La carica fissa è indipendente sia dallo spessore dell'ossido che dalla concentrazione e tipo di drogaggio (*p* oppure *n*) del semiconduttore. Valori tipici della densità di carica fissa nell'ossido sono di circa 10^{10} *ioni/cm*$^{+2}$.

La carica mobile nell'ossido Q_m è rappresentata da ioni, quali sodio o altri ioni alcalini, che si possono muovere liberamente in condizioni di alta temperatura ed elevata tensione applicata. La presenza di questi ioni è dovuta ad una possibile contaminazione del materiale durante il processo di fabbricazione.

L'effetto rilevante della carica fissa e mobile è quello di traslare verso tensioni negative le caratteristiche *C-V* (vedi fig. 2.16) di una quantità pari a:

$$\Delta V_G = V_G - V_G^{'} = -\frac{\left(Q_f + Q_m\right)}{C_{ox}}. \tag{2.17}$$

La tensione di soglia del dispositivo assume il seguente valore:

$$V_T = V_T^{'} + \phi_{ms} - \frac{\left(Q_f + Q_m\right)}{C_{ox}}. \tag{2.18}$$

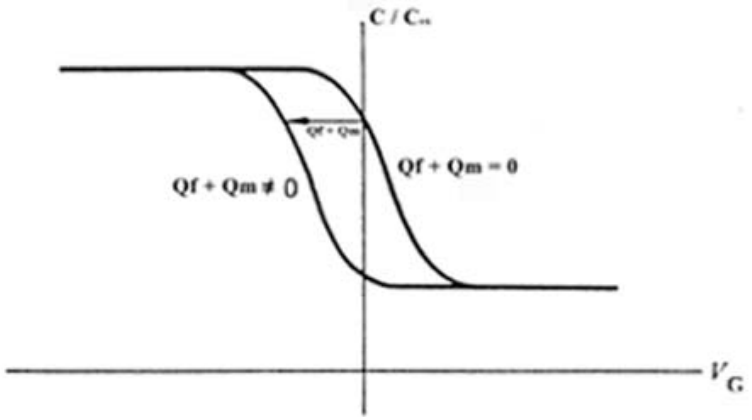

Figura 2.16 Confronto tra le caratteristiche *C-V* di un MOS di tipo *p* ad alta frequenza nel caso ideale e reale, considerando la presenza di carica fissa e mobile nell'ossido [1].

2.3.3 Stati di trappola nel semiconduttore e all'interfaccia ossido-semiconduttore

In un MOS reale oltre ai difetti intrinseci del materiale policristallino, dovuti alla presenza di legami *Si-Si* non saturi, legami deboli o distorti all'interno e ai bordi di grano (dangling bonds), vi sono difetti all'interfaccia ossido di gate-semiconduttore legati anche in questo caso a legami *Si-O* insaturi, legami deboli o distorti (dangling bonds) che influenzano notevolmente le proprietà elettriche di un MOS (vedi fig. 2.17) [2].

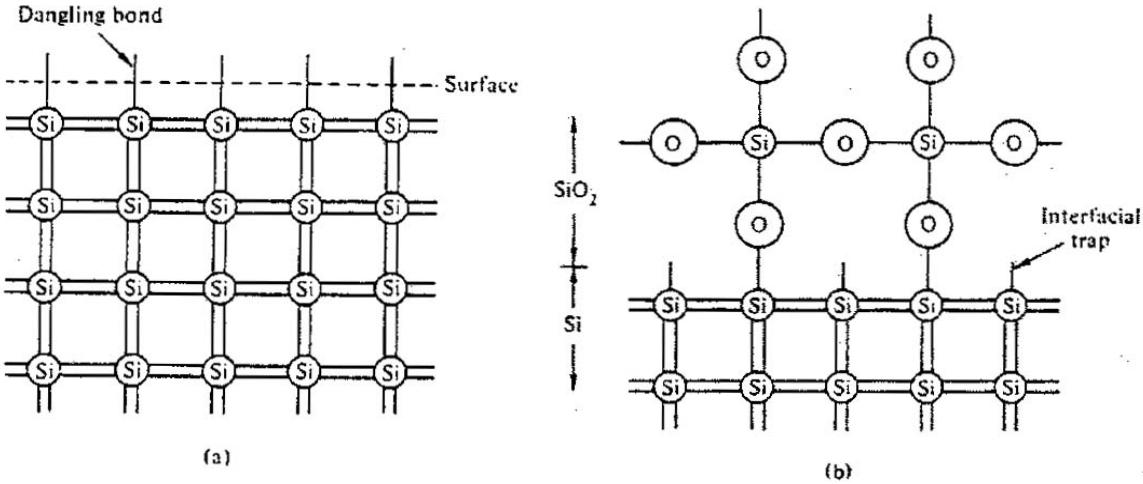

Figura 2.17 Modello fisico degli stati di interfaccia; (a) "dangling bonds" causati dall'interruzione del reticolo di silicio, (b) "dangling bonds" che dopo l'ossidazione diventano stati di trappola interfacciali [1].

La presenza di tali difetti, trappole all'interfaccia e ai bordi di grano, dà luogo a stati localizzati (localized density of states, LDOS) nell'intervallo di energia proibita del semiconduttore (gap) [2]. Gli stati dovuti solamente a difetti all'interfaccia vengono detti "*stati interfacciali*". In particolare gli stati di trappola indotti da legami insaturi sono localizzati circa a metà gap e vengono detti "stati profondi" (deep states) mentre quelli dovuti a legami deboli o distorti sono localizzati in prossimità della banda di valenza e di conduzione e vengono detti "stati di coda" (tail states). Entrambi gli stati, profondi e di coda, possono essere di due tipi:

- **stati accettori** (acceptor like) N_{TA}, neutri quando sono vuoti e carichi negativamente quando intrappolano un elettrone (stati pieni),
- **stati donori** (donor like) N_{TD}, carichi positivamente quando sono vuoti e neutri se pieni di un elettrone.

Supponendo una distribuzione uniforme degli stati di trappola all'interno del canale; ipotesi fondata essendo i bordi di grano molto piccoli rispetto alle dimensioni del canale, è stata trovata la forma analitica della densità degli stati di trappola $N_T(E)$ analizzando la dipendenza dalla temperatura della derivata prima della conduttanza rispetto alla tensione di gate [3].

I risultati ottenuti determinano una LDOS composta da quattro code esponenziali (vedi fig. 2.18):

$$D_t(E) = N_{G_1} \exp\left(-\frac{E-E_V}{KT_{G_1}}\right) + N_{G_2} \exp\left(-\frac{E-E_V}{KT_{G_2}}\right) + \\ + N_{G_3} \exp\left(\frac{E-E_C}{KT_{G_3}}\right) + N_{G_4} \exp\left(\frac{E-E_C}{KT_{G_4}}\right) \tag{2.19}$$

dove:

$KT_{G_1}, KT_{G_2}\ KT_{G_3}\ KT_{G_4}$ = energie caratteristiche delle distribuzioni,

N_{G_1}, N_{G_2} = concentrazione di trappole per unità di volume e per eV, misurate ad $E = E_V$,

$N_{G_3}\ N_{G_4}$ = concentrazione di trappole per unità di volume e per eV, misurate ad $E = E_C$.

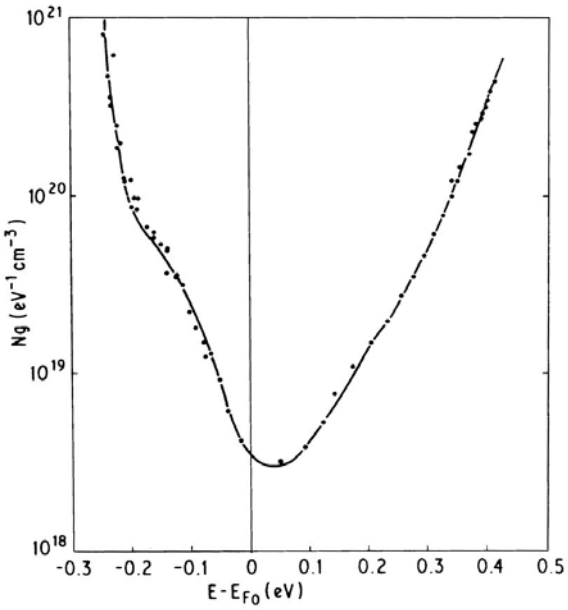

Figura 2.18 Densità di stati nella gap proibita di un campione di polisilicio di spessore pari a 0.6 μm. L'energia è riferita alla posizione del livello di Fermi in condizioni di bande piatte. I dati con $E - E_{F0} > 0$ sono ottenuti da dispositivi a canale *n* mentre quelli $E - E_{F0} < 0$ sono ottenuti da dispositivi a canale *p* [3].

Gli stati di trappola agiscono come centri di cattura per la carica libera causando una forte riduzione della mobilità ad effetto campo. Inoltre danno luogo ad una carica fissa positiva qN_{TD}^{+} e negativa qN_{TA}^{-} che trasla le caratteristiche *C-V* del MOS di una quantità ΔV_G dipendente dal potenziale di superficie ψ_s:

$$\Delta V_G = -\frac{\left[qN_{TD}^{+}(\psi_s) - qN_{TA}^{-}(\psi_s)\right]}{C_{ox}} \tag{2.20}$$

In figura 2.19 viene mostrato l'effetto degli stati di trappola sulle caratteristiche *C-V* ad alta frequenza di un MOS con polisilicio di tipo "*p*".

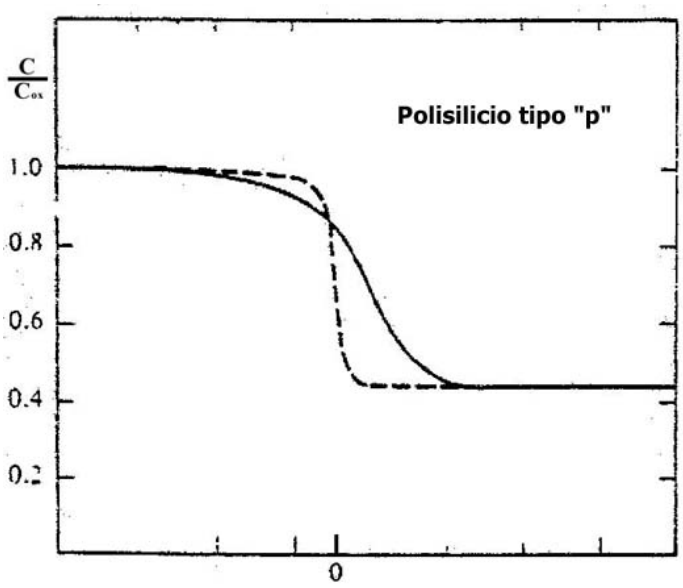

Figura 2.19 Caratteristiche *C-V* ad alta frequenza di un diodo MOS di tipo *p*, ideale (linea tratteggiata) e con stati di trappola (linea continua).

2.4 Funzionamento del TFT a silicio policristallino

Il funzionamento dei TFT a silicio policristallino è molto simile a quello dei MOSFET a silicio cristallino. Vi sono però alcune sostanziali differenze legate alla presenza di una densità di stati di trappola nella gap (LDOS), nei TFT. Tali stati intrappolano i portatori sottraendoli al processo di conduzione.
La densità di carica totale sarà quindi data dalla somma di due contributi:

$$\rho_{tot} = \rho_f + \rho_t \tag{2.21}$$

con

ρ_f = densità di carica libera dovuta ai portatori in banda di conduzione o di valenza,

ρ_t = densità di carica localizzata relativa ai portatori catturati dagli stati di trappola.

Il peso relativo di questi due contributi determina il regime di funzionamento dei TFT. In particolare se $\rho_f << \rho_t$, si parla di *regime di sottosoglia*, se viceversa $\rho_f >> \rho_t$ si è in *regime di soprasoglia*. Nel caso in cui $\rho_t \approx \rho_f$ si parla di *regime di transizione* dalla zona di sottosoglia a quella di soprasoglia; in questo caso il valore della LDOS è di fondamentale importanza perché determina il passaggio dalla condizione di spegnimento a quella di accensione del dispositivo. Sotto questo aspetto i TFT di silicio policristallino si comportano molto diversamente dai MOSFET a silicio cristallino.
Un ulteriore differenza rispetto al caso cristallino è nella definizione di mobilità ad effetto campo. Nel caso dei TFT essa è data dalla relazione

$$\mu_{fe} = \mu_0 \left(\frac{\rho_f}{\rho_f + \rho_t} \right) \tag{2.22}$$

con

μ_0 = mobilità di banda,

mentre nel caso dei MOSFET la mobilità ad effetto campo è data dalla sola mobilità di banda $\mu_{fe} = \mu_0$. E' quindi evidente che la mobilità ad effetto campo dei TFT è minore rispetto a quella dei MOSFET sia per la presenza di carica localizzata negli stati di trappola e sia per i processi di diffusione delle cariche libere nei difetti ai bordi di grano che riducono il valore della mobilità di banda.

Schematizzando un TFT come una struttura unidimensionale, in cui tutte le variabili dipendono da una sola coordinata (vedi fig. 2.20), è possibile ricavare le proprietà elettriche partendo dall'equazione di Poisson unidimensionale [2],

$$\frac{d^2\psi(x)}{dx^2} = -\frac{\rho_{tot}(x)}{\varepsilon_s} \tag{2.23}$$

dove

$\psi(x)$ = potenziale elettrostatico,

ε_s = costante dielettrica del semiconduttore.

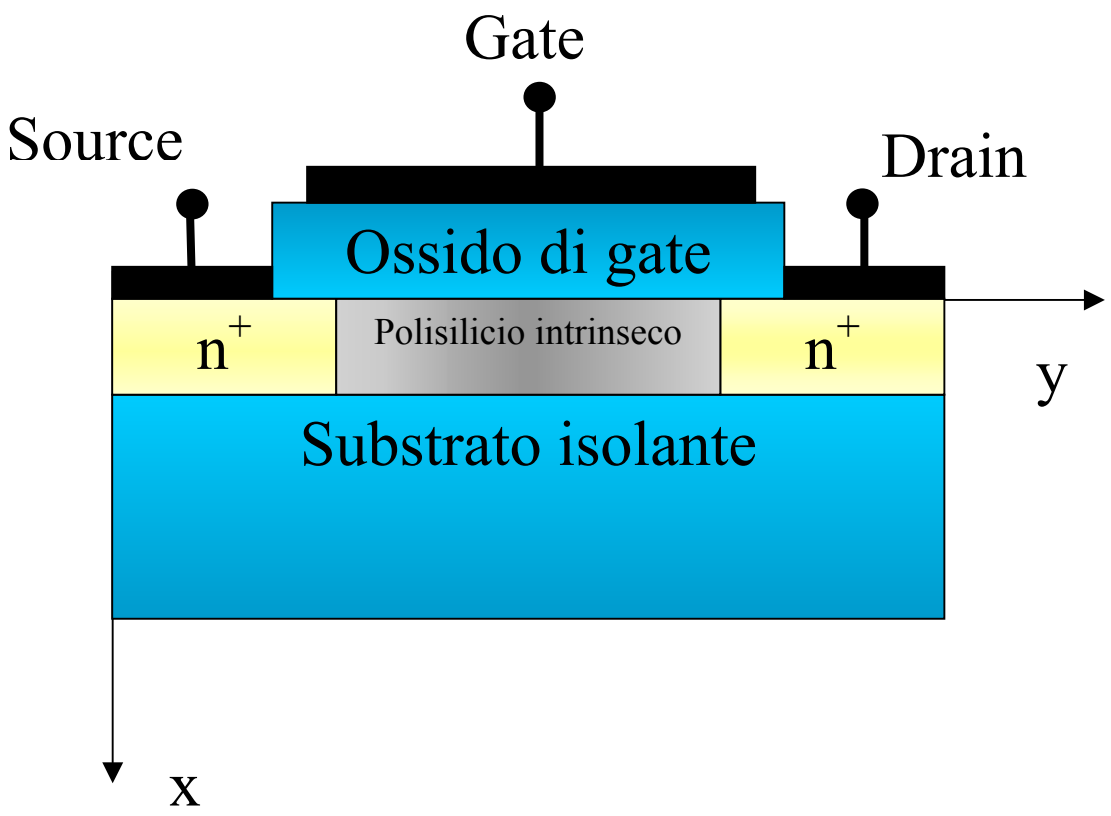

Figura 2.20 Schematizzazione del transistor in cui viene evidenziata la coordinata *x*, dalla quale dipendono tutte le variabili considerate nei calcoli seguenti.

Considerando un TFT a canale "*n*" è possibile definire la forma analitica della densità di carica totale definendo i singoli contributi [3],

$$\rho_t(\psi) = -q\int_{E_V}^{E_C} D_t(E)(f - f_0)\,dE \tag{2.24}$$

$$\rho_f(\psi) = -q\int_{E_C}^{\infty} D_f(E)(f - f_0)\,dE \tag{2.25}$$

dove:

E_C = è il minimo della banda di conduzione,

E_V = è il massimo della banda di valenza,

q = è la carica dell'elettrone,

$D_t(E) = N_G \exp\left(\frac{E - E_C}{KT_G}\right)$ = densità degli stati di trappola in prossimità della banda di conduzione, con

KT_G = energia caratteristica della LDOS,

N_G = concentrazione di trappole per unità di volume per $E = E_C$,

$D_f(E) = \frac{2N_C}{\sqrt{\pi}(KT)^{\frac{3}{2}}}(E - E_C)^{\frac{1}{2}}$ = densità degli stati in banda di conduzione, con

N_C = densità efficace degli stati in banda di conduzione,

$f = f(E, E_F + q\psi) = \frac{1}{1 + \exp\left(\frac{E - E_F - q\psi}{KT}\right)}$ = distribuzione di Fermi-Dirac,

$f_0 = f(\psi = 0)$.

Moltiplicando ambo i membri della formula (2.23) per $2\left(\frac{d\psi}{dx}\right)$ ed integrando in x da $x = 0$ (interfaccia ossido di gate-semiconduttore) ad $x = x_0$ (interfaccia semiconduttore-substrato) ed utilizzando le espressioni di ρ_f e ρ_t si ottiene la formula analitica del campo elettrico in superficie:

$$F_s^2 = \frac{2q}{\varepsilon_s}\int_{E_V}^{E_C} D_t(E)H(\psi, E, E_F)\,dE + \frac{4qN_C}{(KT)^{\frac{3}{2}}\pi^{\frac{1}{2}}\varepsilon_s}\int_{E_V}^{\infty}(E - E_C)^{\frac{1}{2}}H(\psi, E, E_F)\,dE \tag{2.26}$$

con

$$H(\psi, E, E_F) = \frac{KT}{q}\left\{ f_0 \left[\exp\left(\frac{q\psi_s}{KT_G}\right) + \exp\left(\frac{E - E_C}{KT_G}\right)\right]\right\} - \psi_s f_0 . \tag{2.27}$$

Nota l'espressione del campo elettrico all'interfaccia, è possibile definire la conduttanza del canale, adottando l'approssimazione di canale uniforme $V_{DS} << V_G$,

$$G = G_0 + \frac{G_0}{x_0}\int_0^{x_0}\left(e^{\frac{q\psi(x)}{KT}} - 1\right)dx \tag{2.28}$$

dove

$G_0 = \dfrac{Wq\mu_n n_0 x_0}{L}$ = conduttanza del canale in condizioni di bande piatte, con

$n_0 = N_C e^{\frac{E_F - E_C}{KT}}$ = numero di elettroni in banda di conduzione,

μ_n = mobilità ad effetto campo degli elettroni,

x_0 = spessore dello strato attivo di silicio policristallino,

W = larghezza del canale,

L = lunghezza del canale.

L'espressione analitica della conduttanza di canale G può essere ricavata nei due regimi di *sottosoglia* e *soprasoglia* partendo dalla relazione (2.28).

Regime di sottosoglia

In regime di sottosoglia la densità di carica localizzata è molto maggiore della carica libera ($\rho_t >> \rho_f$) è quindi lecito trascurare l'effetto di quest'ultima nei calcoli seguenti.

Per quanto visto precedentemente, il campo elettrico nel canale a ridosso della superficie ossido di gate-semiconduttore è ben rappresentato dall'equazione:

$$F_s^2 = \left(\left.\frac{d\psi}{dx}\right|_{x=0}\right)^2 = \frac{2q}{\varepsilon_s}\int_{E_V}^{E_C} D_t(E)\, H(\psi, E, E_F)\, dE \tag{2.29}$$

Differenziando poi l'espressione della conduttanza del canale, formula (2.28), si ha:

$$\frac{dG}{d\psi_s} = -\frac{G_0}{x_0}\frac{\left(e^{\frac{q\psi_s}{KT}}-1\right)}{\left(\left.\frac{d\psi}{dx}\right|_{x=0}\right)} = -\frac{G_0}{x_0}\frac{\left(e^{\frac{q\psi_s}{KT}}-1\right)}{F_s} \tag{2.30}$$

ed usando la relazione,

$$V_G - V_{FB} = V_{ox} + \psi_s$$

con

$$V_{ox} = d\frac{\varepsilon_s}{\varepsilon_{ox}}\left(\left.\frac{d\psi}{dx}\right|_{x=0}\right)$$

è possibile ricavare tramite integrazione numerica per ogni ψ_s la relazione che lega la conduttanza G a V_G.

Nel caso di alti valori del potenziale elettrostatico di superficie ψ_s, si può ottenere un'espressione analitica per la derivata di G in funzione di V_G,

$$\frac{dG}{dV_G} = \frac{G_0\varepsilon_{ox}e^{\frac{E_C-E_F}{KT_G}}}{q\left(N_G KT_G\right)\mathrm{x}_0 d}\left(\frac{V_G - V_{FB}}{V_{ox}}\right)^{\frac{2T_G}{T-2}}. \tag{2.31}$$

L'integrazione dell'espressione (2.31) fornisce la relazione G-V_G in condizioni di sottosoglia:

$$G = G_0 + K_0\left(V_G - V_{FB}\right)^{\frac{2T_G}{T-1}} \tag{2.32}$$

con

$$K_0 = q\mu_n N_C\left[\frac{T}{\left(2T_G - T\right)}\right]\left(\frac{2\varepsilon_s}{N_G q^2}\right)^{\frac{1}{2}}\left[\frac{\varepsilon_{ox}^2}{2\varepsilon_s d N_G (KT_G)^2}\right]^{T_G/\left(T-\frac{1}{2}\right)}. \tag{2.33}$$

Come è evidente i parametri della densità degli stati di trappola, KT_G e N_G, giocano un ruolo fondamentale in tale espressione a testimonianza della forte influenza in questa

regione di funzionamento del dispositivo. In figura 2.21 è riportato l'andamento teorico e sperimentale di $\log G$ in funzione di V_G in cui è evidente l'ottimo accordo tra le due curve.

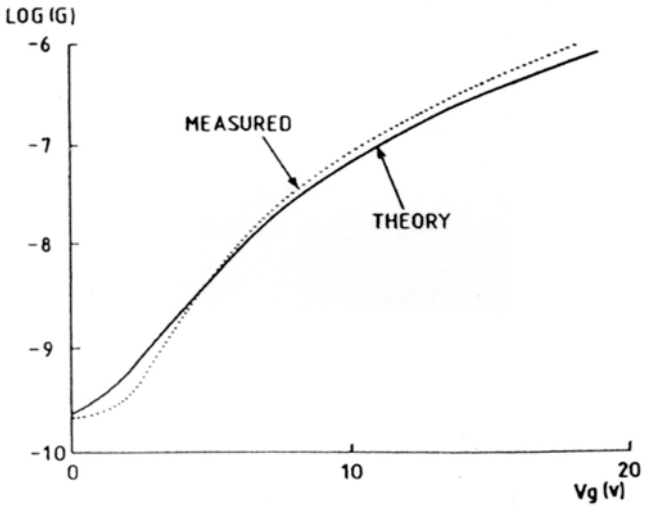

Figura 2.21 Confronto tra l'andamento sperimentale (linea tratteggiata) e teorico (linea continua) della conduttanza in regime di sottosoglia.

Regime di soprasoglia

Utilizzando l'approssimazione di canale uniforme $V_{DS} << V_G$, è possibile ricavare la conduttanza G in regime di soprasoglia, ossia nel caso in cui la densità di carica localizzata è minore di quella libera ($\rho_t << \rho_f$). A tale proposito si procede come nel caso di sottosoglia, con la differenza di non poter trascurare il termine della carica libera nell'equazione. La forma analitica di G in funzione di V_G è data da:

$$G = \mu_n \left(\frac{\varepsilon_{ox}}{d} \right) \left(V_G - V_{FB} - V_T \right) \tag{2.34}$$

dove

$V_T = \frac{d}{\varepsilon_{ox}} \left(\frac{N_C q}{K T_G N_G} \right)^{\frac{T}{2(T-T_G)}} \left[\frac{2\varepsilon_s N_G}{q} \left(K T_G \right)^2 \left(1 + \frac{T}{T_G} \right) \right]^{\frac{1}{2}}$ = è la tensione di soglia ricavata dalle formule (2.24) e (2.25), imponendo la condizione di uguale densità di carica all'interfaccia ossido di gate-semiconduttore, $\rho_t(\psi_s) = \rho_f(\psi_s)$ [4].

In figura 2.22 vengono riportati i dati sperimentali e teorici della conduttanza G in funzione di (V_G - V_{FB}) in regime di soprasoglia, su scala semilogaritmica e lineare.

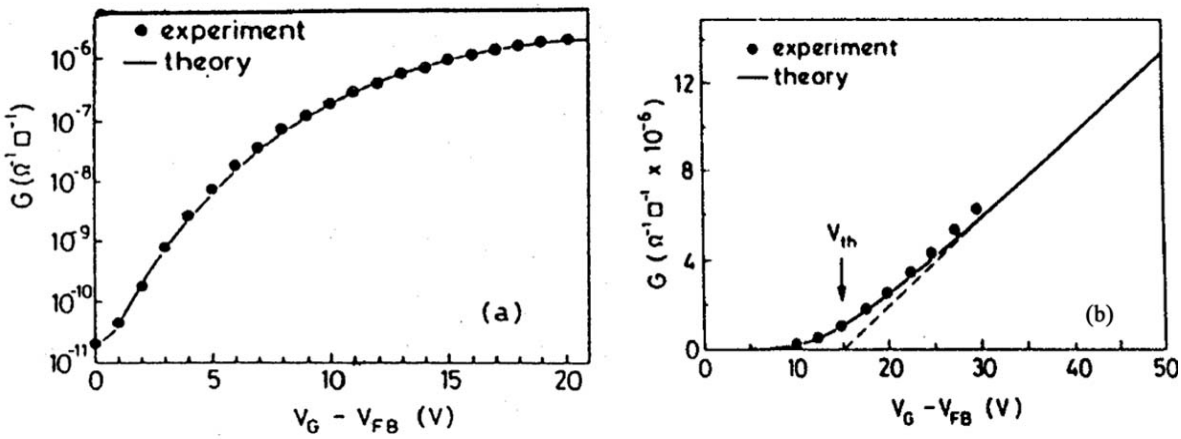

Figura 2.22 Andamento sperimentale (punti) e teorico (linea) della caratteristica G rispetto a (V_G -V_{FB}); (a) scala semilogaritmica, (b) scala lineare dalla quale si estrapola un valore della tensione di soglia V_T =15V [4].

Le due figure evidenziano un ottimo accordo tra i dati sperimentali e il modello teorico. Inoltre dal grafico in scala lineare (vedi fig. 2.22b), è possibile determinare la tensione di soglia V_T estrapolando il valore di tensione a $G = 0$.

L'andamento teorico della caratteristica corrente di drain-tensione in regime di soprasoglia si ottiene integrando la conduttanza $G(V_G)$ tra 0 e V_{DS},

$$I_D = \frac{W}{L}\int_0^{V_{DS}} G(V_G)\,dV_G.$$

(2.35)

Per $V_{DS} < V_G - V_T$ si ha:

$$I_D = \frac{W\mu_n\varepsilon_{ox}}{2Ld}\left[2(V_G - V_T)V_{DS}\right] \qquad (2.36)$$

dove

W = larghezza del canale,

L = lunghezza del canale,

d = spessore dell'ossido.

La relazione 2.36 è formalmente identica a quella dei MOSFET cristallini, anche se concettualmente i due casi presentano alcune sostanziali differenze. Infatti tale espressione

contiene i parametri, μ_n e V_T, che sono fortemente influenzati dalla LDOS, al contrario di quanto avviene nei dispositivi cristallini. In figura viene mostrato l'andamento della tensione di soglia V_T in funzione della temperatura caratteristica T_G e della densità degli stati di trappola (vedi fig. 2.23).

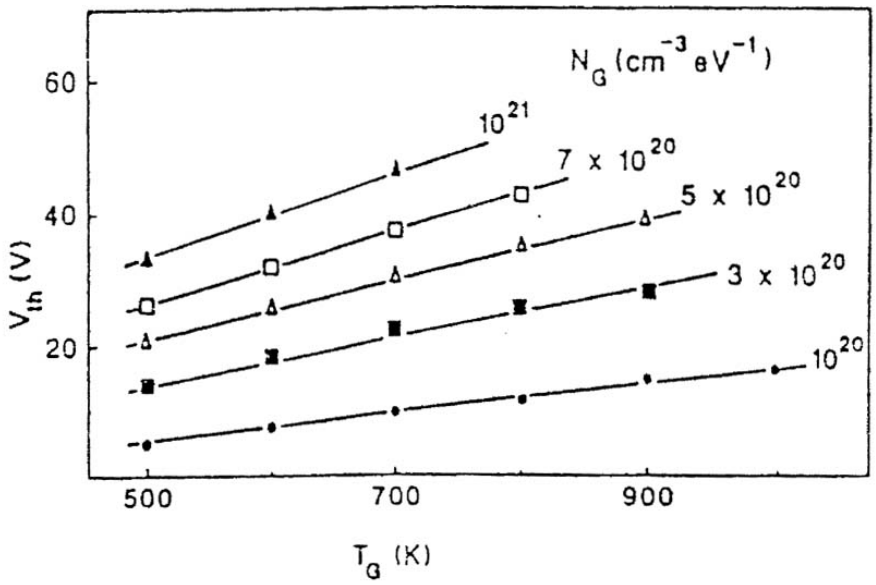

Figura 2.23 Tensione di soglia in funzione di T_G per differenti valori di N_G [4].

2.5 Effetti degli alti campi elettrici sulle caratteristiche di uscita e trasferimento

Generalmente i TFT in polisilicio vengono impiegati in circuiti con tensioni di drain V_D abbastanza elevate, pertanto i dispositivi operano in presenza di alti campi elettrici. Quando gli elettroni, sottoposti a questi campi, accumulano sufficiente energia cinetica, danno luogo a diversi fenomeni:

- l'Effetto "kink",
- l'Effetto dei portatori caldi,
- la Corrente di perdita nella regione di spegnimento (off) del transistor.

In questo paragrafo verranno analizzati questi fenomeni allo scopo di poterne ridurre gli effetti ed evitare un prematuro danneggiamento del dispositivo.

2.5.1 Effetto "kink"

La caratteristica di uscita di un TFT di polisilicio in regime di soprasoglia $V_G > V_T$ mostra un aumento anomalo di corrente ad alte tensioni di drain V_D (vedi fig. 2.24).

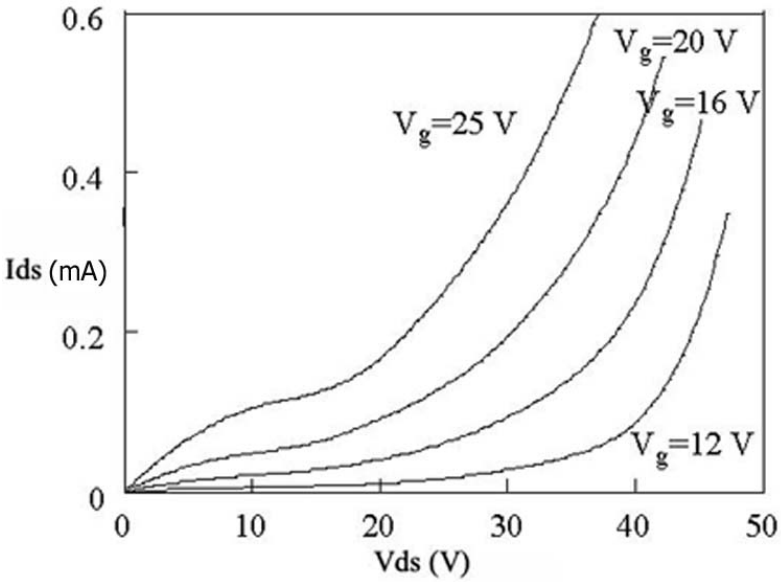

Figura 2.24 Caratteristiche di uscita di TFT di polisilicio ottenuto tramite SPC con i contatti di source e drain autoallineati, e lunghezza di canale pari a 10 μm [5].

Questo andamento analogo a quello riportato nei dispositivi SOI (semiconductor oxide insulator) [5], viene detto effetto "kink" [6]. L'effetto "kink" è dovuto al fenomeno di ionizzazione da impatto che si innesca vicino alla giunzione di drain, dove il campo elettrico raggiunge il suo massimo valore [6] (vedi fig. 2.25). In questa regione, i portatori acquistano una energia cinetica tale da generare un gran numero di coppie elettrone-lacuna per impatto contro gli atomi secondo la relazione:

$$G_{imp} = \alpha_n n v_n + \alpha_p n v_p \tag{2.37}$$

dove,

n, p = concentrazione di elettroni e lacune,

v_n, v_p = velocità di deriva di elettroni e lacune,

α_n, α_p = tasso di generazione, la cui forma analitica è data dall'espressione di Chynoweth, $\alpha(E) = a\exp\left(-\frac{F_{crit}}{F}\right)$ in cui, a è una costante, F è il campo elettrico parallelo alla corrente ed F_{crit} è il campo elettrico critico oltre il quale inizia la generazione da impatto.

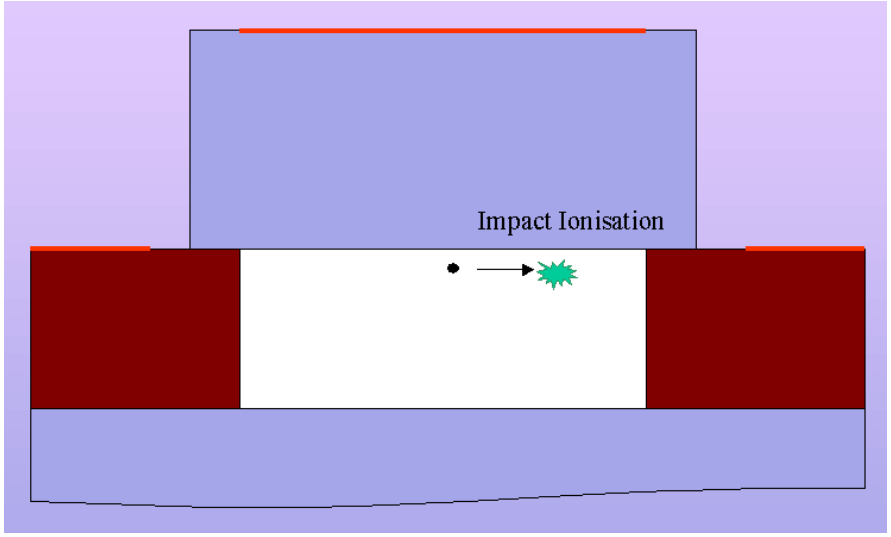

Figura 2.25 Schematizzazione della ionizzazione da impatto alla giunzione di drain.

Successivamente, mentre gli elettroni si dirigono verso il drain (elettrodo positivo) incrementando la corrente di uscita, le lacune, spinte dal gate positivo, si portano verso il source (elettrodo negativo) attraverso il retrocanale. Durante la migrazione verso il source, alcune lacune si ricombinano con gli elettroni o vengono catturate dagli stati di trappola, in base ai parametri geometrici del canale, alla sezione d'urto e numero delle trappole.

Se il canale è abbastanza lungo e la sezione d'urto di cattura sufficientemente grande, tutte le lacune generate si ricombinano con gli elettroni prima di raggiungere il source. Al contrario, se il canale non è abbastanza lungo o la sezione d'urto di cattura è piccola, solo una parte delle lacune generate si ricombina e la maggior parte di queste si accumula all'interfaccia source-canale. L'accumulo di lacune provoca un abbassamento della barriera di potenziale tra source (drogato n^+) e il canale (intrinseco), tale da polarizzare la giunzione sempre più in diretta. Si ha di conseguenza un notevole aumento del flusso di elettroni, che raggiunge il drain. Questo effetto viene detto "transistore bipolare parassita"

(PBT, Parasitic Bipolar Transistor) [5]. In figura viene illustrato il flusso di lacune che raggiunge il source attraverso il retrocanale (vedi fig. 2.26).

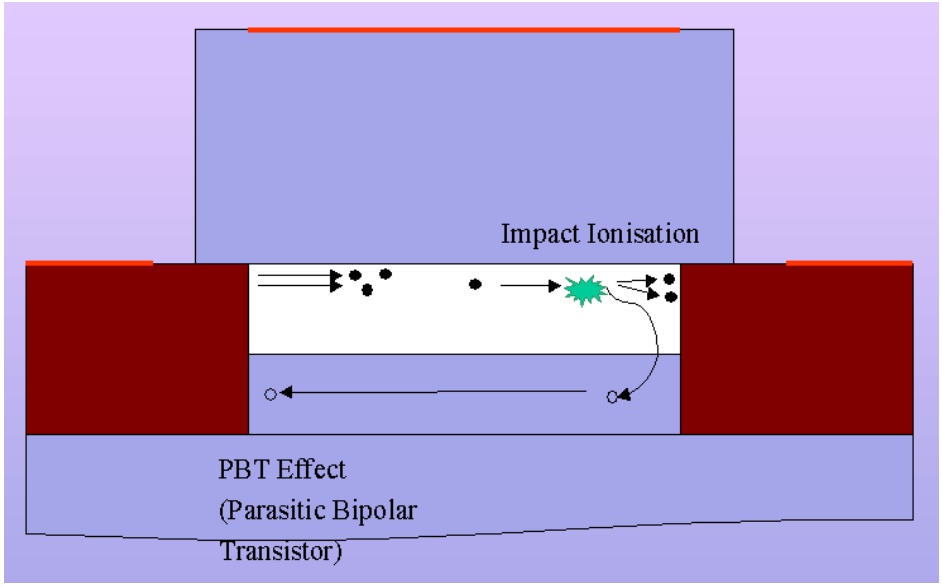

Figura 2.26 Schematizzazione dell'effetto PBT.

La ionizzazione da impatto, incrementata dal PBT, innesca un processo a valanga (effetto kink) che porta ad un incremento anomalo della corrente ad alte tensioni di drain con conseguente "break-down" del dispositivo [6]. Inoltre l'incremento della corrente dà luogo ad un aumento del consumo di energia, deleterio nei circuiti digitali, che comporta una riduzione del guadagno del dispositivo.

Allo scopo di ridurre il campo elettrico alla giunzione di drain, molte società come Philips, Thomson, Sharp, e Toshiba hanno introdotto diverse architetture di TFT. Tra queste si ricorda la "Lightly Doped drain" (LDD) [7] e la più interessante "Gate Overlapped Lightly Doped Drain" (GOLDD) [13] (vedi fig. 2.27)

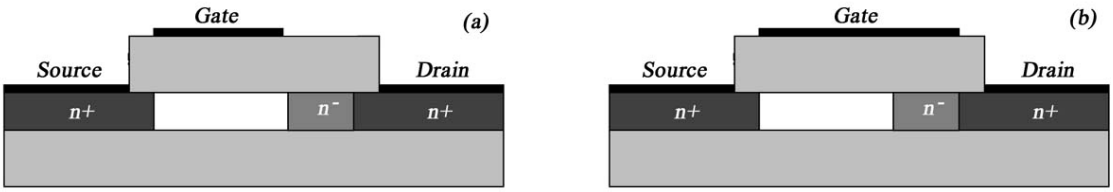

Figura 2.27 (a) Schema di un transistor LDD, con una zona debolmente drogata vicino al drain, non modulata dal gate; (b) Schema di un dispositivo GOLDD, con una zona debolmente drogata vicino al drain modulata dal gate.

In una struttura LDD (vedi fig. 2.27a) è presente una zona drogata n^-, adiacente a quella drogata n^+ di drain. Questa zona con drogaggio minore, da luogo ad un campo elettrico di giunzione all'interfaccia canale-n^- più basso di quello presente in una giunzione canale-n^+. Si ha così una buona riduzione della ionizzazione da impatto. Il problema di questa struttura è che l'elettrodo di gate non ricopre la zona n^-, di conseguenza non si ha l'effetto di modulazione della carica e questa zona rimane molto resistiva limitando il valore massimo della corrente che scorre nel dispositivo. Generalmente si cerca un compromesso tra la dimensione della zona n^- e la massima corrente ottenibile. Nelle strutture GOLDD (vedi fig. 2.27b) questo problema di resistenza serie viene risolto ricoprendo anche la zona n^- con il gate. L'aumento delle dimensioni del gate comporta però un incremento della capacità parassita che limita il funzionamento dei GOLDD ad alte frequenze. In figura viene mostrato il confronto tra le caratteristiche di uscita simulate di un dispositivo GOLDD e quelle di una struttura convenzionale autoallineata.

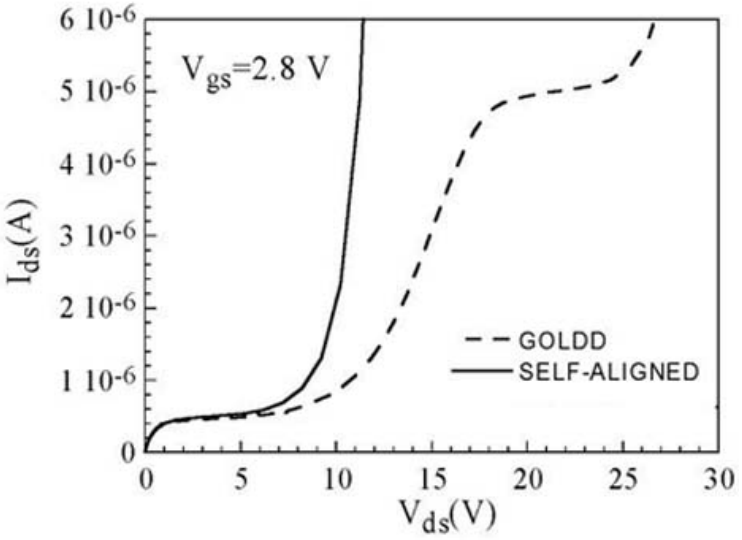

Figura 2.28 Confronto tra le caratteristiche di uscita simulate a V_G = 2.8V di dispositivi GOLDD ed autoallineati [5].

2.5.2 Effetto dei portatori caldi

Un altro fenomeno dovuto alla presenza di forti campi elettrici alla giunzione di drain, è il fenomeno dei portatori caldi (HCE, hot carrier effect). Quando il transistor opera per un lungo periodo di tempo ad alte tensioni di polarizzazione V_{DS}, le sue caratteristiche elettriche si degradano a causa di portatori molto energetici che contribuiscono alla formazione di stati interfacciali in prossimità della giunzione di drain, dove il campo elettrico raggiunge il suo valore massimo [9]. La quantità di stati interfacciali generati si incrementa all'aumentare del tempo di lavoro del TFT. Ora analizzeremo i meccanismi di instabilità elettrica nei TFT a canale "p" ed "n"

1) Meccanismi di Instabilità nei TFT a canale p:

In tutte le principali applicazioni dei poly-Si TFT, descritte nei par. 1.1 ed 1.2, la stabilità dei dispositivi è un aspetto di enorme rilevanza. Infatti sia quando sono impiegati come interruttori sia quando sono integrati nei circuiti di indirizzamento dei display, i transistor operano in presenza di elevate tensioni di polarizzazione, che possono seriamente danneggiare le prestazioni del dispositivo con il passare del tempo.
Lo studio sistematico della stabilità dei dispositivi in funzione delle condizioni di polarizzazione [10], ha permesso l'identificazione di due principali regioni di degrado: a tensioni V_g maggiori, ed uguali alla soglia del dispositivo. In questo paragrafo saranno illustrati brevemente alcuni risultati di questo tipo di misure, effettuati su TFT p-channel, riportati in letteratura [11]. È necessario aggiungere che questo tipo di studio non è facilmente reperibile allo stato attuale, e i lavori riportati [12] [13] non rappresentano ancora un quadro completo dell'argomento.

Degrado da Stress ad elevata tensione di gate:

La prima delle due regioni di degrado corrisponde alla polarizzazione di stress con elevata tensioni di gate $|V_G| >> |V_T|$, e tensioni di drain medio-alte $|V_D| \sim |V_G|$. I risultati delle misure effettuate in questo regime di stress sono illustrati in figura 2.29 [11].

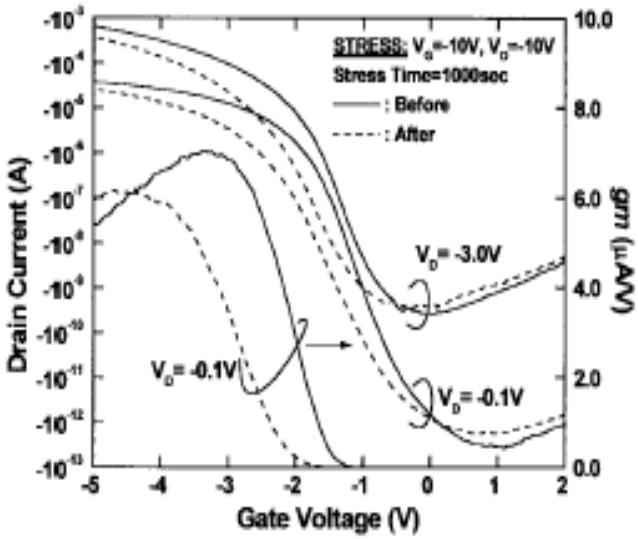

Figura 2.29 Caratteristiche di trasferimento di un TFT p-channel prima e dopo lo stress ad elevata tensione di gate; è riportata anche la variazione della transconduttanza [11].

Il degrado è caratterizzato da un aumento (in modulo) della tensione di soglia, da un peggioramento della pendenza di sottosoglia e da una diminuzione della trasconduttanza g_m, definita come la derivata della corrente di drain rispetto alla tensione di gate.

La variazione della soglia nelle caratteristiche di trasferimento può essere causata da due fattori, aventi diverso significato. Infatti, la tensione di soglia per un TFT può essere espressa come:

$$V_T = V_{FB} + f(N(E)) \tag{2.51}$$

dove V_{FB} è il potenziale di bande piatte ed $f(N(E))$ è funzione della sola densità degli stati localizzati.

In primo luogo, il valore del potenziale di bande piatte V_{FB} varia in presenza di uno strato di carica fissa nell'ossido. Tale carica fissa si forma a seguito dell'iniezione di portatori, in questo caso lacune, nell'ossido (*charge trapping*) dando luogo ad un aumento in modulo della tensione di soglia.

D'altra parte la soglia del dispositivo cambia anche a seguito della formazione di stati interfacciali ed in questo caso la variazione consiste in un peggioramento della pendenza sottosoglia, molto sensibile al valore della densità degli stati di trappola. L'interpretazione data per il degrado delle caratteristiche riportate è stata dunque la generazione di stati

interfacciali, provocata dall'iniezione di lacune "calde" (*HCE, Hot Carrier Effects*), il che spiega anche il peggioramento della transconduttanza dei dispositivi [11].

Degrado da Stress alla soglia del dispositivo:

La seconda regione di degrado corrisponde alle condizioni di polarizzazione di stress con tensione di gate alla soglia, $V_G \approx V_T$ ed elevata tensione di drain $|V_D| >> |V_G|$. In queste condizioni, la distribuzione del campo elettrico all'interno del canale è tale che in prossimità del drain si realizzi la condizione di campo massimo, dell'ordine del MV/cm. Infatti, in questa regione di funzionamento, il dispositivo si porta in "kink" (par. 2.5.1). Pertanto, tutti i meccanismi field-enhanced acquistano grande rilevanza. I risultati delle misure effettuate in questo regime di stress sono illustrati in figura 2.30 [11].

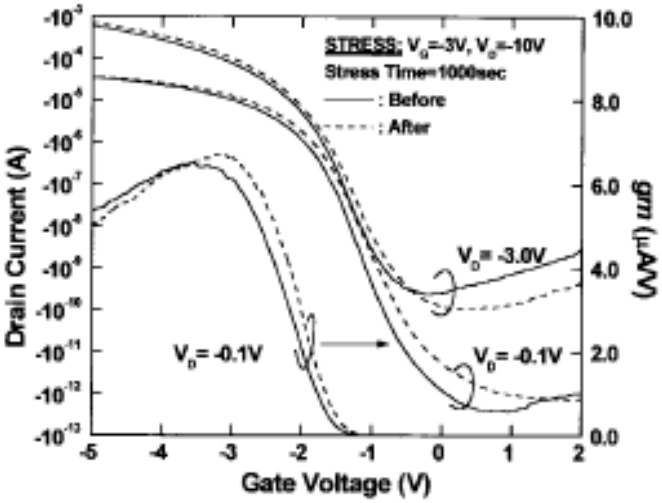

Figura 2.30 Caratteristiche di trasferimento di un TFT p-channel prima e dopo lo stress in condizioni di gate alla soglia; è riportata anche la variazione della transconduttanza [11].

In questo caso, il degrado è caratterizzato da una diminuzione della tensione di soglia, e da un aumento della transconduttanza, che corrisponde ad un miglioramento nella mobilità. La diminuzione della tensione di soglia, in accordo con quanto detto in precedenza, è stata ricondotta alla cattura di elettroni in prossimità del drain. Gli elettroni catturati al drain, oltre ad indurre lo shift nella tensione di soglia, causano un accorciamento di canale (*shortening*), che spiega anche l'aumento della corrente e quindi della mobilità.

Le variazioni osservate risultano alquanto moderate; sia la transconduttanza che la tensione di soglia variano meno del 10%. D'altra parte, va detto che le condizioni di stress scelte non sono tali da indurre un degrado così serio, anche in considerazione del fatto che il kink nei p-channel è molto moderato, per effetto dei parametri della ionizzazione da impatto.

2) Meccanismi di Instabilità nei TFT a canale n:

Rispetto al caso dei TFT p-channel, la quantità di risultati presenti sulla stabilità dei dispositivi a canale "n" è molto elevata, ed il quadro sui meccanismi di degrado delle caratteristiche è di gran lunga più completo. In questo paragrafo sono brevemente presentati i risultati relativi allo stress effettuato in diverse condizioni di polarizzazione.

Degrado da Stress ad elevata tensione di gate:

In figura 2.31 sono riportate le caratteristiche di trasferimento, I_D-V_G, prima e dopo lo stress, effettuato in condizioni di tensione di gate V_G=25V, e tensione di drain V_D=15V [10]. Il degrado delle caratteristiche riportate è caratterizzato da un aumento della tensione di soglia accompagnato da un peggioramento della pendenza sottosoglia, da una riduzione della corrente di ON e da un aumento della corrente di OFF. I risultati ottenuti sono stati spiegati in termini di un aumento nella densità degli stati localizzati all'interfaccia semiconduttore/isolante. La creazione di tali stati è stata attribuita alla rottura di legami Si-H, avvenuta nell'intera regione di canale, con conseguente formazione di dangling-bonds. Sempre in base all'interpretazione di Inoue et al. [10], nelle condizioni di stress in considerazione, tale rottura è favorita dall'aumento di temperatura nel canale (*self-heating*).

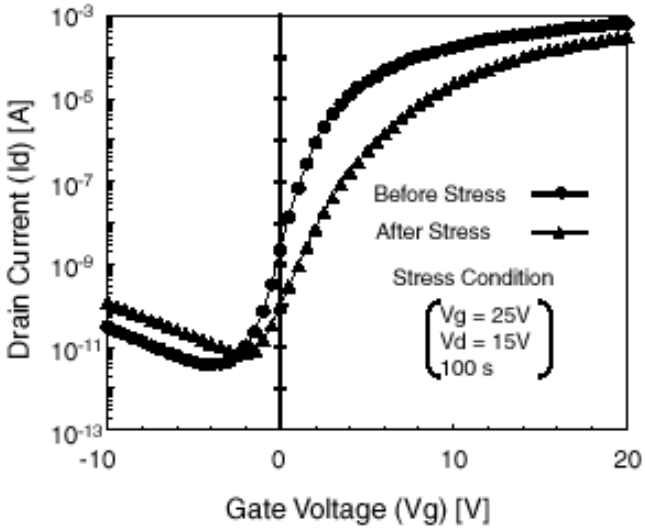

Figura 2.31 Caratteristiche di trasferimento prima (cerchi) e dopo (triangoli) lo stress (100s); condizioni di stress: V_G(stress)=25V e V_D(stress)=15V [10].

In figura 2.32 sono invece riportate le caratteristiche di trasferimento di un dispositivo stressato ad una tensione di gate V_G(stress)=16V, maggiore della soglia del TFT ma minore della tensione di drain V_D(stress)=18, 20 e 22V [14].

E' evidente che aumentando la polarizzazione di drain e quindi il campo elettrico di giunzione, vi è un aumento del degrado elettrico a causa dell'effetto Hot Carrier che diventa via via sempre più rilevante alla giunzione di drain.

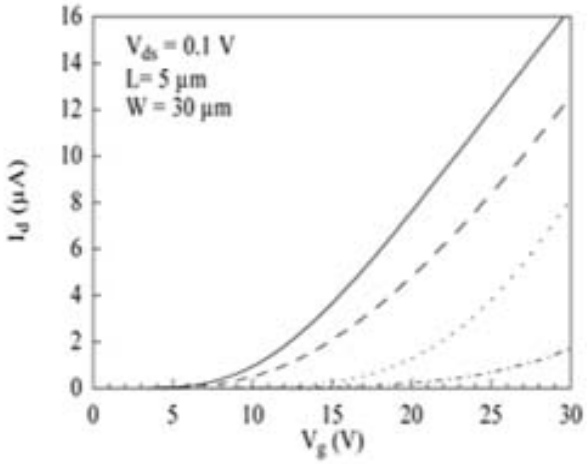

Figura 2.32 I_D-V_G misurate prima (linea continua) e dopo lo stress (43200s) a V_D=0.1V; condizioni stress V_G=16V, differenti V_D=18V (linea tratteggiata), V_D=20V (linea punteggiata), V_D=22V (linea tratteggiata-punteggiata).

Questo risultato è confermato dall'emissione di radiazione del canale misurata durante lo stress (vedi fig 2.33) [10]. Come si vede, in condizioni di stress ad alto gate e basso drain, l'emissione è approssimativamente uniforme nell'intera regione di canale (vedi fig. 2.33a), mentre nel caso di una elevata V_D(stress) maggiore di V_G(stress) l'emissione di radiazione è più elevata in prossimità del drain (vedi fig. 2.33b).

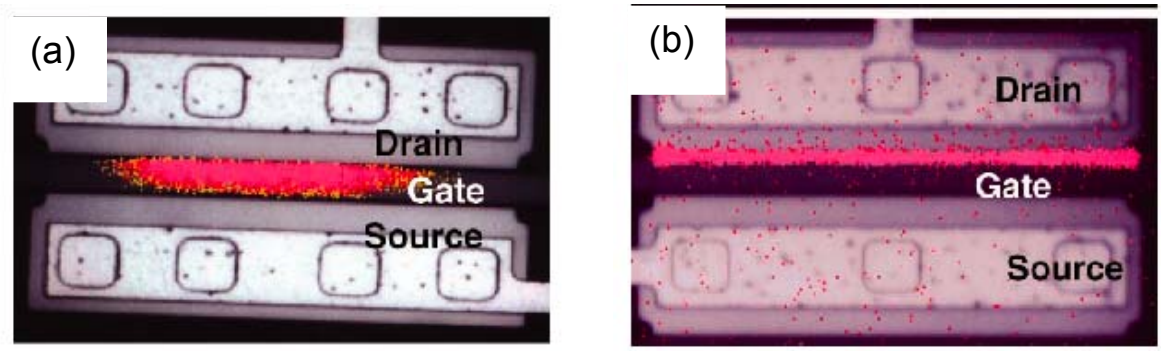

Figura 2.33 Emissione di luce dai TFT durante lo stress, misurata attraverso un microscopio a rivelazione CCD [10]. Condizioni di stress: (a) V_G(stress)=25V e V_D(stress)=15V, (b) V_G(stress)=12V e V_D(stress)=15V.

Inoltre in figura 2.34 sono riportate le caratteristiche di uscita prima e dopo lo stress dove si possono distinguere due zone in cui l'effetto del degrado è differente:

- $V_{DS} < V_{DSC}$

Per valori di V_{DS} inferiori a V_{DSC}, la corrente di drain dei dispositivi sottoposti a stress è inferiore a quella dei dispositivi non stressati. Questo comportamento è dovuto alla presenza della zona danneggiata dagli stati interfacciali che funziona come una resistenza parassita in serie con il resto del canale.

- $V_{DS} > V_{DSC}$

Per alte tensioni V_{DS}, la corrente di drain dei dispositivi stressati supera quella dei TFT non sottoposti a stress; questo effetto è dovuto all'aumento della ionizzazione da impatto nella regione vicina al drain.

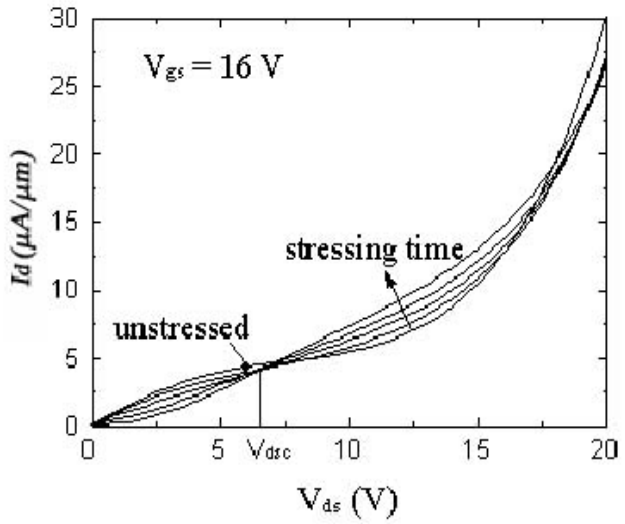

Figura 2.34 Caratteristiche di uscita misurate prima e dopo differenti tempi di stress (43200*s*) a V_G=16V. Le condizioni di stress sono: V_G (stress) = 16*V* e V_{DS} (stress)= 20*V*.

Degrado da Stress alla soglia del dispositivo:

Come detto precedentemente, in condizioni di tensione di gate alla soglia e tensione di drain elevata, si realizza il massimo campo elettrico in prossimità del drain. Gli effetti degli alti campi elettrici al drain sulla stabilità dei TFT n-channel sono stati già in parte illustrati precedentemente. In figura 2.35 [10] è mostrata una caratteristica di trasferimento di un dispositivo stressato a V_G=4V e V_D=15V. In questo caso, il degrado è caratterizzato da una riduzione della corrente in regime di ON e da un aumento della corrrente di spegnimento, mentre non è accompagnato da un peggioramento della regione di sottosoglia della caratteristica. La riduzione della corrente in condizioni di ON è stata spiegata in termini della formazione di una zona danneggiata in prossimità del drain, che agisce da resistenza serie, in analogia a quanto detto precedentemente. La formazione di difetti in questa regione è stata associata alla presenza di portatori caldi, derivanti dall'elevato campo elettrico. L'assenza di degrado nella regione sottosoglia è stata spiegata dalla localizzazione della regione danneggiata vicino al drain, che non ha effetto sulla pendenza sottosoglia [10].

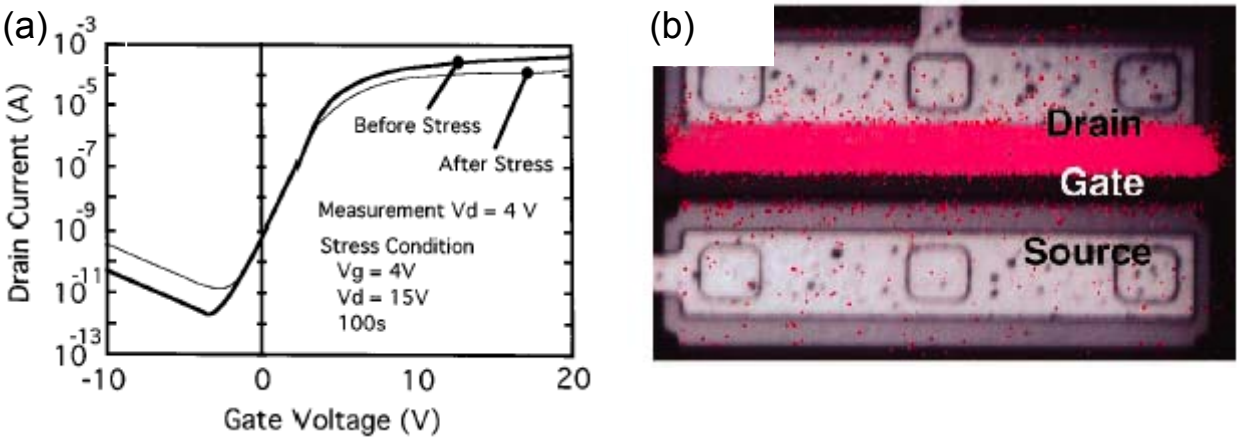

Figura 2.35 (a) Caratteristica di trasferimento prima e dopo lo stress (100s) alla soglia, V_G(stress)=V_T=4V e V_D(stress)=15V, (b) Emissione di luce durante lo stress; come si vede l'emissione è estremamente concentrata in prossimità del drain.

2.5.3 Corrente di perdita nella regione di spegnimento (off) del transistor

Nella regione di spegnimento del transistor, a tensioni di gate (V_G) negative, la corrente è dovuta ad alcuni effetti che assumono pesi e quindi rilevanza diversa a seconda della condizione di polarizzazione e della temperatura di funzionamento. Tali meccanismi possono suddividersi in due famiglie:

- Generazione e ricombinazione termica di carica libera (elettroni e lacune) mediante stati di trappola all'interno della gap di energia proibita del silicio policristallino (teoria SRH).
- Generazione di portatori assistita da campo elettrico, "field enhanced".

Quest'ultima è dovuta agli elevati campi elettrici presenti alla giunzione di drain, che in regime di off è polarizzata in inversa; è proporzionale alla tensione di gate V_G e alla tensione tra source e drain V_{DS}. I meccanismi che regolano la generazione sono: il *tunneling tra bande* (BBT, band to band tunneling), indipendente dalla densità degli stati di trappola LDOS, il "*Poole-Frenkel*" (PF) e il *tunneling assistito da generazione termica* (TAT, trap assisted tunneling) dipendenti dalla LDOS, perché coinvolgono la generazione a partire dagli stati di trappola nella gap.

A temperatura ambiente ed elevate tensioni di drain V_{DS}, la corrente di spegnimento è dovuta principalmente alla generazione assistita dal campo elettrico, è quindi opportuno analizzare più in dettaglio i tre meccanismi sopra citati.

Effetto "Poole-Frenkel":

Generalmente le cariche libere intrappolate negli stati di trappola vengono riemesse in banda di conduzione o in banda di valenza se l'energia termica è maggiore dell'energia di ionizzazione E_i, definita come la differenza tra il minimo della banda di conduzione E_C (o il massimo della banda di valenza E_V) e il livello di trappola E_t. L'effetto PF consiste in una riduzione pari a ΔE_i dell'energia di ionizzazione E_i in presenza di forti campi elettrici F (vedi fig. 2.36). Questa diminuzione provoca un aumento della probabilità di emissione di un elettrone (una lacuna) dal livello di trappola alla banda di conduzione (valenza). Si ha infatti [15]:

$$P_{em.term.} = A\exp\left(-\frac{E_i - \Delta E_i}{KT}\right) \tag{2.38}$$

dove

A = fattore preesponenziale,

$$\Delta E_i = q\left(\frac{qF}{\pi\varepsilon_s}\right)^{\frac{1}{2}}.$$

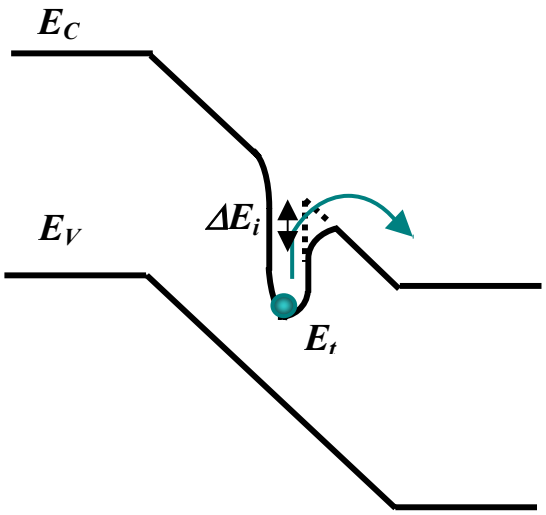

Figura 2.36 Schematizzazione dell'effetto "*Poole-Frenkel*" (PF). In figura è evidente l'abbassamento della barriera ΔE_i.

Tunneling assistito da generazione termica:

Questo meccanismo prevede la generazione di elettroni (la stessa cosa vale per le lacune) in banda di conduzione mediante emissione termica da uno stato di trappola ad un livello di energia virtuale E, seguito da tunnel attraverso una barriera triangolare di altezza pari ad $h = E_C - E$ (vedi fig. 2.37). La probabilità associata a questo processo è data dal prodotto delle probabilità di emissione termica e di tunnel [15]:

$$P = P_{em.term.} \times P_{tunnel}$$

con

$$P_{em.term.} = A\exp\left(-\frac{E-E_t}{KT}\right) \qquad P_{tunnel} = B\exp\left(-\frac{4}{3}\frac{\left(2m_e^*\right)^{\frac{1}{2}}\left(E_C-E\right)^{\frac{3}{2}}}{q\hbar F}\right) \tag{3.39}$$

dove

m_e^* = massa efficace dell'elettrone,

B = fattore preesponenziale,

F = campo elettrico.

La probabilità totale si ottiene integrando su tutti i valori di energia E che lo stato virtuale può assumere:

$$P_{TOT} = AB\int_{E_t}^{E_C}\exp\left(-\frac{E-E_t}{KT}\right)\exp\left(-\frac{4}{3}\frac{\left(2m_e^*\right)^{\frac{1}{2}}\left(E_C-E\right)^{\frac{3}{2}}}{q\hbar F}\right)dE \tag{2.40}$$

Il meccanismo di tunnel assistito da generazione termica è fortemente influenzato dall'effetto "Poole-Frenkel" descritto in precedenza. Infatti il tunnel dal livello di energia virtuale E alla banda di conduzione E_C, aumenta notevolmente al diminuire dell'altezza della barriera $h = E_C - E$. Nel caso di barriera iperbolica si ricava la seguente probabilità:

$$P_{TOT} = AB\int_{E_t}^{E_C}\exp\left(-\frac{E-E_t}{KT}\right)\exp\left\{-\frac{4}{3}\frac{\left(2m_e^*\right)^{\frac{1}{2}}\left(E_C-E\right)^{\frac{3}{2}}}{q\hbar F}\left[1-\left(\frac{\Delta E_i}{E_C-E}\right)^{\frac{5}{3}}\right]\right\}dE \tag{2.41}$$

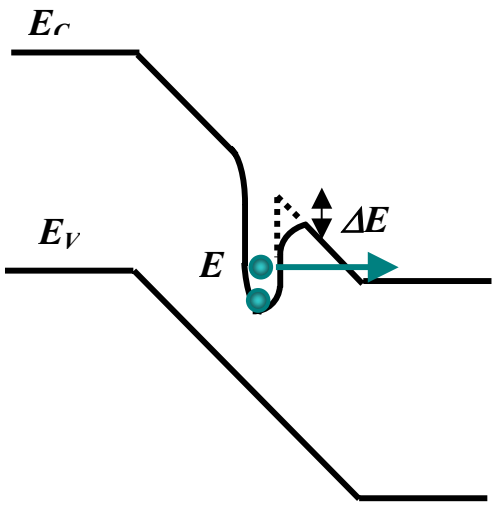

Figura 2.37 Schematizzazione dell'effetto *tunnel assistito da generazione termica* (TAT).

Tunneling tra bande:

Per alti campi elettrici occorre considerare la generazione di elettroni e lacune, ad opera del meccanismo di tunneling tra bande (vedi fig. 2.38). La relazione che lega la generazione al campo elettrico è data da [15]:

$$G_{BBT} = -C|F|^{\frac{5}{2}} D(|F|, E) \exp\left(-\frac{F_0}{F}\right) \tag{2.42}$$

F_0 = campo elettrico critico,

F = campo elettrico,

C = fattore preesponenziale,

$D(|F|,E)$ = funzione analitica dipendente dal campo elettrico e dall'energia del portatore.

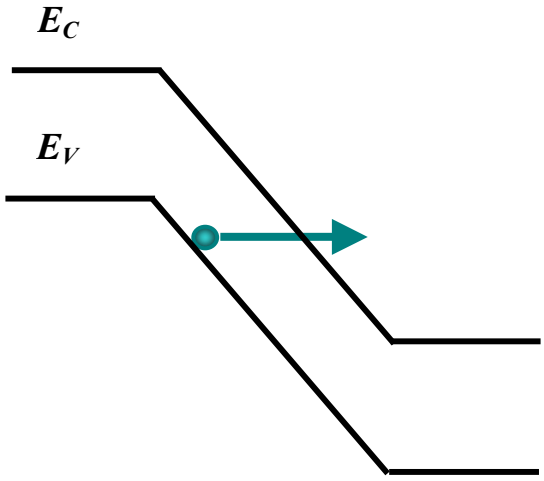

Figura 2.38 Schematizzazione del *tunnel tra bande* (BBT).

L'analisi dettagliata dei diversi contributi alla corrente di leakage è riportato in figura 2.39, per un dispositivo n-channel a temperatura ambiente. Questi risultati sono stati ottenuti attraverso il programma di simulazione bidimensionale HFIELDS, realizzato presso l'università di Bologna, che incude i modelli sopra descritti. Come si vede, tutti i meccanismi "field enhanced" contribuiscono simultaneamente alla corrente di OFF; per campi elettrici elevati ($V_G < -7V$), il meccanismo di generazione dominante è infatti il BBT, mentre per campi elettrici inferiori prevalgono PF e TAT [15].

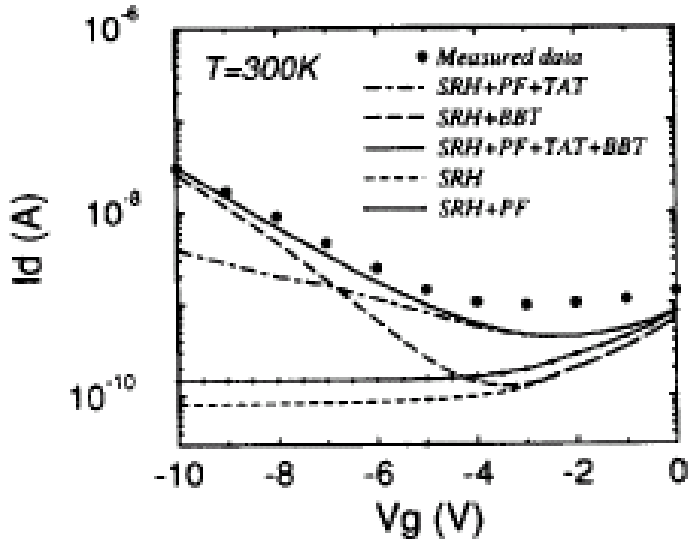

Figura 2.39 Confronto tra i termini che costituiscono la corrente di leakage.

Bibliografia

[1] S.M. Sze, Physics of Semiconductor Device, Jhon Wiley e Sons, 2nd ed 1981, capitolo 8.

[2] G. Fortunato and L. Mariucci, Thin film transistor, Capitolo su The Enciclopedia of Electrical and Electronics Engineering, Editor John Webster (John Wiley & Sons, 1999).

[3] G. Fortunato and P. Migliorato, Appl. Phys. Lett. 49 (1986) 1025.

[4] G. Fortunato and P. Migliorato, J. Appl. Phys. 68 (1990) 2463.

[5] J. Y. Choi and G. Fossum, IEEE Transactions on electron device, vol 38 (1991) 1384.

[6] G. Fortunato, D. Saias, A. Pecora, R. Carluccio, L. Mariucci, and F. Massussi, AM-LCD '98.

[7] S.Seki, O. Kogure, and B. Tsujiyama, IEEE Electron Dev. Lett. EDL-8 (1987) 434.

[8] J.R. Ayres, S.D.Brotherton, D.J. McCulloch, and M.J. Trainor, Jpn. J. Appl. Phys. 37 (1998) 1801.

[9] L. Mariucci, G. Fortunato, R. Carluccio, A. Pecora, S. Giovannini, F. Massussi, L. Colalongo, and M. Valdinoci, J. Appl. Phys 84 (1998) 2341.

[10] S.Inoue, M.Kimura, T.Shimoda, Jpn.J.Appl.Phys 42 (2003) 1168.

[11] J-W. Lee, N-I. Lee, C-H. Han , IEEE Electron Device Letters, Vol. 20 N0.1 Jan 1999.

[12] Y. Uraoka, Y. Morita, H. Yano, T. Hatayama, T. Fuyuki, Jpn. J. Appl. Phys. Vol. 41 (2002) 5894.

[13] N.A. Hastas, C.A. Dimitriadis, J.Brini, G. Kamarinos, IEEE Transaction On Electron Device, 49 No.9 sept 2002, 1552.

[14] L.Mariucci, G.Fortunato, R.Carluccio, A.Pecora, S.Giovannini, F.Massussi, L.Colalongo, M. Valdinoci, J.Appl.Phys. 84 (1998) 2341.

[15] L. Colalongo, M. Valdinoci, G. Baccarani, P. Migliorato, G. Taillarda, and C. Reita, Solid State Electronics (1997) 627.